ISSN 1004-3365 CODEN:WEIDFK CN 50-1090/TN





# 微 电 子 学 MICROELECTRONICS 全国中文核心期刊





期刊网址:www.microelec.cn

#### 微电子学

#### Weidianzixue 第 50 卷 第 1 期 2020 年 2 月

目 次

#### ・电路与系统设计・

用于	- 12	位 2	50 N	IS/s	电荷力	域 Al	DC 的	12.5	位子	级电	路				• • • • • •		· 陈	珍海	, 钱	宏文	,薛	颜	,何	宁业	,何	晓雄	(1)
一利	14	位 1	00 N	IS/s I	的流	水线	模数	转换	器・			•••••					••••		· 吴	唐政	, I	娜	,谢	亮	, 金	湘亮	(6)
一利	中低了	<b></b> 助耗	心电	信号	采集材	莫拟1	前端日	电路	•••••		••••	••••				•••••	• • • • •			•••••	邹日	烧磊,	张	瑛,	苏	冕卿(	(11)
一利	₽ 10	Gbi	t∕s≯	七接收	机前	置放	大器		•••••				•••••		黄-	善择,	黄启	3俊,	何	进,	常	胜,	王	豪,	童;	志强(	(16)
一利	基	于抽	头电	感的	分布;	式放;	大器,	••••	•••••		••••	••••				•••••	• • • • •			•••••	苏	曼卿,	张	瑛,	邹日	尧磊(	(22)
采用	全!	差分	有源	电感的	的高台	光值	VCO					•••••	杨	鑫,	张	万荣,	谢幻	L云,	金	冬月,	张	崟,	徐	曙,	那个	韦聪(	(27)
一利	sic	Ge B	iCM	OS 14	lo GI	Hz 高	增益	功率	放大	器 ••		•••••		••••			吴訇	1翔,	赵汉	<b>苦</b> 鹏,	曹	军,	蔡註	运城,	高江	辱军(	(32)
一利	sic	Ge D	波移	自增	益低	噪声	放大	器••				• • • • • • •		••••		•••••	赵君	5鹏,	吴鹄	饥翔,	曹	军,	蔡註	运城,	高	辱军(	(36)
基于	- 混イ	合模	式快	速电行	苛平征	<b>新</b> 的	神经束	刺激罩	竖 …			••••			• • • • •	•••••	• • • • •			•••••	陈	梦莹,	姜汉	又钧,	王;	志华(	(41)
一利	中低了	<b></b> 助耗	低温	漂振习	荡器自	内设计	计 …	•••••		• • • • • •			••••		•••••			•••••	刘	全旺,	张	波,	甄り	15伟,	薛.	巳东(	(46)
一利	中采户	刊 PV	/ 补	偿的辅	俞出缓	是冲暑	8设计	+ ••	•••••				•••••		王	巍,	赵元	·遥,	唐明	<b>烧斌,</b>	赵注	女法,	袁	军,	杨」	E琳(	(50)
用于	• 植)	入式	医疗	设备的	的高」	PSRI	R 无声	片外日	电容 I	LDO		•••••	•••••		张	章,	韦玛	玲,	闫	林,	解	光军,	程	心,	金>	ド良(	(55)
一利	高	电源	抑制	比 LE	)O ·	•••••	•••••	•••••		• • • • • •			••••		•••••			•••••	肖白	诰洋,	罗	萍,	杨月	月博,	李	博(	(60)
温度	[试]	俭条	件下	柱栅阳	阵列自	方真:	失效分	分析	•••••			••••			• • • • •	•••••	• • • • •			•••••	苏彳	德志,	赵	丹,	王	岑(	(65)
一利	中寛す	带 多	模数	宇抽耳	取滤泳	皮器	•••••	•••••		• • • • • •			••••		•••••			•••••	高	波,	王〉	友华,	李作	需章,	陈昌	冗让(	(72)
低成	《本利	印商	业卫	星元者	器件扌	亢辐り	射保证	正流利	呈研乡	充		•••••	• 刘	伟鑫,	汪	波,	马材	卞东,	楼	建设,	孔泪	夆斌,	曾多	芝廉,	王	尼黍(	(78)
一利	宽之	动态	范围	低失酉	配的目	电荷	泵					• • • • • • •		••••			张久	、民,	段	吉海,	徐	卫林,	韦台	采林,	汤笋	実雪(	(84)
一利	₽2 <u> </u>	ım (	JaAs	НВТ	低相	目噪貧	ぎ帯 \	VCO				•••••		••••			蔡逗	运城,	曹	军,	赵汉	君鹏,	吴岂	几翔,	高江	辱军(	(90)
基于	- HI	3T J	二艺白	り高功	7率低	相位	「噪声	QV	CO			•••••		••••			曹	军,	蔡i	乏城,	赵汉	君鹏,	吴岂	几翔,	高江	辱军(	(95)
一利	中高米	情度	电流	检测日	电路白	内设计	it ••					•••••			••••		••••		刘全	·旺,	张	波,	甄少	伟,i	薛卫	东(]	01)
新型	一无约	吉型	晶体	管特	生仿习	真及り	生能住	光化讠	殳计					•••••	孙川	川,	高瑛	珂,	王	农,	李圣	龙,	赵云	富,	梁贤	赓(1	06)

#### ・动态与综述・

#### ・半导体器件与工艺・

PECVD 参数对含氢非晶碳刻蚀特性的影响研究 ······	邹雄峰,	董立松,	陈志刚,	韦亚一(126)
一种内嵌 NMOS 的抗闩锁双向 MHVDDSCR 陈 磊,刘志伟,	刘俊杰,	陈瑞博,	杨 波,	李浩亮(132)
基于介质嵌层的热电式微波功率传感器特性研究胡加杨,	李龙飞,	谷新丰,	吉新村,	王德波(137)
高压 BCD 工艺优化对 NLDMOS 管的性能影响		代 钢,	牛健,	姬濯宇(142)

#### ・产品与可靠性・

LDO 单粒子闩锁效应及维持电流的特性研究 …………………………………………………………夏 鹏,杨少华,吴福根,雷志锋,张战刚(148)

# Microelectronics

Vol. 50, No. 1 Feb. 2020

#### Contents

#### Circuit and System Design

A 2.5 bit Sub-Stage Circuit for 12 bit 250 MS/s Charge Domain ADC
CHEN Zhenhai, QIAN Hongwen, XUE Yan, HE Ningye, HE Xiaoxiong (1)
A 14 bit 100 MS/s Pipelined ADC WU Tangzheng, WANG Na, XIE Liang, JIN Xiangliang (6)
A Low Power Analog Front-End Circuit for ECG Signal Acquisition
A Preamplifier for 10 Gbit/s Optical Receiver
A Distributed Amplifier Based on Tapped Inductor
A High Figure-of-Merit VCO Using Fully Differential Active Inductor
A 140 GHz SiGe BiCMOS High Gain Power Amplifier
A SiGe D-Band High Gain Low Noise Amplifier ZHAO Junpeng, WU Kaixiang, CAO Jun, CAI Yuncheng, GAO Haijun (36)
A Stimulator with Hybrid Mode Fast Charge Balancing Method CHEN Mengying, JIANG Hanjun, WANG Zhihua (41)
Design of a Low Power Low Temperature Drift Oscillator LIU Quanwang, ZHANG Bo, ZHEN Shaowei, XUE Weidong (46)
Design of an Output Buffer with PV Compensation
WANG Wei, ZHAO Yuanyao, TANG Xiaobin, U-Fat CHIO, YUAN Jun, YANG Zhenglin (50)
An External Capacitor-Less LDO with High Power Supply Rejection Ratio for Implantable Biomedical Devices
A LDO with High Power Supply Rejection XIAO Haoyang, LUO Ping, YANG Pengbo, LI Bo (60)
Failure Analysis of Column Grid Array Under Temperature Test SU Dezhi, ZHAO Dan, WANG Cen (65)
A Multi-Mode Wideband Digital Decimation Filter GAO Bo, WANG Youhua, LI Ruzhang, CHEN Kairang (72)
Process Study of Electronics Radiation Hardened Assurance for Low Cost and Commercial Satellite
LIU Weixin, WANG Bo, MA Lindong, LOU Jianshe, KONG Zebin, ZENG Yinglian, WANG Kunshu (78)
A Wide Dynamic Range and Low Mismatch Charge Pump
ZHANG Jiumin, DUAN Jihai, XU Weilin, WEI Baolin, TANG Hanxue (84)
A 2 $\mu m$ GaAs HBT Low Phase Noise Wideband VCO $\cdots \cdots \cdots$
CAI Yuncheng, CAO Jun, ZHAO Junpeng, WU Kaixiang, GAO Haijun(90)
A High Power Low Phase Noise QVCO Based on HBT Process
CAO Jun, CAI Yuncheng, ZHAO Junpeng, WU Kaixiang, GAO Haijun (95)
Design of a High Precision Current Sensor Circuit LIU Quanwang, ZHANG Bo, ZHEN Shaowei, XUE Weidong (101)
Simulation and Performance Optimization Design of a New Type of Junction-Less Transistors

#### • Features and Review •

#### • Semiconductor Device and Technology •

Influence of PECVD Parameters on Etching Characteristics of $\alpha$ -C : H
An Anti-Latch MHVDDSCR with Embedded NMOS
CHEN Lei , LIU Zhiwei , LIU Junjie , CHEN Ruibo , YANG Bo , LI Haoliang (132
Study on Characteristics of Thermoelectric Microwave Power Sensor Based on Media Embedded Layer
Effect of High Voltage BCD Process Optimization on NLDMOS Performance DAI Gang, NIU Jian, JI Zhuoyu (142

#### • Product and Reliability •

 ·电路与系统设计 ·

# 用于 12 位 250 MS/s 电荷域 ADC 的 2.5 位子级电路

陈珍海<sup>1, 2, 3, 4</sup>,钱宏文<sup>1</sup>,薛 颜<sup>2</sup>,何宁业<sup>2, 3</sup>,何晓雄<sup>1</sup>

(1. 合肥工业大学 电气与自动化工程学院,合肥 230009;2. 中国电子科技集团公司 第五十八研究所,江苏 无锡 214035;3. 黄山学院 信息工程学院,安徽 黄山 245041;4. 黄山电器有限公司,安徽 黄山 245600)

摘 要: 提出了一种用于 12 位 250 MS/s 电荷域流水线模数转换器 (ADC)的 2.5 位子级电路。 采用增强型电荷传输电路,实现电荷传输和余量电荷计算,省去了传统流水线 ADC 中的高性能运 放,大幅降低了 ADC 的功耗。该 2.5 位子级电路被应用于一种 12 位 250 MS/s 电荷域流水线 ADC 中,并采用 0.18 μm CMOS 工艺实现。测试结果表明,在 250 MS/s 采样率、20.1 MHz 输入 频率下,该 ADC 的 SNR 为 65.3 dBFS。

关键词: 电荷域: 电荷传输: 子级电路

**中图分类号:**TN432;TN79<sup>+</sup>2 **文献标识码:**A

DOI:10.13911/j.cnki.1004-3365.190213

#### A 2. 5 bit Sub-Stage Circuit for 12 bit 250 MS/s Charge Domain ADC

CHEN Zhenhai<sup>1, 2, 3, 4</sup>, QIAN Hongwen<sup>2</sup>, XUE Yan<sup>2</sup>, HE Ningye<sup>2, 3</sup>, HE Xiaoxiong<sup>1</sup>

(1. School of Electrical Engineering and Automation, Hefei University of Technology, Hefei 230009, P. R. China;

2. No. 58 Research Institute, China Electronic Technology Group Corporation, Wuxi, Jiangsu 214035, P. R. China;

3. School of Information Engineering, Huangshan University, Huangshan, Anhui 245041, P. R. China;

4. Huangshan Electrical Appliance Co., Ltd., Huangshan, Anhui 245600, P. R. China)

**Abstract:** A 2.5-bit sub-stage circuit for 12-bit 250 MS/s charge domain pipelined ADCs was presented. Charge transfer and residue charge calculation were realized with boosted charge transfer (BCT) circuit in the proposed 2.5-bit sub-stage. Therefore, the high performance opamps in traditional pipelined ADCs were eliminated, and the power consumption could be reduced remarkably. The proposed 2.5-bit sub-stage circuit had been used in a 12-bit 250 MS/s charge domain pipelined ADC and realized in a 0.18  $\mu$ m CMOS technology. Measurement results showed that the ADC achieved a signal-to-noise ratio (SNR) of 65.3 dBFS under a sampling frequency of 250 MHz with a sinusoid input frequency of 20.1 MHz.

Key words: charge domain; charge transfer; sub-stage circuit

0 引 言

高速高精度 ADC 作为无线通信系统应用中的 重要部分,是数模混合 IC 设计的研究热点。传统开 关电容技术无法适用于低电压,在纳米级 CMOS 工 艺下难以实现高速高精度嵌入式 ADC。为了实现 低电压低功耗高速流水线 ADC,各类新型技术被提 出,如基于比较器的开关电容技术、基于过零检测器 的开关电容技术和基于环形运放的开关电容技 术等<sup>[1-3]</sup>。

**文章编号:**1004-3365(2020)01-0001-05

另外一种低功耗 ADC 实现技术是电荷域流水

收稿日期:2019-04-15; 定稿日期:2019-05-20

基金项目:国家自然科学基金资助项目(61704161);安徽省重点研究和开发计划项目(201904b11020007)

作者简介:陈珍海(1982一),男(汉族),安徽黄山人,研究方向为数模混合和功率集成电路设计。

线 ADC 技术<sup>[4]</sup>。该技术不使用高增益带宽积运放, 采用电荷作为变量,以实现信号处理,使用普通 CMOS 工艺实现。该技术发源于斗链式器件 (BBD)技术,从根本上避免了高增益带宽积运放的 使用<sup>[4-5]</sup>,从而大幅降低了模拟电路的设计要求,非 常适用于低电压应用。

针对电荷域流水线 ADC 设计技术,现有文献 只提出了 BBD 型电荷域 1.5 位子级电路,还未有文 献提出多比特量化的电荷域流水线子级电路。本文 采用该类技术设计了一种电荷域 2.5 位子级电路, 分析了核心单元电路的结构与仿真设计。将该 2.5 位子级电路用于一种低功耗 12 位 250 MS/s 电荷 域流水线 ADC,并进行了验证。

#### 1 2.5 位子级电路的结构及原理分析

本文设计的电荷域 2.5 位子级电路包括电荷传输电路 S<sub>1n</sub>、由 6 个电荷比较器构成的子 ADC、由 6 个基准信号选择控制电路构成的子 DAC、电荷传输电容  $C_0$ 、电荷加减电容  $C_{11} \sim C_{16}$  和复位开关,结构如图 1 所示。



图 1 2.5 位子级 ADC 电路

该电荷域 2.5 位子级电路的工作方式可用采 样、保持和复位 3 个相位来描述,工作过程如下。

在采样相( $\Phi_2$ ),输入电荷通过本级电荷传输电路 S<sub>ln</sub>输入到本级电荷存储电容,差分电荷注入 Q(1)的电荷量发生变化。该电荷变化量将会被子 ADC 检测到,并将其与基准信号进行比较。在电荷传输 完成之后,得到量化码  $D_0 \sim D_5$ 。

在保持相( $\Phi_1$ ), $D_0 \sim D_5$  控制子 DAC 和电荷加 减电容  $C_1 \sim C_6$ ,对输入电容进行加减,得到余量电 荷,再通过后级电荷传输电路,传输到后级电路。

当复位相(Φ<sub>set</sub>)有效时,2.5 位子级电路处于复 位状态,差分电荷存储节点被复位到一个初始电压。 因此,存储在 Q(1)上的电荷回复到初始电荷量,为 采样相接收输入电荷做好准备。

为方便分析,对图 1 电路进行了简化。图 1 电路采用全差分方式时的简化功能示意图如图 2 所示。前级电路以简化方式给出,为图 2 中的虚线框所示。2.5 位子级的差分两端分别包含 7 个设计电容。其中, $C_{10}$ 是本级的电荷传输电容,用于电荷的接收和传递, $C_{11} \sim C_{16}$ 用于电荷加减运算。



图 2 图 1 电路的简化功能示意图

在电荷传输阶段,前级余量电荷传输到本级电荷存储电容阵列上。假设电荷接收后子级电路差分 两端的电压分别为 V<sub>inl</sub>和 V<sub>ipl</sub>。则电路的 N、P 两端接收到的电荷分别表示为:

$$Q_{\rm TN} = (V_{\rm inl} - V_{\rm set}) C_{\rm T1},$$
  

$$Q_{\rm TP} = (V_{\rm inl} - V_{\rm set}) C_{\rm T1}$$
(1)

式中,V<sub>set</sub>为电荷传输前 N、P 两端的初始化电 压,C<sub>T1</sub>为本级电路电荷存储电容总和。由于前级电 路传出的电荷与 2.5 位子级电路接收的电荷相等, 本级的差模部分电压则为:

$$V_{\rm DM1} = V_{\rm in1} - V_{\rm ip1} = \frac{Q_{\rm in1}}{C_{\rm T1}} = \frac{-(V_{\rm in} - V_{\rm ip})C_{\rm in}}{C_{\rm T1}} \quad (2)$$

由式(2)可以看出,电荷传输完成后,2.5 位子 电路的 N、P 两端得到的电压为输入电压乘以 1 个 系数。C<sub>in</sub>为前级电路电荷存储电容总和。

将本级电路接收得到的差模电压与子 ADC 的 各差分参考电压进行比较,得出本级的 6 位温度计 码。各差分比较电平分别为  $V_{refl1}$ 、 $V_{refl2}$ 、…、 $V_{refl6}$ 。 其中, $V_{refl1} = -V_{refl6}$ 。当输入差动电压小于  $V_{refl1}$ 时,2.5 位输出温度计码为 000000;当输入差动电压 大于  $V_{refl6}$ 时,2.5 位输出温度计码为 111111。

由于  $C_{10}$ 两端的电压变化在 N、P 两端完全相同,因此它们的电荷贡献只影响共模电荷,差模贡献为 0。 $C_{11} \sim C_{16}$ 的负端电压变化在 N、P 两端是互补的。经过子 ADC 转换后,温度计码的输出码设为

*b*<sub>16</sub>*b*<sub>15</sub>*b*<sub>14</sub>*b*<sub>13</sub>*b*<sub>12</sub>*b*<sub>11</sub>。这些温度计码的每位分别控制 6 个子级电容的另一端,判断是否从参考电压 *V*<sub>set</sub>降 为 *V*<sub>dac</sub>,从而实现减电荷。

依据电荷传递的过程,经过电荷加减后传出本级的电荷关系为:

$$Q_{\text{out1}} = Q_{\text{in1}} - (2b_{11} - 1)(V_{\text{set}} - V_{\text{dac}})C_{11} - (2b_{12} - 1)(V_{\text{set}} - V_{\text{dac}})C_{12} - (2b_{13} - 1)(V_{\text{set}} - V_{\text{dac}})C_{13} - (2b_{14} - 1)(V_{\text{set}} - V_{\text{dac}})C_{14} - (2b_{15} - 1)(V_{\text{set}} - V_{\text{dac}})C_{15} - (2b_{16} - 1)(V_{\text{set}} - V_{\text{dac}})C_{16}$$
(3)

由于 6 个子电容的值完全相等,定义( $V_{set} - V_{dac}$ ) $C_{11}$ 为 $Q_{stagel}$ ,将子 ADC 的各个  $V_{ref}$ 电压乘以  $C_T$ ,得到本级电路的 $Q_{ref}$ 。因为 2.5 位存在一定的 冗余,所以允许参考电荷 $Q_{ref11} \sim Q_{ref16}$ 与理想基准电 荷存在一定的误差。参照图 2,以 $Q_{ref11}$ 为例,其电荷 大小理想值应为  $- 5Q_{stagel}$ 。实际允许 $Q_{ref11}$ 的范 围为:

$$-6Q_{\text{stagel}} < Q_{\text{ref11}} < -4Q_{\text{stagel}}$$

$$\tag{4}$$

#### 2 2.5位子级电路实现

电荷域流水线 ADC 子级电路中,电荷传输电路和电荷比较器是核心处理单元,其速度和精度直接决定了电荷域 ADC 的转换速度和精度。

#### 2.1 电荷传输电路

高速电荷域流水线 ADC 通常采用增强型电荷 传输(Boosted Charge Transfer, BCT)电路进行电 荷传输。本文采用的电荷传输电路为复制控制型 BCT 电路,如图 3 所示。与基本 BCT 电路相比,该 电路复杂度和器件数目有所增加,但具有输出共模 PVT 波动不敏感的特性,稳定性更高,性能更 优异<sup>[5]</sup>。



图 3 中, M<sub>SR</sub>是原始 BCT 电路中 M<sub>T</sub> 的复制, 由 M<sub>1R</sub> ~ M<sub>3R</sub>组成的共源共栅运放是原始 BCT 电路中 M<sub>1</sub> ~ M<sub>3</sub> 组成的共源共栅运放的复制。为降低功 耗, 复制电路与原始 BCT 电路对应的 MOS 管尺寸 可等比例缩小。增益为 K 的误差放大器用于检测 V<sub>s</sub> 与 M<sub>1R</sub>衬底电压间的误差。该误差放大器采用 负反馈连接结构将 V<sub>s</sub> 的值箝位在 V<sub>REF</sub>。V<sub>REF</sub> 由不 受 PVT 波动影响的精确基准信号产生, 从而大幅提 高了整体 BCT 电路的 PVT 波动抑制能力。

该 2.5 位电荷域流水线子级电路的工作速度为 250 Ms/s,对应单周期时间为 4 ns。为满足该速度 要求,本设计中,分配给采样(CK2)、保持(CK1)和 复位(CKset)三个相位的时间分别为 1.8 ns、1.8 ns 和 0.4 ns。在采样相中,分配给 BCT 电荷传输的时间为 1 ns。本文 BCT 电路的相关信号节点的瞬态 波形如图 4 所示。



BCT 电路的信号传输和电荷量化在 CK2 相位 进行。 $t_0$  时刻,BCT 电路开始电荷传输; $t_1$  时刻,  $V_{Ni}$ 电压逼近 $V_R$  时,电荷传输结束,电路完成输入电 荷接收;之后, $V_{No}$ 保持不变,其电压供子 ADC 进行 量化。从图 4 可以看出, $t_0$  时刻到  $t_1$  时刻的时间间 隔为 0.8 ns,满足 1 ns 的速度要求。

#### 2.2 电荷比较器

子 ADC 中,采用的高速电荷比较器由 4 个源跟随器、1 个开关电容差分电压采样电路和锁存放大器构成,结构如图 5 所示。该电路由不交叠时钟CK1 和 CK2 进行控制。源跟随器对输入信号进行隔离采样,得到电压信号,经开关电容网络采样处理,得到差分电压信号 V<sub>in+</sub>和 V<sub>in-</sub>,再经锁存放大器比较,得到最终比较结果 b<sub>1</sub>。锁存放大器采用现有的高速电压锁存比较器即可实现。

对图 5 所示电荷比较器进行仿真,输出响应曲 线如图 6(a)所示。差分输入电压为 V<sub>INP</sub>-V<sub>INN</sub>,差

分参考电压为 $V_{R6} - V_{R1}$ 。可以看出,比较器能在参 考电压附近正确地响应。时钟 CK 到数字输出码 *b* 的延迟曲线如图 6(b)所示。可以看出,比较器从时 钟开启到输出数字码的延迟在 100 ps(<1 ns)内, 仅占比较器时钟周期 10%,充分满足设计要求。



#### 3 实验结果

2.5 位子级电路的瞬态仿真曲线如图 7 所示。 可以看出,当输入信号为 1.5 V(峰峰值)差分输入 斜坡信号时,2.5 位子级电路对 1.5 V 斜坡信号的 余量输出被折叠为 7 个区间。余量输出电压被放大 了 4 倍,余量输出放大功能正确。结果表明,2.5 位 子级电路在 1.5 V(峰峰值)条件下,能正确实现 2.5 位子级电路的转换功能。



图 7 2.5 位子级电路的仿真曲线

本文设计的 2.5 位子级电路被应用于一种 12 位 250 MS/s 电荷域流水线 ADC 中,用作前端第一 级和第二级流水线子级电路。该 ADC 采用 0.18 μm CMOS 工艺流片。12 位 ADC 的内核芯片照片如图 8 所示。整体内核面积为(0.5×1.2)mm<sup>2</sup>。其中, 本文的 2.5 位子级电路面积为(0.2×0.3)mm<sup>2</sup>。



图 8 12 位 ADC 的芯片照片

图 9 所示为测试 FFT 频谱图,在 20.1 MHz 输入信号下,无杂散动态范围(SFDR)为 78.1 dBc,信 噪比(SNR)为 65.3 dBFS,信噪失真比(SNDR)为 64.6 dBFS,而 ADC 整体功耗为 85 mW。表 1 给出 了本文与其他文献中 ADC 的参数对比。可以看出,应用了本文 2.5 位子级电路的 ADC 性能良好。 表明所设计 2.5 位子级电路满足 12 位 ADC 的系统 要求。





表 1 本文与其他文献中 ADC 的参数对比

参数	本文	文献[6]	文献[7]
采样率/(MS・s <sup>-1</sup> )	250	270	200
工艺/nm	180	130	55
SNR/dBFS	65.3	63.7	64.9
SFDR/dB	78.1	76.1	82.9
功耗/mW	85	250	30.7
$FOM/(fJ \cdot step^{-1})$	237	1 532	111

#### 4 结 论

本文提出并设计了一种电荷域 2.5 位子级电路,分析了电路的结构及原理。由于省去了高增益运算放大器,该 2.5 位子级电路实现了超低功耗。 将该 2.5 位子级电路应用于一种 12 位 250 MS/s 电 荷域流水线 ADC。测试结果表明,该 2.5 位子级电路的性能符合 ADC 性能要求。

#### 参考文献:

- [1] SEPKE T, FIORENZA J K, SODINI C G, et al. Comparator-based switched-capacitor circuits for scaled CMOS technologies [C] // IEEE ISSCC. San Francisco, CA, USA. 2006: 220-221.
- [2] BROOKS L, LEE H S. A zero-crossing based 8-bit 200 MS/s pipelined ADC [J]. IEEE J Sol Sta Circ, 2007, 42(12): 2677-2687.
- [3] HERSHBERG B, WEAVER S, SOBUE K, et al. Ring amplifiers for switched capacitor circuits [J].
   IEEE J Sol Sta Circ, 2012, 47(12): 2928-2942.
- [4] CHEN Z H, HUANG S R, JI H C, et al. A 27 mW 10-bit 125 MSPS charge domain pipelined ADC with PVT insensitive boosted charge transfer circuit [J]. J Semicond, 2013, 34(3): 035006-1-8.
- [5] 黄嵩人,陈珍海,张鸿,等.用于电荷域流水线 ADC 的 1.5 位子级电路 [J].西安电子科技大学学报, 2016,43(6):170-175.
- [6] XUAN W, CHANG Y Y, XIAO X Z, et al. A 12bit, 270 MS/s pipelined ADC with SHA-eliminating front end [C] // IEEE ISCAS. Seoul, Korea. 2012: 798-801.
- [7] SHIN S K, RUDELL J C, DAILY D C, et al. A 12bit, 200 MS/s zero-crossing based pipelined ADC with early sub-ADC decision and output residue background calibration [J]. IEEE J Sol Sta Circ, 2014, 49(6): 1366-1382.

# 一种 14 位 100 MS/s 的流水线模数转换器

吴唐政<sup>1,2</sup>,王 娜<sup>1,2</sup>,谢 亮<sup>1,2</sup>,金湘亮<sup>1,3</sup>

(1. 湘潭大学 物理与光电工程学院,湖南 湘潭 411105; 2. 微光电与系统集成湖南省工程实验室, 湖南 湘潭 411105; 3. 湖南师范大学 物理与电子科学学院,长沙 410081)

摘 要: 设计了一种 14 位 100 MS/s 的流水线模数转换器(ADC)。采样保持电路与第 1 级 2.5 位乘法数模转换器(MDAC1)共享运放,降低了功耗。提出了一种改进的跨导可变双输入开关运 放,以满足采样保持和 MDAC1 对运放的不同要求,并消除记忆效应和级间串扰。ADC 后级采用 5 级 1.5 位运放共享结构。基于 0.18  $\mu$ m CMOS 工艺, ADC 核心面积为 1.4 mm<sup>2</sup>。后仿真结果表 明,在 1.8 V 电源电压下,当采样速率为 100 MS/s、输入信号频率为 46 MHz 时, ADC 的信噪比 (SNR)为 82.6 dB,信噪失真比(SNDR)为 78.7 dB,无杂散动态范围(SFDR)为 84.1 dB,总谐波失 真(THD)为-81.0 dB,有效位数(ENOB)达 12.78 位。ADC 整体功耗为 116 mW。

关键词: 流水线模数转换器;运放共享;跨导可变

 中图分类号:TN432;TN79<sup>+</sup>2
 文献标识码:A
 文章编号:1004-3365(2020)01-0006-05

 DOI:10.13911/j.cnki.1004-3365.190105

#### A 14 bit 100 MS/s Pipelined ADC

WU Tangzheng<sup>1,2</sup>, WANG Na<sup>1,2</sup>, XIE Liang<sup>1,2</sup>, JIN Xiangliang<sup>1,3</sup>

(1. School of Physics and Optoelectronics, Xiangtan University, Xiangtan, Hunan 411105, P. R. China;

2. Hunan Engineering Laboratory for Microelectronics, Optoelectronics and System on A Chip, Xiangtan, Hunan 411105, P. R. China;

3. School of Physics and Electronics, Hunan Normal University, Changsha 410081, P. R. China)

**Abstract:** A 14 bit 100 MS/s pipelined analog-to-digital converter (ADC) was designed. The opamp was shared by the sample-hold circuit and the 2.5 bit first stage multiplying digital-to-analog converter (MDAC1) to reduce power consumption. An improved dual-input switched opamp with variable transconductance was proposed to meet the different requirements of the sample-hold and MDAC1. Also, memory effect and crosstalk were eliminated by the improved switched opamp scheme. A five stage 1.5 bit opamp-sharing structure was adopted in the rest of pipeline stages. Based on a 0.18  $\mu$ m CMOS process, the proposed ADC core circuit occupied an area of 1.4 mm<sup>2</sup>. The post simulation results showed that an SNR of 82. 6 dB, an SNDR of 78. 7 dB, an SFDR of 84. 1 dB, a THD of -81.0 dB and an ENOB of 12. 78 bit could be achieved with a sampling rate of 100 MS/s and an input signal frequency of 46 MHz. The overall power consumption of the ADC was 116 mW at 1.8 V power supply.

Key words: pipelined ADC; opamp-sharing; variable transconductance

0 引 言

随着通信技术、数字信号处理技术的发展,无线 通信、图像处理、医疗电子等领域对 ADC 性能的要求 逐步提高<sup>[1-2]</sup>,例如,在多通道无线通信系统中,需要 ADC 同时具有低功耗和高性能<sup>[3]</sup>。在各种 ADC 中, 流水线 ADC 是实现 12~16 位分辨率、100~300 MS/s 采样速率、60~80 dB 信噪比以及 70~90 dB 无杂散 动态范围最合适的结构,并可兼顾低功耗,因而得到 广泛应用<sup>[4]</sup>。

运放共享[5-6]、电容共享[7]和无采样保持[8-9]等结

收稿日期:2019-03-04; 定稿日期:2019-03-29

**基金项目**:国家自然科学基金资助项目(61774129,61827812)

作者简介:吴唐政(1994一),男(汉族),湖南永州人,硕士研究生,研究方向为模拟集成电路设计。

构都降低了流水线 ADC 的功耗,提高能源效率。传统运放共享结构的缺点为:上一次在运放输入端寄生 电容储存的电荷会对下一次的输出产生影响,即记忆 效应;开关引入的寄生电容通路会产生级间串扰。电 容共享结构减小了输出负载电容,节省了功耗和面积,但需额外增加复位相来消除记忆效应,也存在级 间串扰,不利于实现高速和高精度。无采样保持结构 降低了功耗和噪声,但是,ADC 输入信号的最大频率 受限,相邻采样点之间存在非线性串扰。

本文基于 0.18 μm CMOS 工艺,提出了一种 14 位 100 MS/s 流水线 ADC。在传统双输入开关运 放<sup>[10]</sup>的基础上,采用一种改进的跨导可变双输入开 关运放,以满足翻转型采样保持电路和 2.5 bit 乘法 数模转换器对运放的不同要求,并消除记忆效应和 级间串扰,实现采样保持电路和乘法数模转换器共 享运放。在降低功耗的同时,避免采样网络失配对 性能产生影响。后级采用 1.5 bit 运放共享结构,减 少运放个数,进一步提高能源效率。

1 系统结构

本文设计的 14 位 100 MS/s 运放共享 ADC 的 系统结构如图 1 所示。Sub-ADC 表示子模数转换 器,MDAC 表示乘法数模转换器,SH 表示采样保持 电路。该 ADC 主要包括 SH 与 MDAC 运放共享的 前端电路、5 级 1.5 bit MDAC 运放共享流水线子 级、sub-ADC、时钟产生电路、延迟对准及数字冗余 位校正电路。





ADC 共分为 7 级。第 1 级为 SH 与 2.5 bit MDAC1 运放共享结构,第 2~6 级为 1.5 bit 运放 共享结构,第 7 级为 2 bit 并行 ADC。每级转换得 到的数字码经过延迟对准、数字冗余位校正,最终, 得到 14 位数字码。本文折中考虑了热噪声与电容 失配,将 SH、MDAC1 的电容设为 4 pF,第 2~4 级 MDAC 的 电 容 缩 减 因 子 设 为 0.6, 第 5 ~ 6 级 MDAC 的电容在第 4 级的基础上不再缩减。

#### 2 电路实现

#### 2.1 SH与 MDAC1 运放共享前端电路

SH 的类型有翻转型和电荷重分配型。相比于 电荷重分配型 SH,翻转型 SH 具有噪声低、反馈因子 大的优点。由于翻转型 SH 功耗低、噪声低,采样保 持过程中,电容减小,降低了对采样开关阻抗的要求, 利于提高采样开关的线性度。因此,本文的翻转型 SH 与 2.5 bit MDAC1 共享运放。SH 保持/MDAC 运放共享前端电路的工作原理示意图如图 2 所示。





CLK1和 CLK2分别是 CLK1D和 CLK2D的提前相,CLK1Dn和 CLK2Dn分别是 CLK1D和 CLK2Dn 分别是 CLK1D和 CLK2D的反相。

在 S/A 相位,即 CLK1D 为高电平时,SH 将模 拟输入信号采样到采样电容  $C_{\rm s}$ 上。此时,CLK2Dn 为高电平, $V_{\rm inp,b}$ 和  $V_{\rm inn,b}$ 为运放的有效输入端,运放 工作在 MDAC1 的放大相位。

采样结束后,CLK1 先于 CLK1D 关断,实现下 极板采样。此后,CLK1Dn 和 CLK2Dn 同为高电 平,运放的两对输入对管同时工作并处于饱和区,信 号传递通路被 CLK1D 和 CLK2D 关断。

在 H/S 相位,即 CLK2D 为高电平时, VinD,a和

V<sub>inn.a</sub>为运放的有效输入端,SH将输入信号保持并 传递到 MDAC1 的采样电容上。运放的输入端被交 替地连接到地电平并进行复位。因此,不需要额外 的复位时钟来消除记忆效应。同时,运放输入端不 需要开关来断开,不存在级间寄生电容的串扰通路。

#### 2.2 跨导可变双输入开关运放结构

根据 ADC 精度的要求,静态建立误差和动态 建立误差均应小于后级的 1/4 LSB,则有:

$$\frac{1}{\beta A} < \frac{1}{4} \times \frac{V_{\rm FS}}{2^{N-n}} \tag{1}$$

$$e^{-\frac{t}{\tau}} < \frac{1}{4} \times \frac{V_{FS}}{2^{N-n}}$$
(2)

式中, $V_{FS}$ 为差分输入范围, $V_{FS} = 2 V; N$ 为分 辨率, $N = 14; \tau$ 为时间常数, $\tau = 1/(2\pi f_{-3 dB, closed})$ ,  $f_{-3dB, closed}$ 为闭环-3 dB带宽;n为前级有效位数,对 于 SH,n=0,对于 MDAC1,n=2;t为运放小信号建 立时间。

假设 t 占采样周期的 3/8,即 t=3.75 ns。对于 SH,要求运放环路增益达到 90 dB,闭环-3 dB 带 宽达到 441 MHz。对于 MDAC1,要求运放环路增 益达到 78 dB,闭环-3 dB 带宽达到 382 MHz。翻 转型 SH 的反馈因子约为 1,而 MDAC1 的反馈因子 约为 1/4,它们对运放的要求不相同。

为了同时满足 SH 与 MDAC1 对运放的要求, 并消除记忆效应和级间串扰对前端电路性能的影 响,提出了一种改进型跨导可变的双输入开关运放, 如图 3 所示。





运放由第1级宽带低增益前置放大器和第2级 增益自举放大器构成。前置放大器只需驱动 NMOS管MN9、MN10,所需的面积、功耗较小。本 文中,MN1~MN4管的个数约为MN9(MN10)管 的1/3。运放输入端的寄生电容较小,有利于降低 运放输入端寄生电容对反馈因子的影响。 跨导可变运放的具体原理分析如下。输入管 MN1~MN4分别连接到 NMOS 开关上,PMOS 管 MP1、MP2 以及 NMOS 管 MN7、MN8 也分别连接 到 NMOS 开关上。CLK1Dn 和 CLK2Dn 为两相交 叠时钟,当时钟信号 CLK1Dn 和 CLK2Dn 同时为高 时,开关导通,使得 MN1~MN4 管和 MP1、MP2 管 以及 MN7、MN8 管都处于饱和区,缩短了脱离线性 区所耗费的时间,加快了运放的建立速度。

当 CLK2D 为高电平时,运放工作在 SH 保持 相位。此时,CLK1Dn 为高电平,整体运放的跨导  $g_m$ 和第2极点 $\omega_{P2}$ 分别为:

$$g_{\rm m} = \frac{g_{\rm mN1.3}}{g_{\rm mN5} + g_{\rm mN7}} \times g_{\rm mN9} \tag{3}$$

$$\omega_{\rm P2} = (g_{\rm mN5} + g_{\rm mN7}) / C_{\rm L1} \tag{4}$$

式中, $g_{mN1.3}$ 、 $g_{mN5}$ 、 $g_{mN7}$ 、 $g_{mN9}$ 分别是 MN1 (MN3)、MN5、MN7、MN9的跨导; $C_{L1}$ 为前置放大 器输出端的寄生电容。当 CLK1D 为高电平时,运 放工作在 MDAC1 放大相,此时 CLK2Dn 为高电 平,MN7、MN8 两条通路断开,MP1、MP2 通路开 启,分走部分电流,运放的跨导 $g_m$ 提高为:

$$g_{\rm m} = \frac{g_{\rm mN1.3}}{g_{\rm mN5}} \times g_{\rm mN9} \tag{5}$$

但是,第2极点 $\omega_{P2}$ 会向主极点靠近, $\omega_{P2}$ 变为:  $\omega_{P2} = g_{mN5}/C_{L1}$  (6)

跨导可变运放的增益和相位曲线如图 4 所示。 图中, $\beta_{(SH)}$ 、 $A_{(SH)}$ 和  $\beta_{(M)}$ 、 $A_{(M)}$ 分别表示 SH 保持相、 MDAC1 放大相时运放的环路增益。本文中,将 MP1(MP2)管、MN7(MN8)管的个数设计为 MN5 (MN6)的一半,提高了 MDAC1 放大相时运放的跨 导,从而提高了环路增益和带宽,同时保证相位裕度 在合适范围内。

在 SH 保持相和 MDAC1 放大相时,运放的稳 定性曲线分别如图 5、图 6 所示。







图 6 MDAC1 放大相时运放的稳定性曲线

可以看出,运放工作在 SH 保持相时,运放的环 路增益、闭环-3 dB 带宽、相位裕度分别为 96 dB、 763 MHz、63°。运放工作在 MDAC1 放大相时,运 放的环路增益、闭环-3 dB 带宽、相位裕度分别为 89 dB、460 MHz、70°。这满足了不同相位下 SH 和 MDAC1 对运放的要求。

由于前置放大器的特点,第一级消耗电流较小, 约为3.6 mA。第二级消耗电流约为9 mA(不含辅助运放)。

#### 2.3 双通道栅压自举开关

高线性度的输入开关对高速高精度 ADC 的性 能至关重要。传统栅压自举开关<sup>[11]</sup>的栅源电压固 定,不随输入信号变化,但阈值电压会受到衬底调制 效应的影响,导致开关的线性度降低。为提高前端 电路的性能,本文采用了一种双通道栅压自举开关。 与传统栅压自举开关相比,改进开关具有更高的精 度和线性度。

双通道栅压自举开关电路包括时钟自举电路、 P型栅压自举开关和 N 型栅压自举开关,电路如图 7 所示。时钟自举电路的作用是产生对电容 C<sub>3</sub> 和 C<sub>4</sub>充电的控制信号 N1、N3 和 N5。如图 7 所示,本 设计中,将原双通道栅压自举开关<sup>[12]</sup>中的栅极由接 V<sub>DD</sub>改为接 N5,以加快对电容 C<sub>4</sub>的充电速度。

为了降低衬底效应对导通电阻的影响,M19、 M20 管在开关截止时,将 M18 管的衬底接到 V<sub>DD</sub>, 在开关导通时,将 M18 管的衬底与源极连接。



图 7 双通道栅压自举开关电路

不同输入信号频率下开关的动态曲线如图 8 所示。输入信号频率范围为 16~96 MHz。可以看出,相比于传统栅压自举开关,本文开关的动态性能更优。输入信号频率为 16 MHz 时, SNDR 和 SFDR 分别提高了 5.2 dB 和 6.3 dB。



#### 3 版图设计与仿真

本文的 14 位 100 MS/s 流水线 ADC,采用 0.18 μm 1P4M CMOS 工艺,版图如图 9 所示。为 了避免走线之间的相互干扰,主信号通路和时钟通路 均加入了屏蔽线。核心电路的尺寸为为 1410 μm× 990 μm。

利用 Calibre PEX 对版图提取寄生参数,再进 行后仿真。电源电压为 1.8 V,温度为 27 ℃,输入 信号频率为 46 MHz。ADC 输出信号的频谱图如 10 所示。可以看出,ADC 的 SNR 为 82.6 dB,SNDR 为 78.7 dB,SFDR 为 84.1 dB,THD 为 - 81.0 dB, ENOB 达到 12.78 位。模拟电路部分的消耗电流约 为 51 mA,主要消耗于运放上。数字电路部分的消 耗电流约为 13 mA。总功耗约为 116 mW。表 1 所 示为本文与其他文献中 ADC 的参数对比。





参数	本文	文献[6]	文献[8]	文献[5]
工艺/nm	180	180	90	180
分辨率/bit	14	14	12	11
采样率/(MS•s <sup>-1</sup> )	100	100	100	100
输入频率/MHz	46	10	9.27	10
SFDR/dB	84.1	87.3	86.32	71.2
SNDR/dB	78.7	77.6	71.58	65.5
ENOB/bit	12.78	12.6	11.6	10.6
功耗/mW	116	350	220	52
电源电压/V	1.8	3.3	-	1.8
$FOM/(pJ \cdot step^{-1})$	0.17	0.56	0.71	0.33

#### 4 结 论

本文利用运放共享技术,设计了一种14位

100 MS/s的流水线模数转换器。提出了一种改进 型跨导可变双输入开关运放,满足了 SH 和 MDAC1 对运放的不同要求,并消除了记忆效应和 级间串扰。第2~6级采用1.5 bit 运放共享结构, 进一步降低功耗。当采样速率为100 MS/s、输入频 率为46 MHz时,ADC的 SNDR 为78.7 dB,SFDR 为84.1dB,ENOB 达到12.78 位。1.8 V电源电压 下电路的整体功耗为116 mW。

#### 参考文献:

- [1] 邓准,谢亮,金湘亮.用于视频图像传感器的12 bit
   60 MS/s流水线模数转换器[J].太赫兹科学与电子
   信息学报,2016,14(6):948-952.
- [2] 唐雨晴,曾华林,谢亮,等. 一种 10 位 160 kS/s 的循 环型模数转换器 [J]. 微电子学,2018,48(4): 437-442.
- [3] WANG Z Y, WANG M S, GU W R, et al. A highlinearity pipelined ADC with opamp split-sharing in a combined front-end of S/H and MDAC1 [J]. IEEE Trans Circ & Syst I: Regu Pap, 2013, 60 (11): 2834-2844.
- [4] LEE B G, MIN B M, MANGANARO G, et al. A 14-b 100-MS/s pipelined ADC with a merged SHA and first MDAC [J]. IEEE J Sol Sta Circ, 2008, 43(12): 2613-2619.
- [5] 万富强,刁盛锡,林福江.一种改进运放共享结构的 11 位流水线 ADC 的设计 [J]. 微电子学与计算机, 2016,33(11):119-123.
- [6] 王刚,何乐年,王煊. 14 位 100 MSPS 流水线 ADC 的 低功耗设计 [J]. 电路与系统学报,2013,18(2): 25-30.
- [7] LEE B G, TSANG R M. A 10-bit 50 MS/s pipelined ADC with capacitor-sharing and variable-gm opamp
   [J]. IEEE J Sol Sta Circ, 2009, 44(3): 883-890.
- [8] 郭英杰, 王兴华, 丁英涛, 等. 一种 12 位 100 MS/s 流 水线 ADC 的设计 [J]. 微电子学, 2016, 46(6): 721-725.
- [9] 詹勇,石红,魏娟,等.基于 0.13 μm CMOS 工艺的 14 位 50 MS/s 流水线 ADC [J]. 微电子学,2018,48
   (2):151-155.
- [10] YIN R, WEN X, LIAO Y, et al. Switched-embedded opamp-sharing MDAC with dual-input OTA in pipelined ADC [J]. Elec Lett, 2010, 46 (12): 831-832.
- [11] ABO A M, GRAY P R. A 1.5-V 10-bit 14.3-MS/s CMOS pipeline analog-to-digital converter [J]. IEEE J Sol Sta Circ, 1999, 34(5): 599-606.
- [12] WANG L, YIN W J, XU J, et al. Dual-channel bootstrapped switch for high-speed high-resolution sampling [J]. Elec Lett, 2006, 42(22): 1275-1276.

# 一种低功耗心电信号采集模拟前端电路

邹晓磊,张 瑛,苏曼卿

(南京邮电大学 电子与光学工程学院、微电子学院,南京 210046; 南京邮电大学 射频集成与微组装技术国家地方联合工程实验室,南京 210046)

**摘 要:**设计了一种采用通道复用技术的低功耗心电信号采集电路。该电路由多通路数据选择 电路、前置放大器、缓冲器和G<sub>m</sub>-C低通滤波器组成。多通路数据选择电路中的开关采用栅压自举 型开关结构,提高了线性度。该采集电路基于 0.18 μm CMOS 工艺进行设计与仿真。仿真结果表 明,静态电流仅为 5 μA,增益为 46 dB,带宽为 39 mHz~19 kHz,开关的切换频率为 10 kHz。该采 集电路能实现多导联心电信号的采集。

关键词: 心电信号采集;多通路数据选择电路;前置放大器
 中图分类号:TN432
 文献标识码:A
 文章编号:1004-3365(2020)01-0011-05
 DOI:10.13911/j.cnki.1004-3365.190230

#### A Low Power Analog Front-End Circuit for ECG Signal Acquisition

ZOU Xiaolei, ZHANG Ying, SU Manqing

(College of Electronic and Optical Engineering & College of Microelectronics, Nanjing Univ. of Posts and Telecommunications, Nanjing 210046, P. R. China; National and Local Joint Engineering Lab. of RF Integration and Micro-Assembly Technology, Nanjing Univ. of Posts and Telecommunications, Nanjing 210046, P. R. China)

**Abstract:** A low power analog front-end (AFE) circuit for ECG signal acquisition was presented by adopting channel multiplexing technology. The designed AFE circuit consisted of a multi-path data selection circuit, a preamplifier, a buffer and a  $G_m$ -C low-pass filter. The switch in the multi-path data selection circuit adopted a gate-voltage bootstrap type switch structure to improve the linearity. The circuit was designed and simulated in a 0.18  $\mu$ m CMOS process. The simulation results showed that the circuit only consumed 5  $\mu$ A quiescent current and gave a 46 dB gain in the band from 39 mHz to 19 kHz with the switching frequency of the switch was 10 kHz. It could realize the acquisition of multi-lead ECG signals.

Key words: ECG signal acquisition; multi-channel data selection circuit; preamplifier

0 引 言

心电图能够反映人体心脏生物电的放电状态, 异常的心肌放电代表心脏的活动存在一定的异常。 因此,针对心电(ElectroCardioGram,ECG)信号采 集电路的研究有助于医生和患者获取心电信号。传 统的 ECG 监护仪精度较高,但体积大、功耗高,不便 于进行长期的 ECG 信号采集<sup>[1]</sup>。IC 的快速增长使 得 ECG 信号采集设备具有便携性、低功耗的 特点<sup>[2]</sup>。

Y. J. Li 等人设计了一种可连续交叉采样的 ECG 信号采集前端电路,适用于低电压环境,能避 免采样数据泄露,具有更多设计灵活性<sup>[3]</sup>。A. L. Mansano 等人设计了一种异步 ECG 监测的自主无 线传感器,能够快捷低损耗地传输被采集的 ECG 信 号<sup>[4]</sup>。Y. Nakai 等人设计了一种可穿戴式心电监 护仪,使用 STAC 算法,能从嘈杂的环境中准确地

收稿日期:2019-04-20;定稿日期:2019-05-24

基金项目:国家自然科学基金资助项目(61106021);中国博士后科学基金资助项目(2015M582541)

作者简介:邹晓磊(1994—),男(汉族),江西赣州人,硕士研究生,研究方向为模拟集成电路设计。

采集心电信号<sup>[5]</sup>。目前,大多数便携式 ECG 信号采 集设备仅能够采集单导联 ECG 信号<sup>[3-5]</sup>,不能为医 生提供病人完整的 ECG 信号。在传统的多导联心 电采集电路中,每一路 ECG 输入都需要相应的心电 信号放大器和模数转换器(ADC)。多个放大器和 ADC 必然会增加芯片面积和功耗。

针对以上问题,本文设计了一种低功耗 ECG 信 号采集电路。采用通道复用技术,使得系统能够通 过开关来切换不同 ECG 通道的信号,再送到心电信 号放大器的输入端。前置放大器采用电容耦合结 构,在低频下能提供较大的阻抗,减少了人体失调电 压的影响。低通滤波器采用 G<sub>m</sub>-C 结构,能滤除高 频信号。

1 电路原理

传统三导联 ECG 信号采集电路包括三路 ECG 输入、三路信号放大器和 ADC,结构如图 1 所示。 因为有多个放大器和 ADC,芯片的面积和功耗均 较大。





本文设计的低功耗 ECG 信号采集电路如图 2 所示,由多通路数据选择电路、缓冲器(BUFF)、前 置放大器(PA)和低通滤波器(LPF)组成。通过增 加多通路数据选择电路,实现了不同导联信号之间 的切换,从而减少了放大器和 ADC 的数量。



图 2 本文的低功耗 ECG 信号采集电路

传统三导联 ECG 信号采集电路中,心电输入信 号经过放大器放大后,得到模拟三导联信号(Ⅰ、Ⅱ、 Ⅲ),模拟三导联信号经过 ADC 数字化后,得到三路
 导联信号的数字序列,分别为:I=I(0),I(1),I(2),
 I(3),…;II=II(0),II(1),II(2),II(3),…;II=II(0),II
 (1),II(2),II(3),…。

首先计算出扩充的 aVR、aVL、aVF 三导联信 号,分别为:aVR=-0.5×( $\Pi$ -I);aVL=0.5× (I- $\Pi$ );aVF=0.5×( $\Pi$ + $\Pi$ )。其中, $\Pi$ = $\Pi$ -I。然后,经过 ADC 数字化后,输出信号 D为:D= I(0), $\Pi$ (1),I(2), $\Pi$ (3),I(4),…。

输出信号 D 通过插值拟合数据处理方法,可以还原出导联 I、Ⅱ的信号,再计算出导联信号 Ⅲ、 aVR、aVL 和 aVF。

1.1 多通路数据选择电路

简单的模拟开关如图 3 所示。



MOS 管的导通电阻为<sup>[5]</sup>:

$$R_{on} = \frac{1}{\mu_{n} \times C_{ox} \times \frac{W}{L} \times (V_{g} - V_{s} - V_{th})}$$
(1)

MOS 管的源极接输入信号 V<sub>in</sub>,则 V<sub>s</sub>=V<sub>in</sub>。因此,MOS 管的 R<sub>on</sub>会随 V<sub>in</sub>的变化而变化,大大降低了线性度,不能满足电路要求。

为了改善 MOS 管的线性度,可稳定 MOS 管的 栅极压降和源极压降。栅压自举开关如图 4 所示。



图 4 中,当 CLK 为低电平时,M1、M3、M4 和 M7 管导通,SW、M2、M5、M6 和 M8 管截止,电容 C1 的两端分别接 V<sub>DD</sub>和地,C1 被充电至 V<sub>DD</sub>。当 CLK 为高电平时,M1、M3 和 M4 管截止,SW、M2、 M5、M6、M7 和 M8 管导通,C1 的两端分别接 SW 的栅极和源极。根据电荷守恒原理,开关管 SW 的 栅极与源极电压差总是相同,为 V<sub>DD</sub>,则 R<sub>on</sub>就不随 V<sub>in</sub>的变化而变化了。

#### 1.2 前置放大器、缓冲器和低通滤波器

前置放大器采用电容耦合结构,如图 5 所示。 图 5 中,*C*<sub>IN</sub>为输入电容,*C*<sub>FB</sub>为反馈电容,*R*为反馈 电阻。



图 5 电容耦合前置放大器

采集到的 ECG 信号具有高输入阻抗、高共模输 入的特点,因此前置放大器需要具有较大的输入阻 抗,以获得较高的共模抑制比(CMRR)。本文采用 的电容耦合放大器能在低频下提供较大的阻抗,可 减少人体失调电压的影响<sup>[7-8]</sup>。电路中,运算放大器 的第一级采用 PMOS 和 NMOS 互补的结构,作为 差分输入端,第二级采用传统差分结构。

本文将简单的电压跟随器作为缓冲器。为了滤除高频信号,本文采用 G<sub>m</sub>-C 型低通滤波器,结构如图 6 所示。



仿真结果

2

基于 0.18  $\mu$ m CMOS 工艺,对低功耗心电信号 采集电路进行设计。电路版图如图 7 所示。芯片面 积为(467×651)  $\mu$ m<sup>2</sup>。电源电压为 1.8 V,静态电 流仅为 5  $\mu$ A。



对栅压自举开关进行瞬态仿真。V<sub>in</sub>为 500 mV, 频率为 488 kHz,开关频率为 10 MHz,负载电容为 1 pF。栅压自举开关的瞬态仿真曲线如图 8 所示。 可以看出,主开关管 SW 的栅压能跟随 V<sub>in</sub>的变化, 并实时准确地传递信号。



两种开关的性能曲线对比如图 9 所示。可以看出,栅压自举型开关的线性度较好,无杂散动态范围(SFDR)保持在 50 dB 左右,满足系统要求。



系统的增益和带宽的仿真结果如图 10 所示。系统的增益为 46 dB,带宽范围为 39 mHz ~19 kHz。 带宽大于 10 kHz 的开关切换频率,所以满足 ECG 信号采集电路的要求。



ECG 输入与 PA 输入信号的对比曲线如图 11 所示。输入信号频率为 10 Hz,幅度为 1 mV。可以 看出,ECG 输入信号经开关和缓冲器传输后,损耗 极小,ECG 输入信号和 PA 输入信号的大小和形状 基本相同。

PA 输入复合信号与系统输出复合信号的对比 曲线如图 12 所示。可以看出, PA 输入复合信号与 系统输出复合信号的幅度比等于系统增益。

系统输出曲线如图 13 所示。开关频率为 10 kHz。 nlk0 为开关 S。的控制信号,nlk1 为 S<sub>1</sub> 的控制信 号。可以看出,系统的输出速度能跟上开关的切换 速度,满足设计要求。

本文与其他文献中 ECG 信号采集电路的参数 对比如表1所示。可以看出,本文的 ECG 信号采集 电路在功耗和电路面积上具有优势。





图 12 PA 输入复合信号与系统输出复合信号的对比



文献	CMOS	电源	电流/	增益/	导联	面积/
	工艺/	电压/	$\mu A$	dB	数量	$\mathrm{mm}^2$
	$\mu m$	V				
文献[9]	0.13	1.2	6.25	32.0~46.0	1	-
文献[10]	0.35	3.3	5.6	46.3	1	0.063
文献[11]	0.18	1.2	25.9	37.5~49.5	3	23.5*
文献[12]	0.13	0.7	24.8	36.0∼44.0	3	6 *
本文	0.18	1.8	5	46.0	3	0.3

注:\*表示面积包含 ECG 采集电路、ADC 和存储器。

#### 3 结 论

针对便携式心电监测系统,基于 0.18 μm CMOS 工艺设计了一种 ECG 信号采集电路。采用 通道复用技术,在 ECG 输入通道与心电信号放大器 之间增加了多通路数据选择电路,能通过时钟来切 换不同 ECG 通道信号到 ECG 信号放大器的输入 端。相较于传统多导联 ECG 信号采集电路,该 ECG 信号采集电路减少了放大器和 ADC 的数量, 大幅降低了电路的噪声、功耗和体积。

#### 参考文献:

- [1] 张瑛,耿萧,李鑫,等.一种低噪声心电信号采集模拟 前端电路设计[J].南京邮电大学学报(自然科学版), 2018,38(4):18-23.
- [2] 张建星.浅析微电子制造技术及其发展 [J]. 科学与财富,2014(2): 45-47.
- [3] LI Y, MANSANO A L, YUAN Y, et al. An ECG recording front-end with continuous-time level-crossing sampling [J]. IEEE Trans Biomed Circ & Syst,

2014, 8(5): 626-635.

- [4] MANSANO A L, LI Y, BAGGA S, et al. An autonomous wireless sensor node with asynchronous ECG monitoring in 0. 18 μm CMOS [J]. IEEE Trans Biomed Circ & Syst, 2016, 10(3): 602-611.
- [5] NAKAI Y, IZUMI S, YAMASHITA K, et al. A 14 μA ECG processor with noise tolerant heart rate extractor and FeRAM for wearable healthcare systems [C] // 20th ASPDAC. Chiba, Japan. 2015: 16-17.
- [6] 陈振中,王永禄,胡蓉彬,等.一种 CMOS 超高速主从式采样/保持电路 [J].微电子学,2017,47(2): 195-198.
- [7] HARRISON R, CHARLES C. A low-power low-noise CMOS amplifier for neural recording applications
   [J]. IEEE J Sol Sta Circ, 2003, 38(6): 958-965.
- [8] ZHANG H, LI Y. A 470 nA performance-enhanced instrumental amplifier for bio-signal acquisition [C] // IEEE Biomed Circ & Syst Conf. Cleveland, OH, USA. 2016: 288-29.
- [9] HUANG F, LIN K, GAO F, et al. A 1. 2-V 7. 2-µW ECG AFE with continuous time self-calibration filters [C] // IEEE 11th Int Conf ASIC. Chengdu, China. 2015: 1-4.
- [10] HASAN M N, LEE K S. A wide linear output range biopotential amplifier for physiological measurement frontend [J]. IEEE Trans Instrum & Measurem, 2014, 64(1): 120-131.
- [11] KIM H, KIM S, VAN HELLEPUTTE N, et al. A configurable and low-power mixed signal SoC for portable ECG monitoring applications [J]. IEEE Trans Biomed Circ & Syst, 2013, 8(2): 257-267.
- [12] KHAYATZADEH M, ZHANG X, TAN J, et al. A 0. 7-V 17. 4-μW 3-lead wireless ECG SoC [C] // IEEE BioCAS. Hsinchu, China. 2012: 344-347.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# 一种 10 Gbit/s 光接收机前置放大器

黄善择1,黄启俊1,何进1,常胜1,王豪1,童志强2

(1. 武汉大学物理科学与技术学院,武汉 430072; 2. 武汉飞思灵微电子技术有限公司,武汉 430200)

摘 要: 基于 0.18  $\mu$ m BiCMOS 工艺,设计了一种适用于光纤通信的 10 Gbit/s 光接收机前置放大器。电路由跨阻放大器、两级可变增益放大器、缓冲器、直流偏移消除电路、峰值探测器和自动增益控制环路组成。跨阻放大器采用并联-并联负反馈结构,在满足增益、带宽要求前提下实现低噪声特性。 后级放大器引入了增益可变控制,获得宽输入动态范围,同时采用电容简并技术提升带宽。版图后仿 真结果表明,在小信号光电流输入下,放大器的差分跨阻增益为 10.7 k $\Omega$ , -3 dB 带宽为 7.4 GHz,平 均等效输入噪声电流密度为 16.9 pA/ $\sqrt{\text{Hz}}$ 。可调增益范围在 25.2~80.6 dB $\Omega$  内,输入动态范围超 过 40 dB。在 3.3 V 电压下,静态功耗为 166 mW,版图尺寸为 764  $\mu$ m ×540  $\mu$ m。

关键词: 光接收机; 自动增益控制; VGA; 宽动态范围

 中图分类号:TN433; TN722
 文献标识码:A
 文章编号:1004-3365(2020)01-0016-06

 DOI:10.13911/j.cnki.1004-3365.190204

#### A Preamplifier for 10 Gbit/s Optical Receiver

HUANG Shanze<sup>1</sup>, HUANG Qijun<sup>1</sup>, HE Jin<sup>1</sup>, CHANG Sheng<sup>1</sup>, WANG Hao<sup>1</sup>, TONG Zhiqiang<sup>2</sup>
(1. School of Physics and Technology, Wuhan University, Wuhan 430072, P. R. China;
2. Wuhan Fisilink Microelectronic Technology Ltd., Wuhan 43020, P. R. China)

**Abstract**: Based on a 0.18  $\mu$ m BiCMOS technology, a preamplifier circuit of optical receiver for 10 Gbit/s optical fiber communication was designed. The circuit consisted of a transimpedance amplifier, a two-stage variable gain amplifier, a buffer, a DC offset cancellation circuit, a peak detector and an automatic gain control loop. The transimpedance amplifier adopted a shunt-shunt feedback structure to ensure low noise performance while meeting the requirements of gain and bandwidth. In order to obtain a wide input dynamic range, variable gain control was introduced in the post amplifier, and capacitance degeneration technique was utilized to increase the bandwidth. Post layout simulation showed that with the small input photocurrent signal, the differential transimpedance gain of the amplifier was 10.7 k $\Omega$  with a -3 dB bandwidth of 7.4 GHz and an averaged input-referred current noise density of 16.9 pA/ $\sqrt{\text{Hz}}$ . The adjustable gain range of pre-amplifier was from 25.2 to 80.6 dB $\Omega$ , and the input dynamic range exceeded 40 dB. The whole chip had an area of 764  $\mu$ m x540  $\mu$ m and consumed 166 mW from 3.3 V power supply.

Key words: optical receiver; automatic gain control; VGA; wide dynamic range

0 引 言

光纤通信技术凭借传输速度快、信道容量大、损

耗低等特性成为当代信息通信的首选方案,广泛应 用于物联网、云计算、移动互联网等领域中<sup>[1]</sup>。光接 收机是光通信系统的重要组件之一。为满足光通信 系统的多种距离、不同功率、低功耗、小面积的要求,

#### 收稿日期:2019-04-13; 定稿日期:2019-05-28

基金项目:国家自然科学基金资助项目(61774113,61574102,61404094);中央高校基本科研资助项目(2042014kf0238);中央 高校基本科研业务费专项资金资助项目(2042017gf0052);中国博士后科学基金资助项目(2012T50688)

作者简介:黄善择(1995—),男(壮族),广西南宁人,硕士研究生,研究方向为模拟集成电路设计。

光接收机前置放大器需具有高增益、大带宽、高灵敏 度和宽动态范围。

光接收机的灵敏度特性通常与噪声性能相关, 高灵敏度的获得依赖于低噪声的实现<sup>[2]</sup>。跨阻放大 器为直接处理微弱光电流的第一级,因此研制低噪 声跨阻放大器成为关键环节。相比于常规放大器, 共射型并联-并联负反馈放大器在增益、噪声等参数 上能实现更好的折中,为跨阻放大器的优选方案<sup>[3]</sup>。

在优化接收机各参数时,高增益会带来噪声的 降低,由于增益带宽积不变,会导致带宽降低,而过 高的增益又会限制动态范围。因此要在高增益、大 带宽、宽动态范围三者之间作出折中。针对上述问 题,本文基于 0.18 μm BiCMOS 工艺,采用并联-并 联负反馈跨阻放大器和可变增益放大器,利用自动 增益控制和电容简并的带宽拓展技术,实现了一种 高增益、高灵敏度、宽动态范围的 10 Gbit/s 光接收 机前置放大器。

1 前置放大器整体结构

本文提出的光接收机前置放大器包括跨阻放大器(TIA)、Dummy TIA、两级可变增益放大器(VGA)、缓冲输出电路(Buffer)、直流偏移消除电路(DCOC)、峰值探测电路(Peak Detector)和自动增益控制电路(AGC),整体结构如图1所示。



图1 电路整体结构框图

该前置放大器采用单端光电二极管接入,并在 TIA 和 Dummy TIA 部分实现伪差分转换,以便更 好地抑制来自电源和衬底的噪声。

2 前置放大器设计

#### 2.1 TIA

TIA 的作用是将光电二极管输入的光电流转

换并放大为一定电平的电压信号。本文的 TIA 电 路图如图 2 所示。输入级采用共射结构,后接两级 射随器,实现电平转换。并联-并联反馈电阻 R<sub>f</sub>跨接 在 Q<sub>3</sub>管的射极与输入节点之间。MOS 管 M<sub>0</sub> 用于 抽取输入信号的直流电流,调节电路输出的直流偏 移量。通过一个理想电流源并联一个 200 fF 电容 C<sub>pd</sub>来模拟光电二极管的接入。Dummy TIA 除光 电二极管和 M<sub>0</sub>外,其结构与图 2 所示的 TIA 相同。



图 2 TIA 的电路图

对电路进行小信号分析,得到 TIA 的中低频跨 阻增益:

$$Z_{\mathrm{T}} \approx \frac{R_2 R_{\mathrm{f}}}{R_1 + R_2} \tag{1}$$

主极点位于输入节点处,-3 dB带宽为:

$$f_{-3dB} \approx \frac{1 + g_{m1} R_c}{2\pi R_f C_{in}}$$
<sup>(2)</sup>

式中,g<sub>m1</sub>为晶体管 Q<sub>1</sub>的跨导,C<sub>in</sub>为输入节点对 地总电容。

再考虑噪声性能优化,对 TIA 电路进行简化, 用于辅助分析。TIA 的噪声分析简化电路如图 3 所示。



图 3 TIA 的噪声分析简化电路 在忽略后级放大器的微弱噪声后,图 3 标示出 了主要噪声来源,包含  $R_{f}$ 、 $M_{0}$ 、 $Q_{1}$ 产生的噪声。等 效输入噪声电流谱密度可表示为<sup>[4]</sup>:

$$\overline{i_{eq}^2} = \overline{i_{amp}^2} + \frac{\overline{v_{amp}^2}}{R_f^2} + \overline{i_{R_f}^2} + \overline{i_{MOS}^2}$$
(3)

式中, $i_{amp}^2$ 为 Q<sub>1</sub>的等效输入噪声电流谱密度,包含基极电流  $I_{\rm B}$ 和集电极电流  $I_{\rm C}$ 的散粒噪声,为:

$$\overline{i_{\rm amp}^2} = 2q \left( I_{\rm B} + \frac{I_{\rm C}}{|\beta(f)|^2} \right) \tag{4}$$

 $v_{amp}^2$ 为  $Q_1$ 的等效输入噪声电压谱密度,包含基极电阻  $r_b$ 的热噪声和  $I_c$ 的散粒噪声,为:

$$\overline{v_{\rm amp}^2} = 4kT\left(r_{\rm b} + \frac{1}{2g_{\rm ml}}\right) \tag{5}$$

 $i_{R_{\rm f}}^2$ 为  $R_{\rm f}$ 的噪声电流谱密度,为:

$$\overline{i_{R_{f}}^{2}} = \frac{4kT}{R_{f}}$$
(6)

 $i_{MOS}^2$ 为  $M_0$ 管的噪声电流谱密度,包含沟道热噪声,为:

$$\overline{i_{\rm MOS}^2} = 4kT\gamma g_{\rm m,M1} \tag{7}$$

最终得到总的等效输入噪声电流谱密度:

$$\frac{I_{eq}}{I_{eq}} = 2q \left( I_{B} + \frac{I_{C}}{|\beta(f)|^{2}} \right) + \frac{4kT}{R_{f}^{2}} \left( r_{b} + \frac{1}{2g_{m1}} \right) + \frac{4kT}{R_{f}} + 4kT\gamma g_{m,M1}$$
(8)

由式(1)、(2)、(8)可知, $R_i$ 的大小直接影响增益、带宽和噪声。增大 $R_i$ 可降低等效输入噪声,提高跨阻增益,但会带来带宽的减小和输出摆幅的增大,从而降低动态范围。为此,本文将 TIA 的输出 节点置于图 2 所示的 $R_1$ 与 $R_2$ 之间。在选取较大 $R_i$ 值时,可调节 $R_1$ 、 $R_2$ 来减小增益,使输出摆幅满足 要求。

通过采用长沟道和提高宽长比,可分别减小式 (8)中第4项的  $\gamma$  和  $g_{m,M1}$  值<sup>[5]</sup>,从而降低 M<sub>0</sub>管的噪 声。同时,增加 Q<sub>1</sub>的发射极长度,可减小基极电阻  $r_b$ ,从而减弱噪声。但是,这两种方法都会加大输入 端电容负载,不利于带宽提高。增加 Q<sub>1</sub>的  $I_c$ 将导致  $g_{m1}$ 变大,带来式(8)中第1项的增大、第2项的减 小,从而提升带宽。由此可见,TIA 各个参数之间 存在紧密的折中关系,在设计时需权衡考虑,并以计 算机迭代仿真,得出优化的参数。

#### 2.2 VGA

可变增益通常通过改变电压放大器的等效跨导 或输出阻抗来实现<sup>[6]</sup>。改变跨导往往对信号通路节 点的时间常数影响较小,因而具有带宽稳定的优势。 本文放大器的第一级变跨导 VGA 的电路图如图 4 所示。第二级 VGA 的结构与第一级类似,区别在 于输出节点由 A 点改为 B 点,以给各自后级电路提 供适当的共模电平偏置。



图 4 VGA 的电路图

放大器的增益改变通过控制电压 V<sub>e</sub>与 V<sub>eb</sub>的压 差来实现。通过在放大管的发射极下方添加电阻 R<sub>e</sub>和电容 C<sub>e</sub>,引入电容简并技术,从而获得带宽的 提升。

VGA 还需处理好电压余量的问题。在满足图 4 中 C 节点足够输出摆幅的前提下,本文采用3.3 V 单电源供电,使得 Q<sub>4</sub>、Q<sub>5</sub>所在支路器件的电压余量 较为紧张。因此,在支路上各器件的直流工作点需 选择恰当。与文献[7]中用 npn 管做 VGA 的尾电 流源相比,本文采用 MOS 管形式的尾电流源,能节 约一部分电压空间。在保持通过 R<sub>c</sub>的直流电流不 变的情况下,增添 M<sub>2</sub>、M<sub>3</sub>管的两条支路,将分担部 分原流过 Q<sub>4</sub>、Q<sub>5</sub>管支路的电流。使得电路在不减小 C 点电压摆幅的同时,降低了增益,从而保证了电路 动态范围的拓宽。

#### 2.3 缓冲输出电路

作为前置放大器的最后一级,缓冲输出电路需 要驱动 50 Ω 的传输线,同时有大的输出摆幅。本文 的缓冲器输出电路如图 5 所示。为匹配阻抗输出, 将负载电阻 R。设置为 50 Ω,并分配给 Q。、Q7 各支路 6 mA 的电流,以达到大的输出摆幅。为保证缓冲 器有足够的带宽,在增益带宽积不变条件下,添加退 化电阻 R。,以降低增益,从而获得大的带宽。

#### 2.4 DCOC 电路

DCOC 电路如图 6 所示。直流偏移的产生主要 源于单端的输入和差分电路的失配。当电路中存在 放大器时,初始的偏移程度会在放大作用下加剧。 为将直流偏移量消除到最小,DCOC 电路需对链路 末端输出信号的直流偏移量进行处理(见图 1)。



A<sub>1</sub>控制 M<sub>o</sub>管的栅压,对输入光电流进行直流 抽取,使得缓冲电路输出的高电平信号在经过 RC 滤波和电平转换后,被 A<sub>1</sub>拉至近似相等的电平,从 而实现偏移的消除。需要注意的是,RC 滤波网络 的存在会引入低频截止频率。而低频截止频率要足 够低,否则会导致信号直流基线偏移<sup>[8]</sup>。对于 10 Gbit/s 速率的光通信,要求低频的截止频率小于几 + kHz。因此,滤波网络的电阻和电容值会较大。 为节约芯片面积,本文选择片外电容接入的方式。

#### 2.5 峰值探测电路与 AGC 电路

峰值探测电路和 AGC 电路如图 7 所示。为不 影响信号通路的直流偏置,采用交流耦合方式输入。 当有差分信号输入时,X 点电平将随着信号幅值的 增大而上升。电容 C<sub>k</sub>起保持电压的作用。随后,Y 点电平和 V<sub>agc</sub>下降。同时,V<sub>agc</sub>控制着增益的降低, 反过来减小信号峰值,直至各参量稳定平衡。如此 反复,AGC 环路形成的负反馈则可产生稳定的摆幅 输出,实现增益的自动控制。通过设置电压 V<sub>ref</sub> 的 值,还可调节信号摆幅幅值。

3 版图设计与后仿真

本文的放大器采用 0.18 μm BiCMOS 工艺仿

真设计,整体尺寸为 764 μm ×540 μm,版图如图 8 所示。



图 8 放大器的整体版图

在供电电压为 3.3 V、光电探测器寄生电容为 200 fF 的情况下,对放大器进行了版图后仿真。在 不同增益下的频率响应曲线如图 9 所示。可以看 出,放大器的整体差分跨阻增益变化从 25.2 dBA 到 80.6 dBA,可调控范围超过了 55 dBA。带宽非常稳定,从 7.4 GHz 到 9 GHz 基本不产生峰化,频 率响应曲线平滑良好。这表明该放大器可以满足 10 Gbit/s 速率的光通信需求。



放大器的幅频特性随温度的变化曲线如图 10 所示。可以看出,在-40 ℃~120 ℃范围内,低频 增益从 82.5 dB 下降到 77.3 dB,带宽从 7.6 GHz 减小到 6.3 GHz。



图 10 幅频特性随温度的变化曲线

电源抑制比(PSRR)的仿真曲线如图 11 所示。可以看出,低频下,正电源抑制比(pPSRR)和负电源抑制比(nPSRR)分别为 81.9 dB 和 81.6 dB。



不同电流输入下的输出偏移量曲线如图 12 所 示。可以看出,当电流输入从 1 μA(pp)变化到 5 mA(pp)时,输出电压偏移量都能控制在4 mV内, 展示了优良的直流消除效果。

放大器的输出电压噪声密度曲线如图 13 所示。 对其平方积分,再除以跨阻增益,得到的等效输入电 流为 1.46 μA(rms)。

计算平均等效输入电流,其值为:

$$I_{\rm avg} = \frac{1.46 \ \mu A}{\sqrt{7.4 \ GHz}} = 16.9 \ pA/\sqrt{Hz}$$
(9)



10 Gbit/s 光接收机的误码率要求低于 1× 10<sup>-12</sup>量级。因此,最小光电流峰峰值为 10.27 mA。 在光电探测器的转换效率为 1 A/W 的情况下,计算 出的光接收机光功率灵敏度为-19.88 dBm<sup>[9]</sup>。

10 Gbit/s 传输速率下的输出眼图如图 14 所示。 可以看出,眼图张开度良好,串扰和抖动均较小。





本文与其他文献中前置放大器的参数对比如表 1 所示。可以看出,本文电路拥有更优的增益范围、 较低的噪声和稳定充足的带宽。这主要归功于 BiCMOS工艺优异的高频和噪声特性。不足之处在 于功耗较大,这是 AGC 结构的固有缺陷。

参数	文献[10]	文献[11]	文献[12]	本文
工艺/µm	0.18	0.25 SiGe	0.18	0.18
	CMOS	BiCMOS	CMOS	BiCMOS
增益/dBW	68.3	$47\!\sim\!85$	42.8~51.7	25~80.6
速率/	10	10	10	10
(Gbit • $s^{-1}$ )				
带宽/GHz	7	6.8~9.8	7.3	7.4~9.0
输入噪声/ (pA・Hz <sup>-1/2</sup> )	11.6	-	23.6	16.9
功耗/mW	81	650	37.8	166

#### 表 1 本文与其他本文献中前置放大器的参数对比

#### 4 结 论

基于 0.18  $\mu$ m BiCMOS 工艺,本文设计了一种 应用于 10 Gbit/s 光通信的接收机放大器。分析了 放大器主要参数的优化和折中方案。结果表明,该 放大器 拥有 25.2 ~ 80.6 dB $\Omega$  的增益 调控范围, 7.4~9.0 GHz 的稳定带宽,16.9 pA/ $\sqrt{\text{Hz}}$  的平均 等效输入噪声电流,超过 40 dB 的输入动态范围。 在 3.3 V 电源电压下,静态功耗为 166 mW。该放 大器适用于 10 Gbit/s 的光通信接收机。

#### 参考文献:

- OKAMOTO D, SUZUKI Y, YASHIKI K, et al. A 25-Gb/s 5×5 mm<sup>2</sup> chip-scale silicon-photonic receiver integrated with 28-nm CMOS transimpedance amplifier
   [J]. IEEE J Lightwave Technol, 2016, 34 (12): 2988-2995.
- [2] RAZAVI B. Design of integrated circuits for optical communications [M]. New York: McGraw-Hill Companies, 2003: 21-24.
- [3] 郑薇,任军,尹浩,等.一种用于1.25 Gbps 光接收机的跨阻放大器设计 [J]. 电子与封装,2019,19(1):23-27.
- [4] AWNY A, NAGULAPALLI R, KROHA M, et al. Linear differential transimpedance amplifier for 100-Gb/s integrated coherent optical fiber receivers [J].
   IEEE Trans Microwave Theory & Techniq, 2018, 66 (2): 973-986.
- [5] RAZAVI B. Design of analog CMOS integrated circuits [M]. New York: McGraw-Hill Companies, 2001: 173-175.
- [6] 池保勇, 王志华. CMOS 可变增益放大器设计概述 [J]. 微电子学, 2015, 35(6): 612-617.
- [7] LOPEZ I G, AWNY A, RITO P, et al. 100 Gb/s differential linear TIAs with less than 10 pA/√ Hz in 130-nm SiGe: C BiCMOS [J]. IEEE J Sol Sta Circ, 2018, 53(2): 458-469.
- [8] SACKINGER E. Broadband circuits for optical fiber communication [M]. Hoboken, USA: A John Wiley & Sons, Inc., 2004: 173-174.
- [9] SACKINGER E. Broadband circuits for optical fiber communication [M]. Hoboken, USA: A John Wiley & Sons, Inc., 2004: 53-54.
- [10] LI D, LIU M, LI G. A 10-Gb/s optical receiver with sub-microampere input-referred noise [J]. IEEE Photon Technol Lett, 2017, 29(24): 2268-2271.
- [11] OSSIEUR P, QUADIR N A, PORTO S, et al. A 10 Gb/s linear burst-mode receiver in 0.25 μm SiGe: C BiCMOS [J]. IEEE J Sol Sta Circ, 2013, 48(2): 381-390.
- [12] PENG C C, JOU J J, SHIH T T, et al. High linearity transimpedance amplifier in 0.18-µm CMOS technology for 20-Gb/s PAM-4 receivers [C] // ISOCC. Seoul, South Korea. 2017: 182-183.

### 一种基于抽头电感的分布式放大器

苏曼卿,张 瑛,邹晓磊

(1. 南京邮电大学 电子与光学工程学院、微电子学院,南京 210046;2. 南京邮电大学 射频集成与微组装技术国家地方联合工程实验室,南京 210046)

摘 要: 采用 0.18 μm CMOS 工艺,设计了一种基于抽头电感的四级分布式放大器。采用抽头 电感,减小了片上电感的数量,减小了芯片面积,在保持良好的端口阻抗匹配特性的同时提升了分 布式放大器的增益。仿真结果表明,在 1.48~15.5 GHz 频带范围内,增益为 8.6 dB,波动程度为 ±1.25 dB。版图面积为(0.59×1.1) mm<sup>2</sup>。 关键词: 分布式放大器;抽头电感;阻抗匹配;CMOS 工艺

中图分类号:TN722; TN432 3

**DOI:**10.13911/j.cnki.1004-3365.190215

文献标识码:A

**文章编号:**1004-3365(2020)01-0022-05

#### A Distributed Amplifier Based on Tapped Inductor

SU Manqing, ZHANG Ying, ZOU Xiaolei

(1. College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing 210046, P. R. China; 2. National and Local Joint Engineer. Lab. of RF Integr. and Micro-Assembly Technol., Nanjing Univ. of Posts and Telecommun., Nanjing 210046, P. R. China)

**Abstract:** A four-stage distributed amplifier (DA) based on tapped inductors was designed in a 0.18  $\mu$ m CMOS process. 3-port inductors were used in the proposed DA to reduce the number of on-chip inductors, therefore the area of the circuit was reduced. The gain of the DA was improved while maintaining good impedance matching characteristics. The simulation results showed that the proposed DA achieved a 8.6 dB gain from 1.48 GHz to 15.5 GHz with the fluctuation of  $\pm 1.25$  dB. The layout area was (0.59  $\times 1.1$ ) mm<sup>2</sup>.

Key words: distributed amplifier; tapped inductor; impedance matching; CMOS process

#### 0 引 言

随着现代信息技术的不断发展,宽带放大器被 广泛应用于宽带无线通信领域。微波前端电路的宽 动态范围是未来超宽带和可重构通信链路的重要条 件<sup>[1]</sup>。分布式放大器凭借其较宽工作频率范围、适 中增益、良好匹配性等优点而被广泛应用于宽带放 大系统。

CMOS 工艺因具有高集成度、低成本的优势, 被广泛应用于分布式放大器的制作。譬如,张瑛等 人采用 0.18 µm CMOS 工艺构造非均匀人工传输 线,设计了一种在 1~17.2 GHz 频带范围内输入输 出保持良好匹配且增益为 9 dB 的四级分布式放大 器,提高了功率性能<sup>[2]</sup>;A. Alizadeh 等人采用 0.18  $\mu$ m CMOS 工艺,设计了一种频带宽度为 2~12 GHz、增益为 10 dB 的双向分布式放大器,获得了高 功率增益和宽频带<sup>[3]</sup>;M. M. Tarar 等人采用 0.13  $\mu$ m CMOS 工艺,设计了一种在 2~10 GHz 频带内 增益为 10 dB 的均匀共源共栅、四级联分布式放大 器<sup>[4]</sup>;J. C. Kao 等人采用 0.18  $\mu$ m CMOS 工艺,设 计了一种带宽为 33 GHz 且增益达 24 dB 的分布式 放大器,在保证宽带的同时提高了增益和输出 功率<sup>[5]</sup>。

收稿日期:2019-04-16; 定稿日期:2019-05-20

**基金项目:**国家自然科学基金资助项目(61106021);中国博士后科学基金资助项目(2015M582541)

作者简介:苏曼卿(1995—),女(汉族),江苏徐州人,硕士研究生,研究方向为模拟与射频集成电路设计。

传统的片上电感面积大,在分布式放大器中使 用的电感较多。金属互连线实现的片上电感稳定性 好,与标准 CMOS 工艺兼容,是射频 IC 不可缺少的 元件。因此,本文采用 0.18 μm CMOS 工艺,设计 了一种基于抽头电感的四级分布式放大器。使用抽 头电感替代传统片上电感,减小了芯片面积。

1 传统分布式放大器及原理

传统的四级分布式放大器包括栅极输入传输 线(由片上电感 L<sub>Gi</sub>和增益单元的输入阻抗构成)、 漏极输出传输线(由片上电感 L<sub>Di</sub>和增益单元的输 出阻抗构成)和放大电路(增益单元),结构如图 1 所示。



当输入端加入信号时,信号沿栅极输入传输线 激励放大电路中的每个晶体管,经过各级放大电路 放大后,再沿着漏极输出传输线进行叠加。终端负载 R<sub>G</sub> 和 R<sub>D</sub> 是调节端口匹配的重要元件,传输线上 反射回来的信号会被其损耗。

分布式放大器的带宽由传输线的截止频率决定,普通集总放大器的截止频率为:

$$f_{\rm cutoff} = \frac{1}{2\pi} \times \frac{1}{R_{\rm D}C} \tag{1}$$

式中,C为漏极寄生电容。将普通集总放大器的放大电路平均分化为 N 个部分,并用匹配电感 L<sub>D</sub>进行连接,形成 N 级分布式放大器。其中,匹配 电感为:

$$L_{\rm D} = R_{\rm D}^2 \times \frac{C}{N} \tag{2}$$

N级分布式放大器的截止频率为:

$$f_{\text{cutoff}_{DA}} = \frac{1}{2\pi} \times \frac{1}{\sqrt{L_{\text{D}} \frac{C}{N}}} = \frac{1}{2\pi} \times \frac{2N}{R_{\text{D}}C}$$
(3)

由式(1)和式(3)可知,N级分布式放大器将截 止频率放大了 2N 倍,分布式放大器具有较宽的频 率特性。 但是,传输线上两端口的片上电感数量较多(传统 N级分布式放大器有片上电感 2N+2个),芯片面积较大。因此,减少电感数量能有效减小芯片面积。

#### 2 基于抽头电感的分布式放大器

本文设计的基于抽头电感的四级分布式放大器 如图 2 所示。三端口的抽头电感代替了两端口的传 统片上电感,减少了两个片上电感,从而减小了芯片 面积。增益单元电路选用峰化共源共栅结构。由两 个 NMOS 管构成共源共栅结构,只增加了很小的电 路面积,明显提高了增益和反向隔离度。此外,在两 个 NMOS 管之间加入峰化电感,提高了放大器的 增益<sup>[6]</sup>。



基于对放大器的带宽、增益和功耗的折中考虑, 选择 NMOS 管的 栅宽 和 栅长分别为 84 μm 和 180 nm。设置增益单元中的两端口峰化电感的取 值,在 10 GHz 频率下为 231 pH。综合考虑增益单 元的输入、输出阻抗值以及抽头电感值,以得到较佳 的传输线阻抗匹配性。最终,将栅极输入传输线和 漏极输出传输线的终端负载分别设置为 41 Ω 和 72 Ω。

#### 3 抽头电感的建模与原理

由金属线围绕而成的螺旋电感的内环线由下 层金属线利用通孔引出。圆形的电感性能最好, 但由于工艺限制,本文采用近圆形的八边形电 感<sup>[7]</sup>。在八边形电感结构中,加入一个抽头端口, 以构成三端口的抽头电感。不同于传统电感,抽 头电感是由两个绕组和一个抽头组成。抽头将两 端口电感变为三端口电感,通过调节抽头的位置 来获得所需电感值。 利用 ADS 软件对抽头电感进行建模及电磁仿 真。本文电路中使用的抽头电感模型一、二分别如 图 3(a)、(b)所示。在抽头电感模型中,定义三个端 口。因为建立的电感模型中的抽头并不是中心抽 头,所以,各端口间的 L 值和 Q 值并不完全相同。 抽头电感的 π 型等效电路模型如图 4 所示







(b) 电感模型二图 3 抽头电感模型



图 4 中, $L_{13}$ 定义为 Port1 与 Port3 之间的电感,  $L_{23}$ 定义为 Port2 与 Port3 之间的电感。 $R_{13}$ 、 $R_{23}$ 为电 感的直流电阻, $C_{000}$  (n=1,2,3)为各端口的单位面积 栅氧化层电容,  $C_{sin}$ 和  $R_{sin}$ 为各端口的衬底电容和电阻。当用 ADS 软件进行电磁仿真时,这些寄生参数均会参与电磁仿真<sup>[8]</sup>。端口 i和  $j(i,j=1,2,3, \pm i \neq i)$ 之间的电感、电阻和品质因数可表示为<sup>[9]</sup>:

$$L_{ij} = \frac{1}{2\pi f} \operatorname{Im}\left(Z_{ii} - \frac{Z_{ij}Z_{ji}}{Z_{jj}}\right)$$
(4)

$$R_{ij} = \operatorname{Re}\left(Z_{ii} - \frac{Z_{ij}Z_{ji}}{Z_{jj}}\right)$$
(5)

$$Q_{ij} = \frac{\text{Im}\left(Z_{ii} - \frac{Z_{ij}Z_{ji}}{Z_{jj}}\right)}{\text{Re}\left(Z_{ii} - \frac{Z_{ij}Z_{ji}}{Z_{jj}}\right)}$$
(6)

式中,Z<sub>ij</sub>为阻抗系数,f为频率。L<sub>13</sub>与L<sub>23</sub>间的 互感 M<sub>L13-L23</sub>和耦合系数 K<sub>L13-L23</sub>为<sup>[10]</sup>:

$$M_{\rm L_{13}-L_{23}} = \frac{L_{12} - (L_{12} + L_{23})}{2}$$
(7)

$$K_{L_{13}-L_{23}} = \frac{M_{L_{13}-L_{23}}}{\sqrt{L_{13}L_{23}}}$$
(8)

在 ADS 中建立的电感模型如图 5 所示,该图也 是图 2 中 L<sub>i2</sub>、L<sub>i3</sub>、L<sub>i4</sub>、L<sub>o3</sub>和 L<sub>o4</sub>的版图。

利用 ADS 仿真,采用式(4)~(6)进行计算, Port1 与 Port3 间、Port2 与 Port3 间的电感参数如 图 6 所示。可以看出,L<sub>12</sub>、L<sub>13</sub>和 L<sub>23</sub>的电感在频率 为 10 GHz 处分别为 748 pH、320 pH 和 271 pH。

根据式(7)、式(8)可知,耦合系数 K<sub>L13-L23</sub> 在 10 GHz 处约为 0.27。将片上抽头电感利用 ADS 仿真 得到的 S 参数代入 Cadence 中,进行电路仿真。



图 5 片上抽头电感版图

通过计算得到的图 2 中各抽头的电感值如表 1 所示。抽头电感  $L_{in} 和 L_{on} (n=1,2,3,4)$ 的等效模型 均如图 4 所示。其中  $L_{G1} 和 L_{G2_1} 分别为抽头电感$  $<math>L_{i1}$ 中 Port1 与 Port3、Port2 与 Port3 之间的电感,其 他电感的表述同理。



反↓ 合拙大的拙大电感值	、电感值	头	抽	的	头	抽	各	1	表
--------------	------	---	---	---	---	---	---	---	---

栅 极 转 线 上 排	俞 入 传 输 由头电感	电感值/ pH	漏极车 线上拍	俞 出 传 输 由头电感	电感值/ pH
$L_{ m i1}$	$L_{ m G1}$	389	$L_{ol}$	$L_{ m D1}$	421
	$L_{ m G2\_1}$	45		$L_{\mathrm{D2}\_1}$	641
$L_{\mathrm{i2}}$	$L_{ m G2_2}$	320	$L_{o2}$	$L_{ m D2_2}$	400
	$L_{ m G3\_1}$	271		$L_{\mathrm{D3}\_1}$	183
$L_{\rm i3}$	$L_{ m G3\_2}$	320	$L_{o3}$	$L_{\mathrm{D3_2}}$	320
	$L_{ m G4\_1}$	271		$L_{\mathrm{D4_{1}}}$	271
$L_{i4}$	$L_{\rm G4_2}$	320	$L_{o4}$	$L_{\mathrm{D4_2}}$	320
	$L_{G5}$	271		$L_{ m D5}$	271

#### 仿真结果 4

本文的放大器采用 0.18 µm CMOS 工艺库设 计和仿真。采用1.8 V的电源电压进行仿真,得到 的偏置电流为 36.2 mA, 功耗为 65.16 mW。

放大器的版图如图 7 所示,电路面积为(0.59× 1.1) mm<sup>2</sup>。放大器 S 参数的仿真结果如图 8 所示。 可以看出,在1.48~15.5 GHz 频率范围内,匹配度 良好,S11和 S22均小于-10 dB。增益为 8.6 dB,波 动较为平稳,波动程度为±1.25 dB。



基于抽头电感的四级分布式放大器版图 图 7

本文与其他文献中分布式放大器的参数对比如 表 2 所示。与文献[10]采用 GaAs PHEMT 工艺的 放大器相比,采用 CMOS 工艺的放大器在面积方面 有明显优势。与文献[3]、[4]、[11]采用 CMOS 工 艺的放大器相比,本文放大器在带宽和面积方面有 优势。



表 2 本文与其他文献中分布式放大器的参数对比

参数	文献[3]	文献[4]	文献[10]	文献[11]	本文
工艺/ µm	0. 18 CMOS	0. 13 CMOS	0.15 GaAs PHEMT	0.13 CMOS	0.18 CMOS
频带/ GHz	3~12	2~10	2~20	3~20	1.48 $\sim$ 15.5
$S_{11}/d\mathrm{B}$	<-10	<-10	<-10	<-10	<-10
$S_{\rm 22}/d{\rm B}$	<-10	<-10	<-10	<-10	<-10
$S_{\rm 21}/d{\rm B}$	9	10	15	8.6	8.6
面积/mm <sup>2</sup>	1.89	0.83	2.38	0.81	0.65

#### 5 结 论

本文设计了一个 1.48~15.5 GHz 频带范围、 基于抽头电感的四级 CMOS 分布式放大器。该分 布式放大器采用抽头电感代替传统片上电感,从而 减小芯片面积。同时,增益为 8.6 dB 的放大器在带 宽内匹配良好。

#### 参考文献:

- [1] FUHHI K. A DC to 22 GHz, 2 W high power distributed amplifier using stacked FET topology with gate periphery tapering [C] // IEEE RFIC. San Francisco, CA, USA. 2016: 270-273.
- [2] ZHANG Y, LI Z Y, YANG H, et al. Design of a CMOS distributed power amplifier with gradual changed gain cells [J]. Chin J Elec, 2018, 27(6): 1158-1162.
- [3] ALIZADEH A, MEGHDADI M, YAGHOOBI M, et al. Design of a 2-12-GHz bidirectional distributed amplifier in a 0. 18-μm CMOS technology [J]. IEEE Trans Microwave Theo & Techniq, 2019, 67 (2): 754-764.
- [4] TARAR M M, NEGRA R. Design and implementation of wideband stacked distributed power amplifier in 0. 13-μm CMOS using uniform distributed topology [J]. IEEE Trans Microwave Theo &. Techniq, 2017, 65(12): 5212- 5222.

- [5] KAO J C, CHEN P, HUANG P C, et al. A novel distributed amplifier with high gain, low noise, and high output power in 0. 18-μm CMOS technology [J]. IEEE Trans Microwave Theo & Techniq, 2013, 61 (4): 1533-1542.
- [6] 张瑛,马凯学,张翼,等. 2.5~14.5 GHz 分布式功率放大器设计[J].西安电子科技大学学报,2018,45
   (1):88-92.
- [7] 廖奎旭,范超,吴开拓,等.一种超宽带正交调制器片 上巴伦的设计[J].微电子学,2016,46(6):834-837.
- [8] ITO T, OKADA K, MASU K. Characterization of on-chip multiport inductors for small-area RF circuits
   [J]. IEEE Trans Circ & Syst I: Regu Pap, 2009, 56 (8): 1590-1597.
- [9] OKADA K, SUGAWARA H, NISHIKAWA K, et al. Modeling of three-port Si CMOS on-chip symmetric inductor for various operation modes [C] // Europ Microwave Conf. Munich, Germany. 2007: 520-523.
- [10] ZHANG Y, WANG Z G, XU J, et al. Design of a low noise distributed amplifier with adjustable gain control in 0. 15 μm GaAs PHEMT [J]. J Semicond, 2012, 11 (3): 1424-1429.
- [11] CHO M K, KIM J G, BAEK D. A switchless CMOS bi-directional distributed gain amplifier with multioctave bandwidth [J]. IEEE Microwave & Wireless Compon Lett, 2013, 23(11): 611-613.

### 采用全差分有源电感的高优值 VCO

杨鑫,张万荣,谢红云,金冬月,张 鉴,徐 曙,那伟聪 (北京工业大学 信息学部 微电子学院,北京 100124)

摘 要: 提出了一种高集成度高优值压控振荡器(VCO)。采用全差分有源电感,克服了传统螺 旋电感面积大、不可调谐的缺点。采用可变电容阵列和开关电容阵列,既扩大了振荡频率的可调 范围,又降低了相位噪声。采用改进型电流复用型负阻单元,降低了直流功耗和相位噪声。基于 TSMC 0.13 µm CMOS 工艺,利用 ADS 工具对该 VCO 进行了验证。结果表明,VCO 的振荡频率 范围为 0.31~5.13 GHz,调节率高达 177.7%。在 1 MHz 偏频处,相位噪声最低值为-125.3 dBc/Hz,直流功耗为 63 mW,优值为-201.3 dBc/Hz,综合性能较好。

关键词: 压控振荡器;全差分有源电感;调谐范围;相位噪声;优值

中图分类号:TN432;TN752 文献标识码:A 文章编号:1004-3365(2020)01-0027-05 DOI:10.13911/j.cnki.1004-3365.190161

#### A High Figure-of-Merit VCO Using Fully Differential Active Inductor

YANG Xin, ZHANG Wanrong, XIE Hongyun, JIN Dongyue, ZHANG Yin,

XU Shu, NA Weicong

(College of Microelectronics, Faculty of Information Technology, Beijing University of Technology, Beijing 100124, P. R. China)

**Abstract:** A highly integrated and high figure-of-merit (FOM) VCO was proposed. A fully differential active inductor was adopted to overcome the disadvantage of traditional spiral inductor, such as large area and untunability. A variable capacitor array and a switched capacitor array were also employed. On the one hand, the adjustable range of oscillation frequency of VCO was extended. On the other hand, the phase noise of the VCO was reduced. Meanwhile, the improved current-reusing negative resistance structure was adopted to reduce DC power consumption and phase noise. Based on TSMC 0. 13  $\mu$ m COMS process, the VCO was verified by ADS. The results showed that the oscillation frequency range was  $0.31 \sim 5.13$  GHz, the tuning range of oscillation frequency was up to 177.7%, the smallest phase noise was -125.3 dBc/Hz at 1 MHz offset, the total power consumption was 63 mW, and the FOM value was -201.3 dBc/Hz. All the results indicated that the VCO had good comprehensive performance.

Key words: voltage controlled oscillator; fully differential active inductor; tuning range; phase noise; FOM

0 引 言

随着无线通信系统的迅猛发展,1G 到 5G 的通 信频率从 800 MHz 提高到 3 300~5 000 MHz。能 在不同频段工作的无线射频收发机受到广泛关注<sup>[1-2]</sup>。电感-电容压控振荡器(*LC* VCO)是射频收 发机的重要模块,其性能参数指标极大地影响收发 机的整体性能<sup>[3-5]</sup>。为兼容不同频段和保证变频后 的信号不失真,需要 VCO 具有较宽调谐频率范围、

**基金项目:**国家自然科学基金项目(61774012,61901010);北京市自然科学基金项目(4142007,4143059,4192014);北京市未来 芯片技术高精尖创新中心科研基金项目(KYJJ2016008);中国博士后科学基金项目(2019M650404)

收稿日期:2019-03-28;定稿日期:2019-10-24

作者简介:杨 鑫(1993—),男(汉族),河北人,硕士研究生,研究方向为射频集成电路。

张万荣(1964-),男(汉族),河北人,教授,博士生导师,研究方向为射频器件与射频集成电路设计。

较低相位噪声和低功耗等性能。VCO的综合性能可采用与相位噪声、调谐范围、功耗密切相关的优值 (FOM)来表征<sup>[6-7]</sup>。高优值*LC* VCO的关键技术就 是如何同时实现宽调谐范围、低相位噪声和低功耗。

在LC VCO 中,振荡频率由LC 谐振回路中的 电容值和电感值共同决定。一般使用无源螺旋电 感,但多个螺旋电感会增加芯片面积<sup>[8-9]</sup>,在高频下 寄生效应显著。如果只使用可变电容或者开关电 容,由于电容变化范围的限制,无法覆盖较宽的频带 范围<sup>[10]</sup>。相位噪声是 VCO 的重要指标之一。Q值 越高,相位噪声越低。而无源螺旋电感的Q值普遍 较低。

为了克服无源螺旋电感的不足,人们对基于晶体管的集成有源电感进行了研究。文献[11]采用了 有源电感,优值为-107.4 dBc/Hz,但Q值较低、相 位噪声高、调谐范围小。文献[12]的LCVCO中, 有源电感的工作频带为1~3.3 GHz,优值为 -149.2 dBc/Hz,但工作频带较窄,调谐范围较小。 文献[13]通过有源电感的可调性来调节振荡频率, 优值为-163.11 dBc/Hz,但调谐范围小、相位噪 声高。

针对上述问题,本文设计了一种新型 LC VCO。 采用了宽频带、大电感、高 Q 值、电感值可独立调节 的高集成全差分有源电感,采用了可变电容阵列和 开关电容阵列,采用了改进型电流复用型负阻单元。 通过这些技术的有机结合,扩大了振荡频率的可调 范围,降低了直流功耗和相位噪声,获得了高的 FOM 值。

文章第1节介绍了全差分有源电感的结构,第 2节介绍了采用全差分有源电感和改进型电流复用 负阻的 *LC* VCO 的结构,第3节给出电路性能验证 结果,第4节得出结论。

1 有源电感的结构

本文提出的有源电感由 PMOS 管 M<sub>1</sub>、M<sub>2</sub>、M<sub>5</sub>、 M<sub>6</sub>,NMOS 管 M<sub>3</sub>、M<sub>4</sub>、M<sub>7</sub>、M<sub>8</sub>、M<sub>9</sub>、M<sub>10</sub>、M<sub>11</sub>、M<sub>12</sub>、 M<sub>13</sub>、M<sub>14</sub>、M<sub>15</sub>、M<sub>16</sub>、M<sub>17</sub>、M<sub>18</sub>,可调电阻 R<sub>11</sub>、R<sub>12</sub>和可 变电容 C<sub>11</sub>、C<sub>12</sub>组成,结构如图 1 所示。

有源电感整体电路采用全差分结构。本文以其 中一条输入回路为例,分析如下。M4 管与 M9 管进 行共源共漏连接,作为负跨导器。M14 管作为正跨 导器,构成电感的基本单元。M1、M2 和 M3 管组成 电流镜,为负跨导器提供偏置电流。M11 管为正跨 导器提供偏置电流。小尺寸晶体管 M<sub>15</sub> 与有源电感 输入端串联,以减小输入电容,扩展工作频率。M<sub>16</sub> 管作为电流源,为 M<sub>15</sub>管提供偏置电流。在正、负跨 导器之间引入可变电容 C<sub>t2</sub>,以增加回转电容,增大 电感值。在正、负跨导器之间引入可变电阻 R<sub>t2</sub>,以 减小串联电阻,提高 Q 值。当调节 C<sub>t2</sub>来改变电感 值时,Q 值会发生变化,通过调节 R<sub>t2</sub>来补偿 Q 值, 实现电感值的独立调节。



图 1 新型有源电感的结构

对有源电感的小信号等效电路的分析如下。考 虑到电路的对称性,只对其中一端的有源电感进行 小信号等效电路分析。全差分有源电感的小信号等 效电路如图 2 所示。图中, $g_{m4}$ 、 $g_{m9}$ 、 $g_{m14}$ 、 $g_{m15}$ 、 $g_{m16}$ 分别为  $M_4$ 、 $M_9$ 、 $M_{14}$ 、 $M_{15}$ 、 $M_{16}$ 管的跨导, $C_{gs4}$ 、 $C_{gs9}$ 、  $C_{gs14}$ 、 $C_{gs15}$ 、 $C_{gs16}$ 分别表示  $M_4$ 、 $M_9$ 、 $M_{14}$ 、 $M_{15}$ 、 $M_{16}$ 管 的栅源电容。



图 2 全差分有源电感的小信号等效电路

对小信号等效电路进行分析,可得输入导纳Y<sub>in</sub>:

$$Y_{in} \approx \frac{g_{m9}g_{m14}g_{m15}}{g_{m16}\omega(C_{gs14} + C_{t2}) + g_{m4}g_{m16}\left(1 - \frac{g_{m4}R_{t2}}{1 + R_{t2}\omega C_{t2}}\right)} + \frac{g_{m16}C_{gs15}}{g_{m15} + g_{m16}}$$
(1)  
$$\frac{g_{m16}C_{gs15}}{g_{m15} + g_{m16}} + \frac{g_{m14}g_{m15}}{g_{m15} + g_{m16}}$$
(1)  
$$\mathcal{M}_{\tau}(1) = \mathcal{M}_{\tau} = \mathcal{M}_{t1} + \mathcal{M}_{t2} + \mathcal{M}_$$

路中表示三部分并联。因此,可用图 3 所示的 RLC 电路来等效。



图 3 有源电感的 RCL 等效电路

其中,等效元件  $R_s$  与 $L_{C_P}$ , $R_P$  为并联关系,它 们的表达式分别为:

$$L = \frac{g_{m16} \left( C_{gs14} + C_{12} \right)}{g_{m9} g_{m14} g_{m15}}$$
(2)

$$R_{\rm s} = \frac{g_{\rm m4}g_{\rm m16} \left(1 - \frac{g_{\rm m4}R_{\rm t2}}{1 + R_{\rm t2}\omega C_{\rm t2}}\right)}{g_{\rm m0}g_{\rm m14}g_{\rm m15}} \tag{3}$$

$$C_{\rm P} = \frac{g_{\rm m16} C_{\rm gs15}}{g_{\rm m15} + g_{\rm m16}} \tag{4}$$

$$R_{\rm P} = \frac{g_{\rm m15} + g_{\rm m16}}{g_{\rm m14} g_{\rm m15}} \tag{5}$$

品质因子 Q 和谐振频率 f 分别为:

$$Q \approx \frac{\omega L R_{\rm P}}{R_{\rm S}^2} \tag{6}$$

$$f = \frac{1}{2\pi\sqrt{LC_{\rm P}}}\tag{7}$$

因为在正、负跨导器之间引入了可变电容 C<sub>12</sub>, 所以式(2)中的分子添加了一项 C<sub>12</sub>,从而增大了等效电感值 L。因为引入了可变电容 C<sub>12</sub>、可调电阻 R<sub>12</sub>,所以式(3)中添加了一个小于 1 的式子,从而减 小了等效串联电阻 R<sub>s</sub>。在式(4)中,因为将传统电 感中 M<sub>9</sub> 管的栅源电容 C<sub>gs15</sub>,而 C<sub>gs15</sub>小于 C<sub>gs9</sub>,所以减小了等效 电容 C<sub>P</sub>。

由式(6)可知,增大 L、减小 Rs 可提高 Q 值。 由式(7)可知,减小 C<sub>p</sub> 可提高谐振频率,扩展工作 频带。

由式(2)、式(3)、式(6)可知,通过调节  $C_{t2}$ 可改 变 L 值,但 Q 值也会改变,可以通过调节  $R_{t2}$ 来补偿 因  $C_{t2}$ 改变导致的 Q 值变化,进而实现电感值的独 立调节。

2 LC VCO 的结构与分析

本文提出的高优值 LC VCO 包括 LC 谐振回

路、改进型电流复用型交叉耦合负阻、输出缓冲级三部分。采用了在宽频带内具有大电感值、高Q值且 电感值可独立调节的高集成全差分有源电感,采用 了可变电容阵列和开关电容阵列,采用了改进型电 流复用型负阻单元。通过这些独特技术方式的有机 结合,扩大了振荡频率的可调范围,降低了直流功耗 和相位噪声,获得了高优值。采用全差分有源电感 的LC VCO 如图4所示。



图 4 采用全差分有源电感的 LC VCO

LC 谐振回路包括 2 个全差分有源电感 (DAI-1,DAI-2)、开关电容阵列(3 位二进制开关电 容阵列)和可变电容阵列(由电阻  $R_1 \sim R_4$ 、固定电容  $C_1 \sim C_4$ 和可变电容  $C_5 \sim C_8$  组成)。利用可调的有 源电感、可变的电容阵列、开关电容阵列等多种调节 模式的有机结合,实现宽的调谐频率范围。利用 DAI-1 的高 Q 值特性,实现低的相位噪声。利用电 感值可独立调节的特性,在调节振荡频率时,实现低 的相位噪声。

改进型电流复用型负阻单元包括隔直电容  $C_9 \sim C_{10}$ 、有源电感(AI)、电阻  $R_7 \sim R_8$ 、交叉耦合对  $M_3 \sim M_4$ 。AI 的结构如图 5 所示。



AI由两对 NMOS-PMOS 交叉对管构成,为共 源共栅结构。考虑到电路的对称性,对其中一端电 路进行分析。AI 的电感值为:

$$L = C_{gs5} / (g_{m5} g_{m6})$$
 (8)  
式中,  $g_{m5} , g_{m6}$ 分别为  $M_5 , M_6$  管的跨导,  $C_{gs5}$ 为

M5 管的栅源电容。

该负阻单元用于抵消谐振电路中的等效电阻, 维持 LC VCO 的持续振荡。同时,该负阻单元还能 起到减小功耗的作用。M4 管的源极与电源电压 Vcc相接,AI 的一端与 M4 管的漏极相接,另一端与 M3 管的漏极相接,M3 管的源极接地。电流从 Vcc 流经 M4 管、AI、M3 管,使得整个负阻单元只有一条 直流通路,而传统结构有两条直流通路。因此,降低 了功耗。

在  $M_4$  管的栅极与 AI 之间引入  $C_9$ ,在  $M_3$  管的 栅极与 AI 之间引入  $C_{10}$ , $M_3$ 、 $M_4$  管的栅极分别引入 电阻  $R_1$ 、 $R_2$ 。通过可调偏置电压  $V_{ctrl}$ 为  $M_3$ 、 $M_4$  管 的栅极提供合适的偏压,使得  $M_3$ 、 $M_4$  管始终工作 在饱和区,减小了周期振荡信号引起的 MOS 管噪 声,从而降低了 VCO 的相位噪声。下面以  $M_3$  为例 进行分析。

 M<sub>3</sub> 管工作在饱和区的条件为:

 V<sub>DS3</sub> > V<sub>GS3</sub> - V<sub>TH</sub>

 则 M<sub>3</sub> 管的栅源电压 V<sub>GS3</sub> 为:

$$V_{\rm GS3} = V_{\rm ctrl} + v_{\rm in} \tag{10}$$

式中, v<sub>in</sub>为 M<sub>3</sub> 管栅极产生的一个正向小信号 电压。M<sub>3</sub> 管的源漏电压 V<sub>DS3</sub> 与 V<sub>CC</sub> 和振荡信号相 关,在振荡频率一定时可看作是一个在固定范围内 周期变化的信号。因此,通过调节 V<sub>ctrl</sub> 的值,使得 M<sub>3</sub> 管始终工作在饱和区,以减小振荡信号引起的 MOS 管噪声。M<sub>4</sub> 管的工作原理与 M<sub>3</sub> 管相同。因 此,该负阻单元从功耗、相位噪声两方面提高了 优值。

输出缓冲级由 NMOS 管 M<sub>1</sub>~M<sub>2</sub>、电流源 I<sub>1</sub>~ I<sub>2</sub>、电阻 R<sub>5</sub>~R<sub>6</sub>、隔直电容 C<sub>11</sub>~C<sub>14</sub>组成。作用是 放大 VCO 的输出波形和驱动测试负载。

3 电路性能验证

基于 TSMC 0.13  $\mu$ m RF CMOS 工艺,利用 ADS 工具对 *LC* VCO 进行验证。电源电压  $V_{DD} =$ 3.3 V。直流功耗为 63 mW。多种调谐模式结合的 *LC* VCO 的总调谐曲线如图 6 所示。

可以看出,该*LC* VCO 在 $V_{ctr2} = 0$  V时,振荡频 率范围为 0.31~3.02 GHz,在 $V_{ctr2} = 2.4$  V时,振 荡频率范围为 0.31~5.13 GHz,调节率最高 为 177.7%。

LC VCO 在不同偏频处的相位噪声曲线如图 7 所示。可以看出,在频率为 0.5 GHz、4.5 GHz 时,

在偏频  $L(\Delta\omega)$ 1 MHz 处,相位噪声分别为 -102.7 dBc/Hz、-125.3 dBC/Hz。由于电感值可 独立调节,在振荡频率范围 0.5~4.5 GHz 内,相位 噪声均低于-100 dBc/Hz。



图 6 多种调谐模式结合的 LC VCO 的总调谐曲线

LC VCO 的 FOM 为<sup>[6-7]</sup>:

$$r_{\text{FOM}} = L(\Delta \omega) - 20 \lg \left( \frac{\omega_0}{\Delta \omega} \times \frac{D_{\text{TR}}}{10} \right) + 10 \lg \frac{P_{\text{dc}}}{1 \text{ mW}}$$
(11)

式中, $L(\Delta \omega)$ 为 VCO 的相位噪声, $\omega_0$  为中心频率, $D_{TR}$ 为振荡频率的调谐范围, $P_{dc}$ 为 VCO 的功耗。

经计算得出,本文 LC VCO 的优值为-201.3 dBc/Hz。





本文与其他文献中 *LC* VCO 的参数对比如表 1 所示。可以看出,本文实现了较大的调谐范围, 调节率达 177.7%,优于文献[12]、[13]。本文的 相位噪声仅为-125.3 dBc/Hz,优于文献[11]、 [12]、[13]。本文的 FOM 值达-201.3 dBc/Hz, 优于文献[11]、[12]、[13]。本文的综合性能 优良。

表 1 本文与其他文献中 VCO 的参数比较

参数	文献[11]	文献[12]	文献[13]	本文
调谐范围/%	180.1	71.1	50	177.7
相位噪声/	- 90	-87	-92.37	-125.3
$(dBc \cdot Hz^{-1})$				
FOM/	-107.4	-149.2	-163.11	-201.3
$(dBc \bullet Hz^{-1})$				

#### 4 结 论

本文提出了一种新型宽调谐范围、低相位噪声、 高优值 LC VCO。采用集成差分有源电感替代无源 螺旋电感,大幅减小了芯片面积。利用有源电感的 可调性,结合可变电容阵列和开关电容阵列,增大了 调谐范围,使得振荡频率的调节率高达 177.7%。 利用全差分有源电感的高 Q 值,改善了相位噪声。 采用改进型电流复用型负阻单元,降低了相位噪声, 在 1 MHz 频偏处,最低相位噪声为 - 125.3 dBc/Hz,优值为-201.3 dBc/Hz。本文研究为实现 全集成、小面积、宽调谐范围和低相位噪声的 LC VCO 提供了一种解决方案。

#### 参考文献:

- [1] 彭小平. 第一代到第五代移动通信的演进 [J]. 中国 新通信, 2007, 5(4): 90-92.
- [2] 方汝仪.5G移动通信网络关键技术及分析 [J].信息 技术,2017,23(34):142-145.
- [3] SHU K, SINENCIO S E. CMOS PLL synthesizers: analysis and design [M]. New York: Springer, 2005: 15-17.
- [4] ROBERTO N, NICOLA D D, PIERPAOLO P, et al. Modeling, design and characterization of a new low jitter analog dual tuning LC-VCO PLL architecture

[J]. IEEE J Sol Sta Circ, 2005, 40(6): 1303-1308.

- [5] 池保勇,余志平,石秉学. CMOS 射频集成电路分析 与设计 [M]. 北京:清华大学出版社,2006:23-24.
- [6] JEONG Y J, KIM Y M, CHANG H J, et al. Lowpower CMOS VCO with a low-current, high-Q active inductor [J]. IET Microwave Anten & Propagat, 2012, 6(7): 788-792.
- [7] MAZZANTI A, ANDREANI P. A 1.4 mW 4.90 to 5.65 GHz class-C CMOS VCO with an average FoM of 194.5 dBc/Hz [C] // IEEE ISSCC. San Francisco, CA, USA. 2008: 474-629.
- [8] YIM S M, KENNETH K O. Switched resonators and their applications in a dual band monolithic CMOS LCtuned VCO [J]. IEEE Trans Microwave Theo &. Techniq, 2006, 54(1): 74-81.
- [9] LI Z, KENNETH O. A 900 MHz 1.5 V CMOS voltage controlled oscillator using switched resonators with a wide tuning range [J]. IEEE Microwave Wireless Compon Lett, 2003, 13(4): 137-139.
- [10] ROFOUGARAN A, CHANG G, RAEL J J, et al. A single chip 900 MHz spread spectrum wireless transceiver in 1 μm CMOS - part I: architecture and transmitter design [J]. IEEE J Sol Sta Circ, 1998, 33 (4): 515-534.
- [11] KIA H B, A'AIN A K. A wide tuning range voltage controlled oscillator with a high tunable active inductor[J]. Wireless Personal Commun, 2014, 79 (1): 31-41.
- [12] HADDAD F, GHORBEL I, RAHAJANDRAIBE W. Multi-band inductor-less VCO for IoT applications [C] // IEEE Int Symp Circ & Syst. Baltimore, MD, USA. 2017, 17(1): 1-4.
- [13] KUMAR V, MEHRA R, ISLAM A. A CMOS active inductor based digital and analog dual tuned voltagecontrolled oscillator [J]. Microsyst Technol, 2017, 19 (9): 1-13.

# 一种 SiGe BiCMOS 140 GHz 高增益功率放大器

吴凯翔,赵君鹏,曹 军,蔡运城,高海军 (杭州电子科技大学"射频电路与系统"教育部重点实验室,杭州 310018)

摘 要: 基于 IHP 130 nm SiGe BiCMOS 工艺,设计了一种中心频率为 140 GHz 的三级 Cascode 结构的功率放大器。该放大器由两个驱动级和一个输出功率级组成,输入、输出和级间匹配均采用微带线实现。设计中,选用最佳尺寸的晶体管,通过分析得到最佳偏置电流和最佳偏置电压,从而获得最大的电压摆幅,以提高输出功率。仿真结果表明,在 120~160 GHz 的工作频带中,该放大器的最高增益为 28 dB,饱和输出功率为 16.2 dBm,功率附加效率为 20%,功耗为 220 mW。
 关键词: 功率放大器;高输出功率;D 波段;高增益
 中图分类号:TN722.75; TN433
 文献标识码:A
 文章编号:1004-3365(2020)01-0032-04
 DOI:10.13911/j.cnki.1004-3365.190179

#### A 140 GHz SiGe BiCMOS High Gain Power Amplifier

WU Kaixiang, ZHAO Junpeng, CAO Jun, CAI Yuncheng, GAO Haijun

(Key Lab. for RF Circ. and Syst. of Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, P. R. China)

**Abstract**: A three-stage cascode power amplifier with 140 GHz center frequency was designed in the IHP 130 nm SiGe BiCMOS technology. The amplifier consisted of two driver stages and one output power stage, and the input, output and inter-stage matching were all realized by microstrip line. In the design of the power stage, the HBTs with the best size was designed to obtain the best bias current and the best bias voltage through analysis, so as to obtain the maximum voltage swing to improve the output power. The simulation results showed that in  $120 \sim 160$  GHz working frequency band, the  $G_{max}$  was 28 dB, the  $P_{sat}$  was 16.2 dBm, the PAE was 20.5%, and the power consumption was 220 mW.

Key words: power amplifier; high output power; D-band; high gain

#### 0 引 言

随着半导体技术的发展,以硅基工艺为基础的 半导体器件具有强大的性能和集成能力,其成本也 低于以 III-V 族工艺为基础的半导体器件<sup>[1]</sup>。目前 在中低频段,可用频段资源越来越少,因此开始对 D 波段进行探索。研究发现,D 波段拥有丰富的频段 资源,基于硅基工艺的器件也有了较为出众的表现。 文献[2-4]中,基于 SiGe 工艺的宽带放大器能得到 约 30 GHz 的带宽,甚至可高达 40 GHz。mHEMT 和 InP 异质结双极晶体管虽然有着更高的 *f*<sub>T</sub>/*f*<sub>max</sub> 和击穿电压,能够提供更宽的带宽,但在可靠性、集成度和成本方面仍然低于基于硅基工艺的器件<sup>[5]</sup>。

本文基于 IHP 130 nm SiGe BiCMOS 工艺,采 用型号为 npn13g2 的晶体管,实现了一种高增益功 率放大器。该晶体管的特征频率和最大截止频率分 别为 300 GHz 和 450 GHz,发射极与集电极之间的 击穿电压为 1.6 V,能够满足 D 波段高增益和宽带 宽功率放大器的设计要求。为了实现高增益和高输 出功率,通常采用多路功率组合技术<sup>[6]</sup>,但功耗和芯 片面积较大。本文功率放大器在低功耗的前提下, 得到高增益和高输出功率以及良好的效率。

文章第1节介绍电路的整体结构,第2节介绍

收稿日期:2019-04-04; 定稿日期:2019-05-17

基金项目:国家自然科学基金重点项目(61871161)

作者简介:吴凯翔(1995—),男(汉族),浙江衢州人,硕士研究生,研究方向为射频集成电路设计。

功率级电路的设计和匹配网络的设计优化,第3节 给出电路的仿真结果和版图,第4节给出结论。

1 功率放大器整体结构

设计功率放大器时通常考虑以下三个因素:第一,选择合适的放大器拓扑结构;第二,选择适当的 放大器级数和晶体管尺寸;第三,设计各个匹配网络 并进行无源器件的优化。

基于上述思考,本文放大器采用单路式三级级 联 Cascode 结构,如图 1 所示。为了满足高增益和 高输出功率的要求,每级结构使用的晶体管数量和 尺寸逐步增加。为了降低传输损耗,采用微带传输 线和 MIM 电容进行输入、输出和级间匹配。



2 输出功率级设计

#### 2.1 功率级拓扑结构

共发射极放大器能在更低的电源电压下工作, 并具有更高的功率附加效率(PAE),尤其是基于低 增益和小尺寸的设计中,但更低的输出输入隔离度 导致增益较低。基极是交流接地,几乎没有从输出 到输入的反馈。因此,在相同的晶体管尺寸和偏置 条件下,共发射极放大器的输出阻抗低于 Cascode 结构放大器<sup>[79]</sup>。另外,Cascode 结构具备较高的隔 离度,更适用于匹配特定负载的多级模块化放大器。 与共射结构相比,Cascode 结构有效抑制了密勒效 应,从而提高了增益。共射结构与 Cascode 结构的 对比图如图 2 所示。

共射结构的增益为:

$$A_{\rm v} = -g_{\rm m} r_{\rm o} \tag{1}$$

式中,g<sub>m</sub>和 r<sub>o</sub>分别是 Q1 管的跨导和输出阻抗。

Cascode 结构的增益与输出阻抗分别为:

$$A_{v1} = -(g_{m3} + g_{mb3})r_{o2}r_{o3}g_{m2}$$
(2)

$$R_{\rm out} = (g_{\rm m3} + g_{\rm mb3}) r_{\rm o2} r_{\rm o3} \tag{3}$$

可以看出,与共射结构相比,Cascode 结构的增益和输出阻抗有明显优势。



图 2 共射结构与 Cascode 结构的对比图

#### 2.2 晶体管的选择与电流的偏置

在功率放大器的设计中,晶体管的选择与优化 是第一考虑的,因为它会影响增益、输出功率和附加 效率等性能参数。为了避免高损耗、窄带宽的输入 输出匹配网络,最好使输入输出阻抗接近史密斯圆 图中心处晶体管的阻抗。由于器件尺寸会影响器件 内部、外部和布局寄生,大面积的晶体管可能会产生 显著的串联电阻和寄生参数,从而产生跨基区的电 压变化,降低功率和附加效率。综合考虑,本文功率 放大器的功率级洗用 5 个发射结指数为 6 的晶体管 并联来实现,两个驱动级分别选用3个发射结指数 为5的晶体管并联和1个发射结指数为4的晶体管 并联来实现,以保证各级输出功率能驱动下一级电 路,并有足够的增益。在电路功能分配中,第一级驱 动级电路主要提供高增益,第三级功率级电路主要 输出高功率。在版图设计中,晶体管触点的并联配 置更适合于优化布局,通过减少接触和互连寄生,更 好地向晶体管终端提供均匀电流。

其次,观察晶体管的 *I*-V 曲线,如图 3 所示。在 0.8~1.4 V之间,晶体管的线性度较好,故将单管 的工作电压设置为 1.3 V(Cascode 结构的工作电压 可设置为 2.6~2.8 V),将共发射极电路的基极电 流设为变量。为了避免大信号失真,最小集电极电 压和膝点电压应一致,称为最佳匹配负载线上的静 态点。*I*-V 曲线的峰值为  $I_{max}$ =84 mA,对应的基极 电流  $I_b$  为 240  $\mu$ A。因此,最佳偏置电流  $I_b$  在 70~ 100  $\mu$ A 之间。确定最佳范围后,细化所需要的偏置 电流值,如图 4 所示。当  $I_b$  从 70  $\mu$ A 上升到 90  $\mu$ A 时,功率增益明显增加。当  $I_b$  大于 90  $\mu$ A 时,增益
的增势趋近平缓,此时电流增益β保持在520左右, Q5和Q6管均工作在放大区。为了使放大器达到 高输出功率和高增益,最佳偏置I。为90μA。



最后,在固定器件最佳尺寸的情况下,通常通过 提高集电极电压来获得更大的电压摆幅,继而得到 更高的输出功率和 PAE,同时始终保持晶体管在安 全工作区域内。增益和输出功率随 V<sub>b</sub> 的变化曲线 如图 5 所示。在共基极偏置电压 V<sub>b</sub> 为 1.8~2 V 时,增益和输出功率的增势已趋于平缓。考虑到在 最小功耗处得到最佳输出功率,Cascode 结构中 V<sub>b</sub> 约为 2 V。



#### 2.3 匹配网络的设计和优化

在高频匹配网络中,无源器件的损耗对电路的 整体性能影响突出,其中以电感的影响最为明显。 为了降低损耗,各级匹配网络采用微带传输线和集 成 MIM 电容来实现。微带线采用顶层金属(TM2) 作为传输线,在没有其他金属层的影响下,采用底层 金属(M1)作为接地线。采用微带线来设计电感时, 应该考虑版图的布局以及微带线走线带来的附加影 响等 因素。由于功率级晶体管个数较多,在 Cascode 结构的发射极串联一个电感来使输入阻抗 更接近 50 Ω,使匹配更加容易。但与此同时,增益 会降低。增益和输入阻抗随 L。的变化曲线如图 6 所示。折中考虑增益与匹配,选择电感值为 15 pH 的微带线来代替电感。



# 3 仿真结果与版图

本文采用 ADS(Advanced Design System),对 设计电路进行无源器件 EM 仿真,采用 Cadence 进 行版图物理验证。S 参数与噪声系数的仿真结果如 图 7 所示。



由图 7 可见,放大器工作在 120~160 GHz 时,

峰值增益为 28 dB,3 dB 带宽为 108~153 GHz。输入反射系数 S<sub>11</sub>在频带范围内均小于-10 dB,输出反射系数 S<sub>22</sub>在工作范围内小于-5 dB。在 140 GHz 处,噪声系数为 5.8 dB。

在 140 GHz 下,输出功率、增益和 PAE 随  $P_{in}$ 的变化曲线如图 8 所示。1 dB 功率压缩点的输出 功率为 14.4 dBm,饱和输出功率为 16.2 dBm,在全 频带内输出功率均大于 13 dBm。在 2.7 V 供电下, 功率级电流为 45 mA,总电流为 81.5 mA。当输入 功率为-3 dBm 时,峰值 PAE 为 20%。版图布局 如图 9 所示,版图尺寸为 280  $\mu$ m×500  $\mu$ m。



图 8 输出功率、增益和 PAE 随 Pin 的变化曲线



图 9 电路版图

本文与近年来部分文献中功率放大器的性能参 数对比列于表 1。

表 1 本文与部分文献中功率放大器的性能参数对比

文献	频率/	$P_{ m out}/$	PAE/	增益/	带宽/	功耗/
序号	GHz	dBm	%	dB	GHz	$\mathrm{m}W$
[5]	140	11.0	5.0	24.8	20	262
[9]	12	15.5	6.4	19.0	35	480
[10]	120	17.8	4.3	32.0	80	560
[11]	150	9.0	1.6	17.0	35	320
[12]	130	7.7	6.8	24.3	20	84
本文	140	16.0	20.0	28.0	45	220

表1中,用于比较的功率放大器均采用130 nm SiGe BiCMOS 实现。可以看出,本文功率放大器在 输出功率和 PAE 方面均有一定的进步。

## 4 结 论

本文基于 IHP 130 nm SiGe BiCMOS 工艺,实现了一种中心频率为 140 GHz、三级 Cascode 结构的功率放大器。通过仔细优化偏置电流、偏置电压以及无源器件,最终在 120~160 GHz 的工作频带中,该放大器的最高增益为 28 dB,饱和输出功率为 16.2 dBm,功率附加效率为 20%,功耗为 220 mW。相较于同频段功率放大器,本文放大器实现了更高的输出功率和效率,为 140 GHz 频段的功率放大器设计提供了一定的借鉴意义。

#### 参 考 文 献:

- [1] FURQAN M, AHMED F, HEINEMANN B, et al. A 15.5-dBm 160-GHz high-gain power amplifier in SiGe BiCMOS technology [J]. IEEE Microwave & Wireless Compon Lett, 2017, 27(2): 177-179.
- [2] ZHANG B, XIONG Y Z, WANG L, et al. Gainenhanced 132-160 GHz low-noise amplifier using 0.13 μm SiGe BiCMOS [J]. Elec Lett, 2012, 48(5): 257-259.
- [3] SATO M, TAKAHASHI T, HIROSE T. 68 110-GHz-band low-noise amplifier using current reuse topology [J]. IEEE Trans Microwave Theo & Tech, 2010, 58(7): 1910-1916.
- [4] FURQAN M, AHMED F, RUCKER H, et al. A 140-180-GHz broadband amplifier with 7 dBm OP1dB and 400 GHz GBW in SiGe BiCMOS [C] // IEEE CSICS. New Orleans, LA, USA. 2015: 1-3.
- [5] AHMED F, FURQAN M, AUFINGER K, et al. A SiGe-based broadband 100 - 180-GHz differential power amplifier with 11 dBm peak output power and >1. 3 THz GBW [C] // 11th Europ Microwave Integr Circ Conf. London, UK. 2016; 257-260.
- [6] BAO M, HE Z S, ZIRATH H. A 100 145 GHz area-efficient power amplifier in a 130 nm SiGe technology [C] // 47th Europ Microwave Conf. Nuremberg, Germany. 2017: 1017-1020.
- [7] FURQAN M, AHMED F, JAHN M, et al. An Eband SiGe power amplifier with 28 dB gain and 19.2 dBm output power utilizing an on-chip differential power combiner [C] // 10th Europ Microwave Integr Circ Conf. Paris, France. 2015: 21-24.

(下转第40页)

# 一种 SiGe D 波段高增益低噪声放大器

赵君鹏,吴凯翔,曹 军,蔡运城,高海军 (杭州电子科技大学"射频电路与系统"教育部重点实验室,杭州 310018)

摘 要: 基于 IHP 0.13 μm SiGe BiCMOS 工艺,设计了一种工作于 D 波段的高增益低噪声放大器。该放大器由两级 Cascode 结构和一级共发射极结构组成。利用发射极退化电感来同时实现噪声抑制和功率匹配,利用微带线进行输入输出匹配和级间匹配,采用增益提升技术来提高前两级 Cascode 结构的增益。仿真结果表明,该放大器在中心频率 140 GHz 处实现了 32 dB 的增益,在 125~148 GHz 范围内均达到 30 dB 以上的增益,在相同频率范围内实现了小于 6 dB 的噪声系数, 直流功耗仅为 26 mW,芯片尺寸为 610 μm×340 μm。该放大器具有低噪声和高增益的特点。 关键词: SiGe; 低噪声放大器; 毫米波; 增益提升 中图分类号:TN772: TN433 文献标识码:A 文章编号:1004-3365(2020)01-0036-05

DOI:10.13911/j.cnki.1004-3365.190178

## A SiGe D-Band High Gain Low Noise Amplifier

ZHAO Junpeng, WU Kaixiang, CAO Jun, CAI Yuncheng, GAO Haijun

(Key Lab. for RF Circuits and Systems of Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, P. R. China)

**Abstract:** A D-band high gain low noise amplifier was designed in the IHP 0. 13  $\mu$ m SiGe BiCMOS technology. The LNA consisted of two stages of cascode structure and one stage of common-emitter structure. Emitter degeneration inductors were used for noise suppression and power matching. Microstrip lines were utilized for input, output and inter-stage matching. The gain-boosting technique was utilized to improve the gain of the first two stages of the cascode structure. The results showed that the proposed circuit achieved 32 dB gain in the center frequency of 140 GHz. The gain was above 30 dB from 125 GHz to 148 GHz, and the noise figure was below 6 dB at the same frequency range. The amplifier only consumed 26 mW DC power and occupied a chip area of 610  $\mu$ m  $\times$  340  $\mu$ m. The amplifier had the characteristics of low noise and high gain.

Key words: SiGe; low noise amplifier; millimeter wave; gain-boosting

0 引 言

毫米波在通信、雷达和遥感成像等方面有着重要应用,毫米波系统的需求也日益增长。近年来,利 用毫米波技术来研制收发机和毫米波器件有重大突破。随着器件的截止频率越来越高,毫米波系统向 更高频段不断推进。D 波段作为一种新的频谱资源,有着更高的载波频率,可承受更大的带宽和传输 速率。同时,140 GHz 作为一个大气衰减窗口,使得 D 波段成为毫米波通信中的研究热点。 在毫米波射频前端,低噪声放大器作为射频接收 系统的第一级,它的噪声性能决定着整个射频接收机 的灵敏度,同时,它的高增益能够更好地抑制后续级 电路带来的噪声。目前在 D 波段(110~170 GHz), 毫米波集成电路已经取得长足进展。2015 年, R. B. Yishay 等人基于 IBM 90 nm SiGe BiCMOS 工艺,设 计了一种工作于 122~150 GHz 的低噪声放大器<sup>[1]</sup>, 采用 3 级 Cascode 加上共发射极级联的结构,增益最 高为 30 dB,噪声系数最小为 6.2 dB。2018 年,庞东 伟等人基于 IBM 120 nm SiGe BiCMOS 工艺,设计了 一种工作于 90~100 GHz 的低噪声放大器<sup>[2]</sup>,采用两

收稿日期:2019-04-04; 定稿日期:2019-05-10

基金项目:国家自然科学基金资助项目(61871161)

作者简介:赵君鹏(1995-),男(汉族),浙江温州人,硕士研究生,研究方向为射频集成电路设计。

级 Cascode 级联结构,在 94 GHz 处,增益为14.75 dB, 噪声系数为 8 dB。

本文基于 IHP 0.13 μm SiGe BiCMOS 工艺, 设计了一种中心频率为 140 GHz 的低噪声放大器。 利用增益提升技术来提高电路整体增益和噪声性 能,每一级 Cascode 结构的增益提升了 16.6%,进 一步抑制了后续电路的噪声。

1 电路设计

#### 1.1 电路结构分析

在毫米波低噪声放大器的设计中,最常见的拓扑结构为共发射极<sup>[3-4]</sup>。这种结构具有较低的噪声系数,并且易于匹配。但是,随着电路的工作频率到达D波段,单个晶体管的可用增益资源越来越少。Cascode 结构可以抑制输入晶体管密勒电容的影响,具有更高的隔离度和增益,成为D波段甚至更高频段低噪声放大器的主要选择<sup>[1-2.5]</sup>。

本文放大器采用两级 Cascode 结构和一级共发 射极结构来实现,完整电路图如图 1 所示。



由于第一级电路对电路整体的噪声性能有着决 定性影响,设计时主要考虑噪声匹配。图 1 中,TL1 用于同时实现较好的噪声和输入匹配。对于第二级 电路,主要考虑最大增益匹配。由于输出阻抗偏离 50 Ω 较远,加入一级共发射极结构作为缓冲级,以 提高输出匹配,拓展电路带宽,同时提高电路的整体 增益。电路中,Cascode 级采用 2 V 电压供电,共发 射极采用 1.2 V 电压供电,级间采用 T 型匹配网 络,所用电感采用微带线方式进行实现。

#### 1.2 增益提升技术

图 1 中, TL3 和 TL6 用于提升前两级 Cascode 结构的增益。为了分析增益提升技术的影响,考虑 到从图 1 中第一级 Cascode 输出端看进去的阻抗 Z<sub>out</sub>,其简化小信号电路图如图 2 所示。

忽略集电极与基极之间的电容,假设电容 C 在

工作频率范围内起主要作用,从图2可以得到:

$$Z_{\text{out}} = r_{\text{o2}} + \frac{g_{\text{m2}}r_{\text{o1}}r_{\text{o2}} + r_{\text{o1}}(1 - \omega^2 LC)}{1 - \omega^2 LC + j\omega C}$$
(1)

阻抗的实部为:  
Re(Z<sub>out</sub>)=
$$r_{o2}$$
+ $\frac{g_{m2}r_{o1}r_{o2}(1-\omega^{2}LC)+r_{o1}(1-\omega^{2}LC)^{2}}{(1-\omega^{2}LC)^{2}+(\omega C)^{2}}$ (2)

对于较小的电容 C,式(2)可简化为:

$$\operatorname{Re}(Z_{\text{out}}) \approx \frac{g_{\text{m2}} r_{\text{o1}} r_{\text{o2}}}{1 - \omega^2 LC}$$
(3)

从式(3)可以看出,随着 L 感值的增加,阻抗实部 也会增加,这个效应可以用来提升 Cascode 级的增益。 同时注意到,L 感值的持续增加会导致 ω<sup>2</sup>LC>1,这 时阻抗实部会变成负值,放大器将会处于不稳定状 态。因此,使用该方法提升增益时需要兼顾放大器 的稳定性。



图 2 简化小信号电路图

为了验证增益提升技术的有效性,对不同微带 线长度下单级 Cascode 结构进行仿真,其增益变化 曲线如图 3 所示。可以看出,当微带线的长度为 20  $\mu$ m时,单级 Cascode 结构的增益从 17.5 dB 提升 到 21.5 dB。折中考虑稳定性与增益,本文选择的 微带线长度为 15  $\mu$ m,在 140 GHz 处,单级 Cascode 结构 增 益 从 17.5 dB 提 升 到 20.4 dB,提 升 了 16.6%。



图 3 单级 Cascode 结构的增益随微带线长度的变化曲线

#### 1.3 晶体管尺寸和偏置设计

选取合适的晶体管尺寸和偏置电流大小是电路 设计的关键一步,这是保证电路性能的基础。根据 文献[6]可知,在低噪声放大器的设计中,存在一个 最优的电流密度,使得晶体管的噪声系数最佳,并且 该电流密度不随电路的拓扑结构和工艺而改变,被 称为电流密度不变性。根据电流密度的定义,对于 HBT 管来说,电流密度就是晶体管集电极电流与发 射结面积之比。在电源电压确定的情况下,电流密 度主要由基极偏置电流决定。

在选取每一级电路的偏置点与晶体管尺寸时, 遵循文献[7]的方法,主要分为两步进行。首先,在 140 GHz 频率下对不同发射结指数进行扫描,得到 不同基极偏置电流下单级电路最小噪声系数和最大 增益的变化曲线,如图 4 所示,从而得到能够获得较 小噪声系数和较大增益的电流密度。



图 4 不同偏置电流下最小噪声系数和最大增益的变化曲线

图 4 中,随着器件尺寸的增大,在相同偏置条件 下,可以得到更低的噪声系数,同时存在一个基极偏 置电流,能够得到最小的噪声系数,即上文中所说的 存在一个最佳电流密度。相反,在相同偏置下,小尺 寸的器件能够得到较大增益,并且偏置电流越大,增 益也越大。

然后,在史密斯圆图上得到不同发射结指数、不 同偏置条件下输入阻抗和最佳源阻抗的路径图,如 图 5 所示。通过分析输入阻抗与最佳源阻抗距离 50 Ω的偏离程度,选取合适的晶体管尺寸来同时达 到较好的噪声匹配和输入匹配。

图 5 中,箭头方向表示发射结指数从 3 到 6 时 最佳源阻抗和输入阻抗的变化趋势。可以看出,发 射结指数为 3 的晶体管需要一个较高的源阻抗来进 行噪声匹配,发射结指数为 6 的晶体管所需源阻抗 过小。考虑到能否同时达到较好的噪声匹配和输入 匹配,选择第一级电路的晶体管尺寸为 5 个发射结 指数。对于低噪声放大器的设计,第一级电路决定 电路整体噪声性能,在偏置选取上,应优先考虑噪声 系数,同时兼顾一定的增益,所以第一级电路的基极 偏置电流选择 6  $\mu$ A,此时集电极电流为 3.9 mA。 第二级电路主要考虑最大增益,偏置在  $I_c=5.4$  mA 的条件下,发射结指数为 4。第三级电路考虑较好 的输出匹配,发射结指数为 6,偏置在  $I_c=6$  mA 的 条件下。偏置电流采用电压源串联电阻的方式来产 生,不仅结构简单,也便于后期调试。



图 5 最佳源阻抗和输入阻抗的变化图

## 2 版图设计与仿真分析

在 ADS 中,采用 Momentum 对本文微带线进行 仿真,并不断优化。采用栅格地结构来降低损耗,版 图设计采用模块化的思路。设计微带线时,考虑器件 之间的布局与连接,将每段微带线设计成一个模块, 优化设计后在 Cadence 中拼接完成,有助于减少后期 版图设计时的迭代次数。版图最终在 Cadence IC615 中完成,使用 Calibre 工具进行版图的物理验证。整 体版图如图 5 所示,版图面积为 0.4 mm<sup>2</sup>。



图 6 电路版图

对版图进行后仿真验证,本文放大器的 S 参数与 稳定性因子的仿真结果分别如图 6 和图 7 所示。由 图 6 可以看出,本文放大器在 140 GHz 处实现了 32 dB 的峰值增益,3 dB 带宽为 123~150 GHz,在超过 20 GHz 的频率范围内能够提供大于 30 dB 的增益。 在输入匹配上,优先考虑了噪声匹配,S<sub>11</sub>曲线频点会 产生一定偏移,但在 120~160 GHz 频率范围内,输入 输出反射系数均小于一10 dB,实现了较好的输入输 出匹配。由图 7 可以看出,在整个频带范围内,稳定 性因子均大于 1,电路处于绝对稳定状态。



图 8 稳定性因子的仿真结果

本文放大器的噪声系数和输出1 dB 压缩点的 仿真结果分别如图 8 和图 9 所示。可以看出,该放 大器在140 GHz 处实现了最低 5.4 dB 的噪声系 数,在123~150 GHz 范围内,噪声系数从5.4 dB 变化到5.8 dB,实现了较好的噪声性能。该放大器 的输入1 dB 压缩点为-29 dBm。这个线性度对于 大多数毫米波接收系统来说是足够的,表明该放大 器具有一定的线性度。



将本文与部分文献中低噪声放大器的性能参数 进行对比,结果如表1所示。表中的对比文献均采 用 SiGe BiCMOS 工艺。可以看出,本文低噪声放大 器在噪声和增益性能上具有一定的优势。

表 1 本文与部分文献中低噪声放大器的性能比较

对比文献	工艺/nm	拓扑结构	3-dB 带宽/GHz	增益/dB	噪声系数/dB	功耗/mW
文献[1]	90	2-Cascode+1-CE	28.0	30	6.2	45.0
文献[5]	130	2-Cascode	35.0	20~27.5	5.5~6.5	12.0
文献[8]	130	2-Cascode	23.2	32.8	7.8	39.6
本文	130	2-Cascode+1-CE	27.0	29~32	5.4~5.8	26.0

## 3 结 论

本文基于 0.13 µm SiGe BiCMOS 工艺,设计了

一种工作于 D 波段的高增益低噪声放大器。仿真 结果表明,在140 GHz 处,该放大器实现了最高 32 dB 的增益和最小 5.4 dB 的噪声系数,3 dB 带宽为 123~150 GHz。相较于同类工艺,整体电路具有高

2020年

增益、低噪声、低功耗的特点,对 D 波段接收系统中 低噪声放大器的设计具有一定的参考价值。

#### 参考文献:

- [1] YISHAY R B, SHUMAKER E, ELAD D. A 122-150
   GHz LNA with 30 dB gain and 6. 2 dB noise figure in SiGe BiCMOS technology [C] // IEEE 15th Topical Meet Silicon Monoli Integr Circ RF Syst. San Diego, CA, USA. 2015.
- [2] 庞东伟,陈涛,施雨,等. 120 nm SiGe BiCMOS 90~ 100 GHz 低噪声放大器 [J]. 微电子学,2018,48(2): 173-177.
- [3] KATZ O, BEN-YISHAY R, CARMON R, et al. High-power high-linearity SiGe based E-band transceiver chipset for broadband communication [C] // IEEE Radio Freq Integr Circ Symp. Montreal, QC, Canada. 2012.
- [4] SONG P, ULUSOY A C, SCHMID R L, et al. A high gain, W-band SiGe LNA with sub-4.0 dB noise figure [C] // IEEE Microwave Symp. Tampa, FL,

USA. 2014.

- [5] ULUSOY A C, SONG P, KHAN W T, et al. A SiGe D-band low-noise amplifier utilizing gain-boosting technique [J]. IEEE Microwave & Wireless Compon Lett, 2015, 25(1): 61-63.
- [6] DICKSON T O, YAU K H K, CHALVATZIS T, et al. The invariance of characteristic current densities in nanoscale MOSFETs and its impact on algorithmic design methodologies and design porting of Si (Ge) (Bi)CMOS high-speed building blocks [J]. IEEE J Sol Sta Circ, 2006, 41(8): 1830-1845.
- [7] ULUSOY A C, KAYNAK M, VALENTA V, et al. A 110 GHz LNA with 20 dB gain and 4 dB noise figure in an 0. 13 μm SiGe BiCMOS technology [C] // IEEE Microwave Symp Dig. Seattle, WA, USA. 2014.
- [8] AGUILAR E, HAGELAUER A, KISSINGER D, et al. A low-power wideband D-band LNA in a 130 nm BiCMOS technology for imaging applications [C] // IEEE 18th Topical Meet Silicon Monoli Integr Circ RF Syst. Anaheim, CA, USA. 2018.

#### (上接第 35 页)

- [8] FURQAN M, AHMED F, STELZER A. A SiGebased E-band power amplifier with 17.7 dBm output power and 325-GHz GBW [C] // 9th Europ Microwave Integr Circ Conf. Rome, Italy. 2014: 57-60.
- [9] LIU G, SCHUMACHER H. Broadband millimeterwave LNAs (47 - 77 GHz and 70 - 140 GHz) using a T-type matching topology [J]. IEEE J Sol Sta Circ, 2013, 48(9): 2022-2029.
- [10] YISHAY R B, ELAD D . A 17.8 dBm 110 130 GHz power amplifier and doubler chain in SiGe

BiCMOS technology [C] // IEEE Radio Freq Integr Circ Symp. Phoenix, AZ, USA. 2015: 391-394.

- [11] SARMAH N, HEINEMANN B, PFEIFFER U R. A 135-170 GHz power amplifier in an advanced SiGe HBT technology [C] // IEEE Radio Freq Integr Circ Symp. Seattle, WA, USA. 2013: 287-290.
- [12] HOU D, XIONG Y Z, GOH W L, et al. A D-band cascode amplifier with 24.3 dB gain and 7.7 dBm output power in 0.13 μm SiGe BiCMOS technology
  [J]. IEEE Microwave & Wireless Compon Lett, 2012, 22(4): 191-193.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# 基于混合模式快速电荷平衡的神经刺激器

陈梦莹,姜汉钧,王志华

(清华大学 微电子学研究所,北京 100084)

摘 要: 设计实现了一种可用于脊髓神经刺激器的多通道大电流神经刺激器。提出将电极短接和插入短电流脉冲相结合的混合模式,在大电流下,能更加快速地实现电荷平衡。电路设计上,将 ADC 动态比较器的回踢噪声消除技术应用于神经刺激器,使得动态比较器在输入压差较小时能够 输出正确的比较结果,从而将电极上残留电压保持在更安全的范围内。基于 CSMC 0.25  $\mu$ m BCD 工艺进行设计与仿真,结果表明,在单向且最大刺激电流为4 mA、刺激脉宽为 60  $\mu$ s、刺激周期为 750  $\mu$ s 的条件下,该 15 V、16 路神经刺激器能实现±50 mV 安全电压的有源电荷平衡。

关键词: 大电流神经刺激器;混合模式;快速电荷平衡
 中图分类号:TN79<sup>+</sup>2;TN433
 文献标识码:A
 文章编号:1004-3365(2020)01-0041-05
 DOI:10.13911/j.cnki.1004-3365.190140

## A Stimulator with Hybrid Mode Fast Charge Balancing Method

CHEN Mengying, JIANG Hanjun, WANG Zhihua

(Institute of Microelectronics, Tsinghua University, Beijing 100084, P. R. China)

**Abstract:** A multi-channel stimulator circuit with large stimulation current was designed and implemented, which could be used in spinal cord stimulation. At system level, two charge balancing approaches, electrode shortening and pulse insertion, were combined to one system to achieve charge balancing in shorter time with a large current. At schematic level, a kickback noise cancelling technique was used to improve the performance of dynamic comparator and to keep the residual voltage on electrodes in a safer region. The circuit was designed and implemented in CSMC 0.25  $\mu$ m BCD process. Results showed that this 16-channel, 15-V stimulator was able to keep the residual voltage on the electrodes within  $\pm$  50 mV when a 4 mA monophasic and maximum stimulation current was applied with 60  $\mu$ s stimulation duration and 750  $\mu$ s stimulation period.

Key words: large current stimulator; hybrid mode; fast charge balancing

0 引 言

功能性神经刺激是一种通过导电电极,在神经 组织上施加电荷来进行治疗的方法。针对听力问题 的人工耳蜗、针对视力问题的视觉假肢、针对麻痹的 肌肉刺激器、心脏起搏器以及深脑刺激器等均采用 这种方法进行治疗<sup>[1]</sup>。

恒流刺激是在一小段时间内、在一对电极之间

施加可控的电流。相比于恒压刺激,恒流刺激可以 直接控制传递到动物组织的电荷,受到使用者的欢 迎。双向电流脉冲刺激可以通过反转电流方向来补 偿大部分电荷。但是,由于集成电路制造工艺存在 波动,双向电流的不对称依然存在。电荷积累会导 致动物组织损伤以及电极电解。因此,设计神经刺 激器时应着重考虑电荷平衡问题<sup>[3]</sup>。常见的电荷平 衡方法分为有源和无源两类。无源的电荷平衡方式 有隔直电容、电极短接等,它们不具有监测电极电压

收稿日期:2019-03-18;定稿日期:2019-05-14

基金项目:国家重点研发计划资助项目(2016YFC0105603);国家自然科学基金资助项目(61661166010);苏州-清华创新引领 专项资助项目(2016SZ0214);北京工程研究中心资助项目(BG0149)

作者简介:陈梦莹(1995--),女(汉族),广东汕尾人,硕士研究生,研究方向为模拟集成电路设计。

的功能。有源的电荷平衡方式,如短电流脉冲,具有 监测电极电压的功能。

脊髓神经刺激(Spinal Cord Stimulation, SCS) 是功能性神经刺激的一种。相对于其他功能性神经 刺激, SCS 需要的刺激电流较大(为几 mA)<sup>[4]</sup>。SCS 通过阻断疼痛信号传递到大脑,达到缓解疼痛的目 的。相比于传统药物止疼的方法, SCS 没有副作用、 便携、成本低、更有效<sup>[2]</sup>。文献[2]和文献[4]提出的 电路是具有代表性的脊髓神经刺激器。文献[2]是 恒压刺激器。文献[4]是恒流刺激器,使用隔直电容 来实现电荷平衡,但需要多个片外电容,并且无法监 测和保证电荷平衡是否成功。文献[3,5-6]为其他 的功能性神经刺激器。这些电路的刺激电流较小, 电荷补偿难度较低。

本文针对大电流条件下电荷补偿困难的情况, 设计了一种无片外电容的多通道大电流神经刺激器,采用将电极短接与短电流脉冲相结合的混合模式,实现了快速电荷平衡。

1 多通道大电流刺激器设计

#### 1.1 整体结构

本文设计的多通道大电流神经刺激器如图 1 所 示,可分为主刺激部分、电极短接部分和短电流脉冲 部分。图 2 所示为整体电路的控制信号图。



图 1 本文神经刺激器的整体结构

在主刺激相  $\Phi$ 1 期间,主刺激部分使能,根据用 户设定的刺激波形,四个开关 Spi、Sni、Spj 和 Snj  $(i,j=0,1,2\cdots,15 \pm i \neq j)$ 来回切换。此时,电极短 接部分和短电流脉冲部分不使能。刺激相  $\Phi$ 1 之后 是电极短接相  $\Phi$ 2,此时,节点 Ei 和 Ej 分别通过开 关 Sei 和 Sej 连接到共模模拟线(CAL)。Φ2 之后 是短电流脉冲相 Φ3,包含若干个比较相 Φ3a 和补 偿相 Φ3b。在比较相 Φ3a 期间,电极上的电压与安 全电压 Vw 相比,若超出 Vw,则在补偿相 Φ3b 期间 插入短电流脉冲来补偿这部分电压。这两个相会交 替进行,直到电极上的电压小于安全电压。整个 Φ3 期间中,开关 Sxi 和 Syj 均闭合,节点 Ei 和 Ej 连接 在窗比较器的输入端。



图 2 控制信号图

电极短接和短电流脉冲相结合的混合模式是有 源的电荷平衡方式,可以监测电极状态。下文会进 行具体理论分析。

#### 1.2 简化电极模型

简化的电极-电解质界面可以转换成图 3 所示 的电路模型<sup>[3]</sup>。图 3 中, $R_{\rm s}$ =1 k $\Omega$ , $C_{\rm H}$ =0.1  $\mu$ F, $R_{\rm F}$ = 1 M $\Omega$ 。



图 3 简化电极-电解质界面的电路模型

对于脊髓神经刺激应用<sup>[2]</sup>,刺激脉宽在 60  $\mu$ s~ 1 ms之间,双向脉冲频率在几 Hz 到 1.2 kHz 之间, 刺激脉宽的步进约为 10  $\mu$ s。为了产生这样的刺激 波形,系统时钟需要等于或高于 100 kHz。本文中, 选择 100 kHz 作为系统时钟,即单位时间为 10  $\mu$ s。 刺激脉宽为 60  $\mu$ s,在单向的最大刺激电流为 4 mA 的条件下实现电荷补偿。安全电压设置为 ±50 mV。

# 2 混合模式电荷平衡

 $Q_{\rm MM} = r_{\rm MM} \times I_{\rm stim} \times t_{\rm stim}$ 

# 2.1 电极短接和短电流脉冲相结合 双向电流刺激之后,失配电荷的表达式为<sup>[4]</sup>:

(1)

式中, $r_{MM}$ 为正向与反向刺激的失配,对于单向 刺激, $r_{MM}$ =100%;刺激电流  $I_{stim}$ =4 mA,刺激脉宽  $t_{stim}$ =60  $\mu$ s,则  $Q_{MM}$ =240 nC。

电极短接时的瞬时放电电流为:

$$I_{\rm es}(t) = \frac{V_{\rm CH/2}(t)}{2 \times R_{\rm F} \parallel (R_{\rm S} + R_{\rm dis})}$$
(2)

式中, $V_{CH/2}(t)$ 是两个电极电容的电压; $R_{dis}$ 是短接晶体管的导通电阻,考虑到面积, $R_{dis}$ 的值约为 600  $\Omega$ 。从式(2)可知,一开始,放电速度最快,随着 电容电压减小,放电速度越来越慢。

若只采用电极短接的电荷补偿方式,最终差分 电极上的准静态电压为:

$$V_{\rm CH/2\infty}(t) = \frac{Q_{\rm MM}}{C_{\rm H}/2} \times \frac{1}{e^{t_{\rm dis.es}/\tau_{\rm e}} - 1}$$
(3)

式中,τ。为放电时的常数,有:

$$\tau_{\rm e} = C_{\rm H} \times \lfloor (R_{\rm S} + R_{\rm dis}) \parallel R_{\rm F} \rfloor \tag{4}$$

为了将 V<sub>CH/2∞</sub> 控制在 50 mV 以内,放电时间 t<sub>dis,es</sub>需要长于 880 μs。

对于短电流脉冲电荷平衡方式,如果短脉冲的 电流过大,一个脉冲引入的电压变化超出2倍安全 电压,则会导致稳定性问题。因此,短脉冲的电流 *I*<sub>dis</sub>需要满足:

$$I_{\rm dis} \times t_{\rm unit} = Q_{\rm unit} < 2 \times V_{\rm W} \times \frac{C_{\rm H}}{2}$$

$$\tag{5}$$

式中, $t_{uint}$ 为补偿短脉冲宽度,由于单个短脉冲 的电荷量  $Q_{unit}$ 受限,补偿短脉冲宽度越窄,固定时间 内脉冲个数越多,则平均放电速度越快。但是,脉冲 宽度必须是单位时间的整数倍。本文中,最小的短 脉冲宽度取为 10  $\mu$ s。 $V_w$ =50 mV,  $[-V_w, V_w]$ 是 窗比较器的安全电压范围。根据式(5), $I_{dis}$ 需要小 于 0.5 mA。本文中,保留一定裕量, $I_{dis}$ 取为 0.45 mA。

若只采用短电流脉冲的电荷平衡方式,为了在 每个刺激周期结束时电极上的电压均小于安全电 压,需满足:

$$Q_{\rm MM} < (n+1) \times Q_{\rm unit} \tag{6}$$

由前文可知, $Q_{MM}$ =240 nC, $Q_{unit}$ =4.5 nC,n 需要大于或等于 53,则有:

 $3 \times n \times t_{\text{unit}} < t_{\text{dis,pi}}$  (7)

根据式(7),放电时间 t<sub>dis,pi</sub>需要长于1 590 μs。

在短电流脉冲放电期间,平均放电电流固定,有:

$$I_{\rm pi} = \frac{1}{3} I_{\rm dis} \tag{8}$$

通过比较式(2)与式(8),得到临界值V<sub>CH/2\_0</sub>:

$$V_{\rm CH/2\_0} = \frac{2}{3} \times I_{\rm dis} \times [R_{\rm F} \parallel (R_{\rm S} + R_{\rm dis})]$$
(9)

若 V<sub>CH/2</sub>(t) > V<sub>CH/2\_0</sub>,则电极短接的放电速度 快于短电流脉冲。

本文提出将电极短接和短电流脉冲相结合的混 合模式。先采用电极短接方式进行  $t_{es}$ 时间的放电, 再采用短电流脉冲方式进行  $t_{pi}$ 时间的放电。通过 合理分配时间,使得总放电时间(即  $t_{es} + t_{pi}$ )小于单 独使用任一种电荷平衡方式的放电时间。本文中,  $V_{CH/2_0}$ 的值接近 0.43 V,若选择  $V_{CH/2}$  ( $t_{es}$ ) =  $V_{CH/2_0}$ , $t_{es}$ 应为 390  $\mu$ s。

之后,需要 m 个短电流脉冲进行补偿,电极上的电压可以被拉回安全电压范围内,有:

$$V_{\text{CH/2}}(t_{\text{es}}) \times C_{\text{H}}/2 \leq (m+1) \times Q_{\text{unit}}$$
 (10)

根据式(10), *m* 必须大于或等于 5。总的放电时间应为:

$$t_{\rm dis} = t_{\rm es} + t_{\rm pi} = t_{\rm es} + 3mt_{\rm unit} \tag{11}$$

短电流脉冲放电时间 t<sub>pi</sub>需要长于 150 µs。因此,采用电极短接和短电流脉冲相结合的混合模式, 总放电时间只需长于 540 µs 即可。

电荷平衡速度主要体现在短时间内平衡更多的 失配电荷。电荷平衡速度 γ 的表达式为:

$$\chi = \frac{Q_{\rm MM}}{t_{\rm dis}} \tag{12}$$

#### 2.2 短接开关与选择开关复用

若采用不复用开关的方式,如图 4(a)所示,电 荷平衡部分中每个电极均对应一个用于电极短接的 短接开关(Se)和两个用于短电流脉冲的选择开关 (Sx 和 Sy)。整个刺激器的输出电路中,三种开关 共有 3×16=48 个。



由于选择开关和短接开关接入电路的位置相 似,若想减少晶体管的数目,可以采用复用开关的方 式,如图 4(b)所示。需要电极短接时,闭合开关 Sx*i* 和 Sx*j*。需要监测电极电容上的电压时,闭合开关 Sx*i*和 Sy*j*。此时,需要的开关数目为 2×16=32 个。这种开关复用的方法节省了 1/3 的开关数目, 适用于多通路神经刺激器。

#### 2.3 基于窗比较器的残留电压监测

图 5 所示为窗比较器。节点 Ej 通过开关 Syj 连接到放大器的共模输入端。先由放大器产生两个 边界电压 V<sub>y</sub>+V<sub>w</sub>和 V<sub>y</sub>-V<sub>w</sub>,再使用两个动态比较 器,将 V<sub>x</sub>(为节点 Ei 的瞬时电压值)分别与两个边 界电压进行比较。动态比较器在时钟 CLK 上升沿 时进行比较,然后将结果保存,直到下一个上升沿 来临。



图 6 所示为动态比较器<sup>[7]</sup>。由于动态比较器的 输入接近 V<sub>ss</sub>,输入晶体管采用 PMOS 管。比较器 的第一级是电压放大器,第二级是锁存器。



回踢噪声消除技术常用于模数转换器的动态比 较器中,以减小噪声<sup>[8]</sup>。本文采用回踢噪声消除电 路,以避免错误翻转。在 $V_y+V_w < V_x$ 的情况下,电 极上的电压仍高于安全电压,H端应输出高电平,L 端应输出低电平。没有使用回踢噪声消除技术时, 由于动态比较器第一级寄生电容耦合,在时钟 clk 发生翻转时,放大器的负输出端(本应该输出 $V_y+V_w$ )出现较大的波动,如图 7 所示。在长达 0.1  $\mu$ s 的时间内,放大器负输出端电压大于 $V_x$ ,导致 H 端 输出低电平,即在电极电压没有小于安全电压时就 停止短电流脉冲的插入。使用回踢噪声消除技术之 后,放大器负输出端的电压波动明显减小,比较器输 出正确的比较结果。

本文残留电压监测电路使用具有回踢噪声消除 技术的窗比较器,使得残留电压监测在±50 mV 范 围内均能保证准确,从而将电极上的残留电压保持 在更安全的范围。



## 3 仿真结果

在刺激脉宽为 60 μs、刺激周期为 750 μs、单向 最大刺激电流为 4 mA 的情况下,想将电极残留电 压控制在±50 mV 的安全电压以内,若只采用电极 短接的电荷平衡方式,至少需要 880 μs 的放电时 间。若只采用短电流脉冲的方式,至少需要 1 590 μs 的放电时间。若采用将这两种电荷平衡方式相 结合的混合模式,只需要 540 μs 的放电时间。本文 提出的混合电荷平衡模式能更加快速地实现电荷 平衡。

本文基于 CSMC 0.25  $\mu$ m BCD 工艺,设计了混 合模式快速电荷平衡的大电流神经刺激器。图 8 所 示为该大电流神经刺激器的仿真波形。实际电路 中,不同时间段之间需要有时间间隔,故将仿真刺激 周期设为 750  $\mu$ s。图 8 中,  $I_E$  是流过电极的电流波 形,此时施加的是单向 4 mA 的刺激电流,持续时间 为 60  $\mu$ s。 $V_E$  是电极上的电压,没有电流流过时,  $V_E$ 等于电极电容上的电压。由图 8 可以看出,在每 个刺激周期结束之前,电极上的电压均在安全电压 区间±50 mV内。



图 8 本文大电流神经刺激器的仿真波形

将本文设计的神经刺激器与部分文献中的刺激 器进行比较,结果列于表 1。其中, Electrode shortening(ES)为电极短接方式, Pulse insertion (PI)为短电流脉冲方式。可以看出,在安全电压相 似的情况下,本文神经刺激器实现了更快的电荷平 衡,并采用有源的电荷平衡方式对电极上残留电压 进行监测。

表 1 本文与部分文献中刺激器的性能参数比较

对比 文献	工艺/ µm	电极电 容/μF	刺激脉 宽/μs	刺激电 流/mA	失配比/ %	失配电 荷/nC	放电时 间/μs	电荷平衡 速度/μA	安全电 压/V	电荷平 衡方式
本文*	0.25	0.1	60	4	100	240	630	380	0.05	ES+PI
文献[3]	0.35	0.1	500	0.5	100	250	8 700	28.7	0.05	PI
文献[5]	0.35	0.11	1 000	0.2	15	30	2 850	10.5	0.10	PI
文献[6]*	-	0.42	300	0.1	20	6	1 000	6	0.10	ES

注:\*代表仿真结果。

# 4 结 论

本文基于 0.25 µm BCD 工艺,设计了一种多通 路大刺激电流的神经刺激器,可用于脊髓神经刺激 器。采用电极短接和短电流脉冲相结合的混合模 式,实现了比单独使用任一种电荷平衡方式更快的 放电速度。在大刺激电流的条件下,能更快地实现 电荷补偿。采用了回踢噪声消除技术,提高了动态 比较器性能,将电极电压保持在更安全的范围。在 单向且最大刺激电流为4 mA、刺激脉宽为 60 µs、刺 激周期为 750 µs 的情况下,该神经刺激器能实现安 全电压±50 mV 的有源电荷平衡。

#### 参考文献:

- [1] ARFIN S K, SARPESHKAR R. An energy-efficient, adiabatic electrode stimulator with inductive energy recycling and feedback current regulation [J]. IEEE Trans Biomed Circ & Syst, 2012, 6(1): 1-14.
- [2] WANG C C, SUNG T C, WU Y H, et al. A reconfigurable 16-channel HV stimulator ASIC for spinal cord stimulation systems [C] // Asia Pacif Conf Circ & Syst. Kaohsiung, China. 2012; 300-303.
- [3] BUTZ N, TASCHWER A, MANOLI Y, et al. A 22 V compliant 56 μW twin-track active charge balancing enabling 100% charge compensation even in

monophasic and 36% amplitude correction in biphasic neural stimulators [J]. IEEE J Sol Sta Circ, 2018, 53 (8): 2298-2310.

- [4] LEE E K F, MATEI E, GANG V, et al. A multipleoutput fixed current stimulation ASIC for peripherallyimplantable neurostimulation system [C] // Proceed IEEE Custom Integr Circ Conf. San Jose, CA, USA. 2014: 399-402.
- [5] NOORSAL E, SOOKSOOD K, XU H, et al. A neural stimulator frontend with high-voltage compliance and programmable pulse shape for epiretinal implants [J]. IEEE J Sol Sta Circ, 2012, 47 (1): 244-256.
- [6] RUEDA G L E, BALLINI M, HELLEPUTE N V, et al. Analysis of passive charge balancing for safe current-mode neural stimulation [C] // Int Symp Circ & Syst. Baltimore, MD, USA. 2017.
- [7] ABOZEID K M, ABOUDINA M M, KHALIL A H. Different configurations for dynamic latched comparators used in ultra low power analog to digital converters [C] // Int Conf Engineer & Technol. Cairo, Egypy. 2014.
- [8] LIU Q, SHU W, CHANG J S. A 400-MS/s 10-b 2-b/step SAR ADC with 52-dB SNDR and 5.61-mW power dissipation in 65-nm CMOS [J]. IEEE Trans VLSI Syst, 2017, 25(12): 3444-3454.

# 一种低功耗低温漂振荡器的设计

刘全旺<sup>1,2</sup>,张 波<sup>2</sup>,甄少伟<sup>2</sup>,薛卫东<sup>1</sup> (1. 电子科技大学电子薄膜与集成器件国家重点实验室,成都 610054; 2. 凹凸电子(成都)有限公司,成都 610041)

摘 要: 基于 0.15 µm BCD 工艺,提出了一种低功耗低温漂振荡器。分析了环形振荡器的振荡频率温度漂移特性,采用翻转电平优化技术,结合短路电流控制技术,获得了低温度漂移的振荡频率。且电流消耗极低。该振荡器适用于锂电池保护监测芯片。测试结果表明,在-40 ℃~100 ℃ 温度范围、32 kHz 振荡频率、5 V 电源电压条件下,该振荡器的振荡频率随温度的变化率小于 3.3%,电流消耗仅为 170 nA。

关键词: 环形振荡器;低功耗;高精度;低温漂
 中图分类号:TN433;TN752
 文献标识码:A
 DOI:10.13911/j.cnki.1004-3365.190205

**文章编号:**1004-3365(2020)01-0046-04

# Design of a Low Power Low Temperature Drift Oscillator

LIU Quanwang<sup>1, 2</sup>, ZHANG Bo<sup>2</sup>, ZHEN Shaowei<sup>2</sup>, XUE Weidong<sup>1</sup>

State key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China;
 O2 Micro Co., Ltd., Chengdu 610041, P. R. China)

**Abstract:** A low power oscillator with a low frequency-temperature drift was designed in a 0.15  $\mu$ m BCD IC process. The ring oscillator's temperature drift characteristics of oscillating frequency were analyzed. By adopting flip level optimization technique and short circuit current control technique, an oscillating frequency with a low temperature drift was obtained while a low current consumption was required. The proposed oscillator was integrated in a Li-ion/polymer battery protection and monitor IC. Test results showed that, under the conditions of -40 °C  $\sim 100$  °C temperature range, 32 kHz output frequency and 5 V power supply, the variation range of oscillating frequency with the temperature was less than 3.3%, and the current consumption was only 170 nA.

Key words: ring oscillator; low power; high precision; low temperature drift

0 引 言

随着移动式电动工具越来越普及,锂电池保护 和监测芯片的市场需求越来越大。作为锂电池保护 和监测芯片的频率源,振荡器不仅影响着系统中各 种定时功能的稳定性,还对库仑计对电量的估算有 着重要影响。因此,低功耗、低温漂特性成为片内振 荡器的基本要求。RC振荡器因为具有成本低廉、 便于集成的优点而被广泛应用于模拟 IC 中。但是, RC 振荡器的输出频率受工艺、温度、电源电压等因 素的影响较大<sup>[1]</sup>,如何保证时钟频率的稳定性成为 片内振荡器的主要挑战。

针对输出频率随工艺、温度和电压的变化,已研 究出多种补偿方式。这些方式包括:采用低温漂电 流补偿温度漂移的方式<sup>[2]</sup>,基于电流源的减小电压 敏感度的方式<sup>[3]</sup>,基于低温漂电流源来控制环形振 荡器充放电的方式<sup>[4]</sup>,采用负反馈电流补偿温度漂

收稿日期:2019-04-14; 定稿日期:2019-04-25

基金项目:"十三五"装备预先研究项目(31513030209)

作者简介:刘全旺(1978—),男(汉族),天津人,博士生,工程师,研究方向为模拟/混合 IC、锂电池电路等。

移的方式<sup>[5]</sup>,采用电流饥饿型结构降低功耗的方式<sup>[6]</sup>,采用工艺和温度双重补偿的方式<sup>[7-8]</sup>,采用带隙电流源补偿温度的方式<sup>[9-11]</sup>。使用这些补偿方式,能获得很低的温度漂移,但需要额外的补偿电流产生电路,功耗相对较大。

针对频率漂移大、功耗大的问题,本文提出了一种温度补偿方案,设计了一种低功耗、带温度补偿和 电容修调的环形振荡器。利用翻转电平优化技术, 调整翻转电平区间的大小,补偿阈值电压和充放电 电流随温度变化而对频率产生的影响,实现了全温 度范围内的频率稳定。考虑到工艺角对中心频率的 影响,采用修调充放电电容来补偿工艺角的变化,保 证了中心频率在不同工艺角下的稳定性。为了减小 反相器的短路电流,采用短路电流控制技术,分别驱 动 NMOS 和 PMOS,有效控制了短路电流,实现了 振荡器的低温漂、低功耗。

文章第1节介绍振荡器的技术背景和基本原理,第2节介绍振荡器采用的翻转电平优化技术和短路电流控制技术,第3节给出仿真和测试结果,第4节给出结论。

1 振荡器的技术背景和基本原理

#### 1.1 技术背景

C

振荡器应用于锂电池保护和监测芯片,为系统 提供时钟,作为计算电量的时间基准。锂电池包的 电量是电流随时间的积分,为:

$$Q = \left| i(t) dt \right| \tag{1}$$

由式(1)可知,时间的精度对电量计算起直接作用。普通片上 RC 振荡器的频率随温度的变化会有较大漂移。因此,设计低温漂的振荡器成为必需的要求。

#### 1.2 基本原理

振荡器包括 LC 振荡器、张弛振荡器、环形振荡 器等<sup>[3-11]</sup>。片上 LC 振荡器频率较高,张弛振荡器功 耗较大,均不适用于电池供电芯片。因此,环形振荡 器更适用于电池供电系统。基于电流源的补偿偏置 电路可有效降低环形振荡器的电源电压敏感度。通 过补偿电路,环形振荡器能到达 2%的精度。但是, 补偿电路会带来额外功耗,不适合用于低功耗需求。

针对频率稳定性和低功耗的需求,本文提出了 一种翻转电平优化技术。调整翻转 MOS 管的宽长 比,改变翻转电平随温度的变化斜率,获得了低温漂 的频率。采用优化充放电电流和短路电流控制技术,获得了低功耗。

2 低功耗低温漂振荡器设计

#### 2.1 翻转电平优化技术

本文提出的振荡器结构如图 1 所示。振荡器的 周期主要决定于经 RC 延迟之后的 V<sub>RAMP</sub>在从低到 高与从高到低之间翻转电平的时间,即充放电所需 的延迟时间。



 $V_{\text{RAMP}}$ 从高到低的翻转电平为 $V_{\text{VDD}} - V_{\text{SGMP1}}$ ,  $V_{\text{RAMP}}$ 由低到高的翻转电平为 $V_{\text{GSMN1}}$ 。由于电阻 $R_1$ 的阻值非常大,达到 1.7 M $\Omega$ ,所以对 $V_{\text{RAMP}}$ 的充电 电流与放电电流基本一致。振荡器的周期T为:

$$T = \frac{2C_1(V_{\rm DD} - V_{\rm SGMP1} - V_{\rm GSMN1})}{I_{\rm AVG}}$$
(2)

式中, $I_{AVG}$ 为通过 $R_1$ 对电容 $C_1$ 的平均充放电电流,为:

$$I_{\rm AVG} = \int_{0}^{0.5T} \frac{V_{\rm DD}}{R_1} e^{\frac{t}{\tau}} dt$$
 (3)

由式(2)、式(3)可知, T 只与  $V_{DD}$ 、 $V_{SGMP1}$ 、  $V_{GSMN1}$ 、 $C_1$  和  $R_1$  有关, T 随温度的变化也由这些参 数决定。对于  $V_{DD}$ 和 R 而言,  $V_{DD}$ 的温度系数是由系 统决定,  $C_1$  和  $R_1$  的温度系数由工艺本身决定, 对于 设计来说, 都是已知量, 不会改变。因此, T 随温度 的变化可通过调节  $V_{SGMP1}$ 和  $V_{GSMN1}$ 来优化。

对于 NMOS 管,由低到高的翻转点是由翻转时 流过的电流决定。发生翻转的时候,忽略沟道调制 效应,流过 MN1 管的电流为:

$$I_{\rm MN1} = K' \frac{W}{2L} (V_{\rm GSMN1} - V_{\rm TH})^2 = \frac{V_{\rm DD} - V_{\rm GSMN2}}{R_2}$$
(4)

由于 V<sub>TH</sub> 随温度呈现负温度特性, 所以, 调节 MN1 管的宽长比, 可改变 V<sub>GSMN1</sub> 项的温度系数, 以 补偿充放电电流的温度系数。

类似地,PMOS 管即 MP1 管也可通过调节宽 长比来调节从高到低的翻转电平。

 $R_1$ 为负温度系数的高值多晶硅电阻,温度系数为 2.3×10<sup>-3</sup>/℃。电容  $C_1$ 为金属-绝缘层-金属电阻,电容温度系数很小,仅为 1.5×10<sup>-5</sup>/℃。

由式(3)可知, RC 电路充电、放电电流的温度 系数为正温度系数,即温度越高,充放电电流越大, 导致 T 越小。另一方面,随着温度的升高,经过优 化的 V<sub>SGMP1</sub>和 V<sub>GSMN1</sub>电压随阈值电压的减小而减 小,振荡器从低到高翻转电平与从高到低翻转电平 的变化范围变大,导致 T 变大。充电、放电电流与 翻转电平范围互相抵消,获得低温漂的 T。

#### 2.2 功耗优化技术

图 1 中, $R_2$  和  $R_3$  由串联 MOSFET 组成, $R_2$  为 0.22  $\mu$ m/2 400  $\mu$ m 宽长比的 PMOS, $R_3$  为 0.22  $\mu$ m/ 4 800  $\mu$ m 宽长比的 NMOS。 $V_{VGN}$ 在振荡周期内,大 部分时间处于地电平附近, $V_{VGP}$ 大部分时间处于  $V_{DD}$ 附近。MP2 和 MN2 管不会同时导通,无静态电 流,只有在电平翻转时,才有动态电流。后级的反相 器和缓冲器采用倒比管,经过优化后,动态电流在各 级之间基本一致。虽然  $R_1$  上没有静态电流,但要通 过  $R_1$  对电容  $C_1$  进行充放电,因此, $R_1$  上有对  $C_1$  充 放电的动态电流。

3 电路仿真与测试结果

本文的振荡器基于 0.15 μm BCD 工艺进行设 计和流片。V<sub>DD</sub>=5 V。典型工艺角下振荡器的瞬 态仿真曲线如图 2 所示。



可以看出,经过R1的充放电峰值电流为200 nA,

平均电流仅为 20 nA。 $V_{RAMP}$ 的变化范围为 1~4 V。 振荡器频率为 32 kHz 时,电源电压的峰值电流  $I_{VCC}$ 仅为 280  $\mu$ A。在 $V_{RAMP}$ 电压翻转时, $V_{VGN}$ 和 $V_{VGP}$ 使 得 MN2 和 MP2 管分别导通,从而消除了短路 电流。

对振荡器在电源、温度、工艺角变化下进行 PVT工艺角仿真。振荡器频率随温度的变化曲线 如图 3 所示。PVT 仿真参数如表 1 所示。可以看 出,振荡器频率在不同工艺角下的变化范围小 于 2%。



图 3 振荡器频率随温度的变化曲线

表 1 PVT 仿真参数结果

工艺角	条件	频率误差
TT	温度 -40 ℃~100 ℃	1.83%
FF	电源电压变化范围 +10%	1.61%
SS	电源电压变化范围 -10%	0.98%

该环形振荡器的版图如图 4 所示,尺寸为 157 μm×94.62 μm。环形振荡器的显微照片如图 5 所示。对振荡器进行了温度测试。振荡器的温度 测试曲线如图 6 所示。可以看出,测试频率误差与 设计值基本一致,振荡器电流仅为 170 nA。这完全 满足锂电池保护和监测芯片对振荡器的低功耗、低 温漂要求。





图 5 环形振荡器的显微照片



振荡器的温度测试结果如表 2 所示。可以看出,振荡器的消耗电流与仿真值一致,达到设计目标。

测试芯片	消耗电流/μA	频率变化范围/%
芯片 1	0.19	1.75
芯片 2	0.17	1.61
芯片 3	0.17	3.23
芯片 4	0.17	3.23

表 2 振荡器的温度测试结果

## 4 结 论

本文介绍了环形振荡器的基本原理,阐述了环 形振荡器频率与温度变化关系。根据低功耗低温漂 的需求,采用短路电流控制技术,提出了一种翻转阈 值优化技术,解决了振荡器的功耗大、温漂大的问题。该振荡器集成在锂电池保护和监测芯片中。进行了流片和测试。测试结果显示,振荡器达到了低功耗、低温漂的设计目标,电流消耗仅为170 nA,频率随温度的变化范围仅为3.3%。该振荡器适用于电池供电的低功耗应用领域。

#### 参 考 文 献:

- [1] 胡安俊,胡晓宇,范军,等.一种超低功耗 RC 振荡器 设计 [J]. 半导体技术, 2018, 43(7): 489-495.
- [2] 王慧丽,冯全源.带工艺修调的低温漂片内振荡器设计[J].电子技术应用,2016,42(9):44-46.
- [3] 王子谦,杨家琪,刁盛锡,等.一种低电源电压敏感度 伪差分环形振荡器[J]. 微电子学,2018,48(5): 642-647.
- [4] 王蕾. 低温漂环形振荡器的分析与设计 [D]. 南京: 南京邮电大学, 2015.
- [5] 李凡阳,杨涛.一种采用全 MOS 器件补偿温度和沟 调效应的电流控制环形振荡器 [J]. 福州大学学报(自 然科学版), 2017, 45(5): 659-662.
- [6] 毛帅宇,叶彤旸,郭红. 低功耗的电流饥饿型环形振 荡器 [J]. 电子世界, 2015, (23): 31-34.
- [7] 马兵兵.一种带有温度和工艺双重补偿的环形振荡器的研究与设计 [D].南京:东南大学,2017.
- [8] 李景虎,刘梦飞,张兴宝.一种工艺和温度自校正的 环形振荡器 [J]. 微电子学,2017,47(6):793-796.
- [9] 李学军.带温度和工艺补偿的环形振荡器的设计 [D].长沙:湖南大学,2012.
- [10] 李琦, 冯春燕, 李海鸥, 等. 具有温度补偿的 16 MHz CMOS环形振荡器设计 [J]. 半导体技术, 2017, 42 (2): 91-96.
- [11] ZHANG X, APSEL A B. A low-power, process-andtemperature- compensated ring oscillator with additionbased current source [J]. IEEE Trans Circ & Syst I: Regu Pap, 2011: 868-878.
- [12] WANG Y, CHAN P K, LI K H. A compact CMOS ring oscillator with temperature and supply compensation for sensor applications [C] // IEEE Comput Soc Annu Symp VLSI. Lixouri, Greece. 2014: 267-272.

# 一种采用 PV 补偿的输出缓冲器设计

王 巍,赵元遥,唐晓斌,赵汝法,袁 军,杨正琳 (重庆邮电大学光电工程学院/国际半导体学院,重庆 400065)

摘 要: 提出了一种采用工艺、电压(PV)补偿的输出缓冲器,以减小 PV 变化对输出信号压摆率 的影响。采用非门与四个相同类型 MOS 管连接,实现全工艺角的探测。PV 探测电路的输出电压 与对应的偏置电压比较后得到补偿逻辑组合。在电压探测电路中,采用带隙基准电路产生偏置电 压,以避免误码补偿。该输出缓冲器采用 SMIC 90 nm CMOS 工艺进行设计,版图面积为 0.018 mm<sup>2</sup>。仿真结果表明,在全工艺角、20 pF 负载的条件下,最高传输频率为 650 MHz/500 MHz。 相比于电路补偿前, $V_{DDIO}$ 为 1.2 V 时,输出信号上升、下降压摆率差值分别减小了 30.1%、31.8%;  $V_{DDIO}$ 为 2.5 V 时,输出信号上升、下降压摆率差值分别减小了 27.6%、29.3%。

关键词: 混合电压输出缓冲器; PV 探测编码; 压摆率补偿

 中图分类号:TN432;TN722
 文献标识码:A
 文章编号:1004-3365(2020)01-0050-05

 DOI:10.13911/j.cnki.1004-3365.190212

# Design of an Output Buffer with PV Compensation

WANG Wei, ZHAO Yuanyao, TANG Xiaobin, U-Fat CHIO, YUAN Jun, YANG Zhenglin (College of Elec. Engineer. / Int. Semicond. College, Chongqing Univ. of Posts and Telecommun., Chongqing 400065, P. R. China)

**Abstract:** An output buffer circuit was designed to reduce the effects of the process and voltage (PV) variations on the slew rate of the output signal. All corners were detected by connecting the non-gate to four MOS transistors with the same size. The output of PV detectors was compared with the corresponding bias voltage to realize compensation logic combination. The bandgap reference circuit was used for generating the bias voltage to avoid error code compensation in the supply voltage detection circuit. This circuit was designed in the SMIC 90 nm CMOS process, and the circuit area was 0.018 mm<sup>2</sup>. The simulation results showed that under the conditions of all corners and 20 pF load, the maximum transmission frequency was 650/500 MHz. After compensation, the difference between the rise and fall slew rate of the output signal were reduced by 30.1% and 31.8% respectively when  $V_{DDIO} = 1.2$  V, and were reduced by 27.6% and 29.3% respectively when  $V_{DDIO} = 2.5$  V.

Key words: mixed-voltage output buffer; PV detect encode; slew rate compensation

0 引 言

随着晶体管特征尺寸不断缩小,器件的供电电 压按比例降低。新一代芯片正向高速度、低功耗和 小面积方向发展。在同一系统中,可集成不同工艺 制作的芯片,各模块之间的信号传输则依赖于混合 电压模式输出缓冲器。但是,输出缓冲器面临栅压 过应力、热量退化和漏电流等问题<sup>[1-2]</sup>。随着电路系 统传输频率的提升,半导体工艺、电源电压、温度 (PVT)对输出信号压摆率的偏移影响已成为制约 输出缓冲器性能的主要因素<sup>[3-5]</sup>。

**收稿日期:**2019-04-15; 定稿日期: 2019-05-15

**基金项目:**重庆市集成电路产业重大主题专项项目(cstc2018jszx-cyztzx0217, cstc2018jszx-cyztzX0054, cstc2018jszxcyztzx0211);重庆市教委项目(KJQN201800628)

作者简介:王 巍(1967—),男(汉族),湖南邵阳人,博士,教授,硕士生导师,研究方向为集成电路设计。

# 1 技术背景

在传统输出缓冲器的编码补偿电路中,进行数 字探测编码和延时补偿时,存在的问题有:不能实现 全工艺角的探测编码<sup>[6-7]</sup>;不对称非门加电容的工艺 角探测结构在比较编码后,因各工艺角的充电电压 差值小、不可控而容易产生误码<sup>[8]</sup>。为了简化探测 机制和提高探测速度,有文献提出了一种改进型基 于数字的工艺角探测电路<sup>[9]</sup>,但其传输速度不高,不 能满足高速电路的要求,还要在面积和速度上进行 折中<sup>[10-11]</sup>。

对输出缓冲器进行 1 000 次蒙特卡洛仿真。 PVT 变量对输出缓冲器输出信号压摆率的影响如 表 1 所示<sup>[12]</sup>。在 0 ℃~100 ℃范围内,温度对输出 信号上升、下降压摆率的影响相关系数小于工艺角 与电压(PV)的三分之一。每增加一种编码补偿变 量,需要增加相同数量的控制编码模块及输出级驱 动 MOS 管,电路面积会成倍增加。因此,在工艺 角、电源电压和温度(PVT)变量中,如果面积是主 要考虑因素,温度补偿在 I/O 设计中可不采用。

会粉	数值				
<b>沙</b> 奴	0.9 $V_{\rm DD}\!\sim\!1.1V_{\rm DD}$	1.0 $V_{\rm DD}$	1.0 $V_{\rm DD}$		
工艺角	TT	All	ΤT		
温度/℃	25	25	0~100		
上升压摆率差 值/(V・ns <sup>-1</sup> )	2.08	1.78	0.49		
下降压摆率差 值/(V・ns <sup>-1</sup> )	1.93	1.74	0.53		
变量相关系数 (上升/下降)	4.1/3.64	3.63/3.28	1/1		

表 1 PVT 变量对压摆率的影响比较

为了解决上述问题,本文设计了一种新型采用 PV补偿的输出缓冲器,改变了原有的探测编码方 式,提高了编码准确性。同时,通过将两种电压模式 的电平转换电路的产生路径分开,达到提升传输频 率的目的。

2 电路设计与实现

本文设计的采用 PV 补偿的输出缓冲器包括探

测编码电路、逻辑控制电路和混合电压输出级,结构如图1所示。探测编码电路包括 P-MOS 工艺角探测编码电路、N-MOS 工艺角探测编码电路和 V<sub>DD</sub>探测编码电路。输入 RST、V<sub>pulse</sub>是 PV 探测编码电路的控制信号,DOUT 是逻辑方波信号,需要经过输出缓冲器进行转换。EN 控制着整个补偿电路的开启或关闭,逻辑控制电路根据编码信号给输出级提供3组3位补偿逻辑信号。



图 1 采用 PV 补偿的输出缓冲器

#### 2.1 Vg1 电平转换电路

 $V_{g1}$ 电平转换电路如图 2 所示。 $V_{DDIO}$ 是混合电 压输出级的工作电压。在  $V_{DDIO} = 1.2/2.5$  V下,  $V_{g1}$ 电平转换电路给输出级 PMOS 提供合适的偏置 电压  $V_{G1OUT}$ 。在  $V_{DDIO} = 1.2$  V 时, $V_{G2}$  置为 0;  $V_{DDIO} = 2.5$  V 时, $V_{G2}$  置为 1。 $V_{DOUT}$ 是经输出缓冲 器后实现的电平转换输出电压。





 $V_{\text{DDIO}} = 1.2 \text{ V}$ 时, $V_{\text{GIOUT}}$ 需要输出一个 1.2/0 V的方波信号。由于  $V_{\text{G2}}$ 为 0, $V_{\text{G2}}$ 控制与非门输出高 电平  $V_{\text{DD}}$ ,所以 PM3、PM4 管截止。 $V_{\text{G2INV}}$ 控制的 NM3、NM4 管的开启状态取决于  $V_{\text{DOUT}}$ 的变化,同 时 NM1、NM2 管能够保证 NM3、NM4 管出现过栅 压。同理,  $V_{\text{DDIO}} = 2.5 \text{ V}$ 时,  $V_{\text{GIOUT}}$ 需要输出一个 2.5/1.2 V的方波信号。由于  $V_{\text{G2}}$ 为"1",  $V_{\text{G2INV}}$ 为 "0", 所以 NM3、NM4 管截止。在  $V_{\text{DOUT}}$ 为"0"时, PM4 管截止, PM3 管的漏电压为  $V_{\text{DD}}$ , 因此,  $V_{\text{GIOUT}}$ 输出电压等于  $V_{\text{DDIO}}$  (2.5 V)。在  $V_{\text{DOUT}}$ 为"1"时, PM4 管导通,  $V_{\text{GIOUT}}$ 输出电压等于  $V_{\text{DD}}$ 。

综上所述,该转换电路可在 V<sub>DDIO</sub> 确定的模式下 输出符合电路要求的方波信号。与传统结构相比, 该电路的转换速度更快,因为在任意时刻只有 1 条 转换路径是导通的,所以提高了电平的转换速度。

#### 2.2 工艺角探测编码电路

P-MOS工艺角探测编码电路包括1个非门和4个相同尺寸的PMOS管PM5~PM8,结构如图3 所示。由于输出级始终有1组MOS管处于导通, 所以探测编码电路的编码信号只需要设置2位。



图 3 P-MOS 工艺角探测编码电路

在 SS、TT 与 TT、FF 之间选定 2 个参考电压 值。探测电路的输出从  $V_{DD}$ 开始变化,所以接比较 器的正端,参考电压  $V_{bias}$ 接负端。例如,在 FF 工艺 角下,2 个参考电压都比 FF 的电压大,逻辑输出则 为 00。同理,TT 工艺角下,逻辑输出为 10。SS 工 艺角下,逻辑输出为 11。P-MOS 工艺角探测电路 的编码真值表如表 2 所示。

表 2 P-MOS 工艺角探测电路的编码真值表

工艺角	VPS	VPT
SS	1	1
TT	0	1
FF	0	0

该电路的优点是,在0℃~100℃范围内均可 实现正确的编码。同时,V<sub>DD</sub>对于输出波形和参考 偏置电压的影响是同步的。因此,在电源电压 V<sub>DD</sub> 与温度变化的情况下编码逻辑状态可以保持不变。

#### 2.3 V<sub>DD</sub>探测编码电路

V<sub>DD</sub>探测编码电路由二极管连接形式的 PMOS

管串联而成,结构如图 4 所示。 $V_{DD}$ 的补偿范围为 ±10%。在 $V_{DD}$ 处于 0.9 $V_{DD}$ 、1.0 $V_{DD}$ 和 1.1 $V_{DD}$ 情况 下, $V_{S}$ 、 $V_{D}$ 的电压值与偏置参考电压 $V_{band}$ 比较后, 得到 3 组对应的逻辑值。 $V_{DD}$ 变化时, $V_{S}$ 与 $V_{D}$ 间的 差值很小。因此,采用带隙基准电路产生偏置电压。 仿真结果表明, $V_{band}$ 电压的偏移量不超过±2%。这 保证了探测编码的正确性。



图 4 V<sub>DD</sub>探测编码电路

#### 2.4 输出级电路

采用 PV 补偿的输出级电路如图 5 所示。



图 5 采用 PV 补偿的输出级电路

该输出级电路包括驱动控制电路、V<sub>DDIO</sub>判断电路、V<sub>g1</sub>电平转换电路和输出级驱动 MOS管。驱动控制电路将 PO[3:1]、VO[3:1]和 NO[3:1]三 组编码补偿逻辑与传输信号 V<sub>DOUT</sub>进行逻辑编码, 产生 12 个控制信号。其中,V<sub>nn1</sub> ~V<sub>nn3</sub>、V<sub>nv1</sub> ~V<sub>nv3</sub> 与对应的输出级驱动 NMOS管分别相连。V<sub>DDIO</sub>判 断电路的作用是判断 V<sub>DDIO</sub>电压的大小。V<sub>g1</sub>电平转 换电路根据 V<sub>DDIO</sub>判断电路和驱动控制电路的输出 信号,给输出级驱动 PMOS 管提供合适的偏置电 压,以避免栅压过应力,减小 P1 管栅极漏电流。

每组编码信号对输出级 3 个不同尺寸的 MOS 管进行控制。根据探测到的补偿类型开启或关闭所 对应数量的驱动 MOS 管,以增加或减小输出级电 流。在 SS 工艺角下, PP1~PP3 管全部导通。TT 工艺角下, PP1、PP2 管导通。FF 工艺角下,只有 PP1 管导通。通过上述控制电流的方法,减小了输 出信号的压摆率差值,从而实现输出缓冲器工艺角、 电压的补偿。

3 电路仿真与分析

本文电路采用 SMIC 90 nm 1.2 V CMOS 工艺 设计与仿真。采用 PV 补偿的输出缓冲器版图如图 6 所示。版图面积为(0.220×0.08)mm<sup>2</sup>。



图 6 采用 PV 补偿的输出缓冲器版图

在 $V_{DDIO}$ 电压、电源电压 $V_{DD}$ 变化范围为± 10%、温度范围为0℃~100℃、全工艺角下对电路 进行仿真。通过使能信号 EN 来控制电路是否采用 补偿电路,计算输出曲线的压摆率差值。 $V_{DDIO}$ 为 1.2 V、2.5 V 时的 PV 变化曲线分别如图 7、8 所示。

可以看出,经过补偿后, $V_{DDIO}$ 为 1.2 V时,最高 传输频率为 600 MHz,上升压摆率差  $\Delta S_{Rrise}$ 从原有 的 2.32 V/ns 减小到 1.62 V/ns,下降压摆率差值  $\Delta S_{Rfall}$ 从原来的 2.14 V/ns 减小到 1.46 V/ns,分别 减小了 30.1%和 31.8%。V<sub>DDIO</sub>为 2.5 V时,最高传 输频率为 500 MHz, ΔS<sub>Rrise</sub>从原来的 2.72 V/ns 减小 到 1.97 V/ns, ΔS<sub>Rfall</sub>从原来的 2.46 V/ns 减小到 1.74 V/ns,分别减小了 27.6%和 29.3%。





本文与其他文献中输出缓冲器的参数对比如表 3 所示。可以看出,在相同工艺下,本文输出缓冲器 通过改变 V<sub>g1</sub>电平转换电路,传输频率得到提升。 经过补偿后,电路的输出信号压摆率上升、下降差值 明显减小,达到了良好的 PV 补偿效果。同时,本文 电路的面积小于文献[6]与文献[9]电路。

表 3 本文与其他文献中输出缓冲器的参数对比

参数	文献[6]	文献[9]	文献[11]	本文
CMOS I	90	90	40	90
艺/ nm				
$V_{ m DD}/~{ m V}$	1.0	1.0	0.9	1.2
$V_{ m DDIO}/~{ m V}$	1.0/1.8	1.0/1.8	0.9/1.8	1.2/2.5
最高传输 率/MHz	400/510	330/500	500/460	600/500
面积/ $mm^2$	0.023	0.024	0.013	0.018
压摆率差值 减小率/ %	36.4	22	6	27.6

# 4 结 论

本文设计并实现了一种采用 PV 补偿的输出缓 冲器。采用非门加四个 MOS 管的结构,实现了全 工艺角下的探测。电压探测电路采用带隙基准电路 来产生偏置电压,避免了误码补偿。根据探测电路 得到的编码逻辑补偿信号控制输出级不同数量 MOS 管的开启或关闭,并调节导通电流,实现了 PV 变量的补偿。基于 SMIC 90 nm CMOS 工艺进 行了 仿真。结果表明,经过补偿后,该电路在 1.2 V、2.5 V 电压下的最高传输频率为 650 MHz、 500 MHz。压摆率上升差值分别减小了 30.1%和 27.6%,压摆率下降差值分别减小了 31.8%和 29.3%。本文采用 V<sub>g1</sub>电平转换电路,在提升传输 频率的同时实现了补偿效果,大幅减小了电路面积。

#### 参考文献:

- [1] SHIN S K, NG S M, KIM J W. A slew rate controlled output driver using PLL as compensation circuit [J]. IEEE J Sol Sta Circ, 2003, 38 (7): 1227-1233.
- [2] FABIAN K, ASHISH J, GREG H. An all-digital onchip process-control monitor process-variability measurements [C] // IEEE ISSCC. San Francisco, CA, USA. 2008: 408-623.

- [3] WANG C C, CHEN C L, KUO R C, et al. On-chip process and temperature monitor for self-adjusting slew rate control of 2×V<sub>DD</sub> output buffers [J]. IEEE Trans Circ & Syst I: Regu Pap, 2013, 60 (6): 1432-1440.
- [4] WANG C C, LU W J, CHEN C L, et al. A 2×V<sub>DD</sub> output buffer with PVT detector for slew rate compensation [J]. Microelec J, 2013, 44 (5): 393-399.
- [5] KUO R C, TSENG H Y, LIU J W, et al. On-chip process and temperature compensation and selfadjusting slew rate control for output buffer [C] // IEEE Asia Pacif Conf Postgrad Res Microelec & Elec. Macau, China. 2011: 37-40.
- [6] WANG C C, TSAI T Y, LEE T J. 2×V<sub>DD</sub> output buffer with 36.4% slew rate improvement using leakage current compensation [J]. Elec Lett, 2017, 53 (2): 62-64.
- [7] LEE T J, RUAN K W, WANG C C. 32% Slew rate and 27% data rate improved 2 × V<sub>DD</sub> output buffer using PVTL compensation [C]// IEEE ICICDT. Austin, TX, USA. 2014: 1-4.
- [8] WANG C C, LU W J, JUAN K W, et al. Process corner detection by skew inverters for 500 MHz 2×
   V<sub>DD</sub> output buffer using 40-nm CMOS technology.
   [J]. Microelec J, 2015, 46(1): 1-11.
- [9] LEE T J, LIN W. Slew rate improved 2×V<sub>DD</sub> output buffer using leakage and delay compensation [C] // IEEE Int Conf EDSSC. Chengdu, China. 2014: 1-2.
- [10] KER M D, CHIU P Y. Design of 2×V<sub>DD</sub> tolerant I/O buffer with PVT compensation realized by only 1×V<sub>DD</sub> thin-oxide devices [J]. IEEE Trans Circ & Syst I: Regu Pap, 2013, 60(10): 2549-2560.
- [11] WANG C C, LU W J, TSENG H Y. A high-speed 2×V<sub>DD</sub> output buffer with PVT detection using 40 nm CMOS technology [C] // IEEE ISCAS. Beijing, China. 2013: 2079-2082.
- [12] TSAI T Y, TENG Y L. A nano-scale 2 × V<sub>DD</sub> I/O buffer with encoded PV compensation technique [C] // IEEE ISCAS. Montreal, QC, Canada. 2016: 598-601.

第 50 卷 第 1 期	微电子学
2020 年 2 月	Microelectronics

# 用于植入式医疗设备的高 PSRR 无片外电容 LDO

张章<sup>1</sup>,韦玲玲<sup>1</sup>,闫林<sup>1</sup>,解光军<sup>1</sup>,程心<sup>1</sup>,金术良<sup>2</sup>

(1. 合肥工业大学 电子科学与应用物理学院, 合肥 230009; 2. 西安卫星测控中心 西安 714000)

摘 要:提出了一种用于植入式医疗设备的高电源抑制比(PSRR)无片外电容的低压差线性稳压器(LDO)。所设计的LDO采用自适应负载电流追踪的前馈纹波消除技术来产生动态的前馈纹波,以改善其在不同负载电流下的PSRR。LDO采用超级源跟随器和密勒补偿电路来保证电路的稳定性,其只需要1.2 pF的片上电容。电路采用TSMC 0.18 μm CMOS 工艺设计与仿真。仿真结果表明,当负载电流为1 mA时,该 LDO 的 PSRR 在 1 MHz 处为-56.7 dB,在 10 MHz 处为-45 dB,比传统 LDO 分别改善了 24 dB 和 30 dB;当负载电流为 10 mA 时,该 LDO 的 PSRR 在 1 MHz处为-55.6 dB,在 10 MHz 处为-43 dB,比传统 LDO 分别改善了 20 dB 和 28 dB。
 关键词: LDO;高电源抑制比;自适应负载电流追踪;前馈纹波消除;无片外电容中图分类号:TN432;TM44
 文献标识码:A
 文章编号:1004-3365(2020)01-0055-05
 DOI:10.13911/j.cnki.1004-3365.190158

# An External Capacitor-Less LDO with High Power Supply Rejection Ratio for Implantable Biomedical Devices

ZHANG Zhang<sup>1</sup>, WEI Lingling<sup>1</sup>, YAN Lin<sup>1</sup>, XIE Guangjun<sup>1</sup>, CHENG Xin<sup>1</sup>, JIN Shuliang<sup>2</sup>
(1. School of Electronic Science & Applied Physics, Hefei University of Technology, Hefei 230009, P. R. China;
2. China Xian Satellite Control Center, Xi'an 714000, P. R. China)

**Abstract:** An external capacitor-less low-dropout regulator (LDO) with high power supply rejection ratio (PSRR) for implantable biomedical devices (IBD) was presented. The proposed LDO generated the dynamic feedforward ripple via adaptive load current tracking feedforward ripple cancellation techniques, which ameliorated its PSRR under different load currents. Furthermore, super-source-follower and Miller compensation circuit were applied to ensure the stability, which only needed 1.2 pF on-chip capacitance. The circuit was designed and simulated in TSMC 0.18  $\mu$ m CMOS process. From the simulation results, it had been observed that when the load current was 1 mA, the PSRR of LDO was -56.7 dB at 1 MHz and -45 dB at 10 MHz, which was improved by 24 dB and 30 dB respectively. Moreover, when the load current was 10 mA, the PSRR of LDO was -55.6 dB at 1 MHz and -43 dB at 10 MHz, which was improved by 20 dB and 28 dB respectively.

Key words: LDO; high PSRR; adaptive load current tracking; feedforward ripple cancellation; external capacitor-less

收稿日期:2019-03-26; 定稿日期:2019-04-19

基金项目:国家自然科学基金资助项目(61674049);中央高校基本科研业务费项目(PA2018GDQT0017);中科院苏州纳米所 纳米器件与应用重点实验室基金资助项目(18ZS03);合肥工业大学大学生创新创业项目(2018CXCY454)

作者简介:张 章(1982—),男(汉族),安徽淮南人,博士,副教授,研究方向为集成电路设计、测试。

韦玲玲(1993—),女(汉族),安徽阜阳人,硕士研究生,研究方向为模拟集成电路设计。

程 心(1985—),女(汉族),安徽安庆人,博士,副教授,研究方向为集成电路设计、测试,通信作者。

# 0 引 言

近年来,无线能量传输越来越广泛地应用于植 人式医疗设备(IBD)。无线能量传输 IBD 克服了传 统电池供电 IBD 寿命短、体积大的缺点,减小了医 疗过程中的手术风险。无线能量传输 IBD 需要整 流电路将次级线圈接收到的交流电压转换为直流电 压,为整个系统供电。但是,输出电压具有一定的纹 波,不能直接为 IBD 供电,因此 IBD 的电源管理单 元需要一个具有 PSRR 的 LDO。由于 IBD 需要植 入到人体内部,要求有尽可能少的片外元件,因此需 要设计一个无片外电容的 LDO。

已提出的改善 PSRR 的技术有前馈纹波消除技术<sup>[1-2]</sup>、预稳压技术<sup>[3]</sup>和体效应纹波消除技术<sup>[4]</sup>等。前馈纹波消除技术通过前馈放大器和求和电路将电源纹波引入到功率管栅极,但只能粗略地优化 LDO 的 PSRR,优化效果会随负载电流的变化而改变。预稳压技术通过级联 LDO 或功率管级联 NMOS 管来改善 PSRR,但增大了 LDO 的压降,降低了效率。体效应纹波消除技术通过控制功率管的体端电压来消除电源纹波,但需额外的电容,以减小电源纹波对功率管栅极的影响,还需额外的纹波传输路径。

本文设计了一个可用于无线能量传输 IBD 的 具有高电源抑制比的无片外电容 LDO。所提出的 LDO 通过自适应负载电流跟踪的前馈纹波消除技 术来产生动态的前馈纹波,以改善其在不同负载电 流下的 PSRR。所提出的 LDO 采用超级源跟随器 和密勒补偿电路来保证其稳定性,只需要 1.2 pF 的 片上电容。

# 1 LDO 电源纹波的传输路径

传统 LDO 包括功率管、反馈电阻、误差放大器 和带隙基准,结构如图 1 所示<sup>[1]</sup>。LDO 的电源纹波 主要通过图 1 中的 4 个路径耦合到输出端。路径① 为功率管本身的跨导,路径②为功率管本身的电阻, 路径③为误差放大器本身的 PSRR,路径④为带隙 基准本身的 PSRR。

电源纹波通过路径①、路径②耦合到输出端的 传输函数为:

$$\frac{V_{\text{OUT(s)}}}{V_{\text{IN(s)}}}\Big|_{1,2} = \frac{1 + g_{\text{m}} r_{\text{ds}}}{1 + \frac{r_{\text{ds}}}{Z_{\text{L(s)}}} + \frac{r_{\text{ds}}}{R_{\text{fl}} + R_{\text{f2}}} + \frac{Ag_{\text{m}} R_{\text{f2}} r_{\text{ds}}}{(R_{\text{fl}} + R_{\text{f2}}) \left(1 + \frac{s}{w_{\text{e}}}\right)}$$
(1)

式中,g<sub>m</sub>为功率管的跨导,r<sub>ds</sub>为功率管的导通 电阻,Z<sub>L(s)</sub>为负载阻抗,R<sub>f1</sub>、R<sub>f2</sub>为反馈电阻,A为误 差放大器的直流增益,w<sub>e</sub>为误差放大器的主极点。



电源纹波通过路径③、路径④耦合到输出端的 传输函数为:

$$\frac{V_{\rm OUT(s)}}{V_{\rm IN(s)}}\Big|_{3,4} = \frac{g_{\rm m} Z_{\rm tot(3)} \frac{A}{1+s/w_e}}{1 + \frac{g_{\rm m} Z_{\rm tot(s)} AR_{f2}}{(R_{f1} + R_{f2})(1+s/w_e)}} \times (p_{\rm PSRFA} + p_{\rm PSRFA})$$
(2)

$$Z_{\text{tot}(s)} = Z_{\text{L}(s)} \| r_{\text{ds}} \| (R_{\text{f1}} + R_{\text{f2}})$$
(3)

式中,*Z*<sub>tot(s)</sub>为输出端阻抗,*p*<sub>PSREA</sub>为误差放大器的电源抑制比,*p*<sub>PSREG</sub>为带隙基准的电源抑制比。

由式(1)、式(2)可知,在高频下,电源纹波通过 路径③、路径④耦合到输出端的值接近于0。因此, 影响 PSRR 的主要因素为路径①、路径②。

2 具有自适应纹波消除电路的 LDO

#### 2.1 自适应纹波消除电路原理

本文提出的自适应前馈纹波消除电路包含自适 应前馈纹波消除电路、误差放大器、求和电路、缓冲 级和输出级,结构如图2所示。



图 2 本文的自适应前馈纹波消除电路

自适应前馈纹波放大电路和求和放大器组成前 馈路径①。求和放大器将反馈调节回路与前馈纹波 消除路径在功率管 M<sub>P</sub>的栅极合并在一起。该自适 应前馈纹波消除电路通过自适应负载电流追踪技术 产生最佳的前馈增益,使电源纹波通过路径①、路径 ②耦合到输出端的值为 0,改善了 PSRR。

本文所提出的具有自适应纹波消除电路的 LDO 如图 3 所示。LDO 的工作原理分析如下。求 和电路中, $R_3 = R_4$ ,缓冲级的增益为 1,输出端与电 源纹波之间的传输函数可表示为:

$$\frac{V_{\rm OUT(s)}}{V_{\rm IN(s)}} = \frac{g_{\rm m,mp} + g_{\rm ds,mp} + H_{\rm ff(s)} g_{\rm m,mp}}{g_{\rm ds,mp} + \frac{1}{Z_{\rm L(s)}} + \frac{g_{\rm m,mp} A_{\rm EA}}{1 + s/w_{\rm e}}}$$
(4)

式中, $g_{\text{m,mp}}$ 为功率管 M<sub>P</sub>的跨导; $g_{\text{ds,mp}}$ 为 M<sub>P</sub> 管输出阻抗的倒数, $g_{\text{ds,mp}} = 1/r_{\text{on}}$ ; $H_{\text{ff(s)}}$ 为前馈纹波 消除电路的增益, $H_{\text{ff(s)}} = V_z/V_{\text{IN}}, V_z$ 为前馈纹波消 除电路的输出电压; $A_{\text{EA}}$ 为误差放大器的直流增益,  $w_e$ 为误差放大器的主极点, $Z_{\text{L(s)}}$ 为 LDO 的输出 阻抗。

由式(4)可知,当 $H_{ff(s)} = -(1 + g_{ds,mp}/g_{m,mp})$ 时, $V_{OUT(s)}/V_{IN(s)} = 0$ 。因此,只要满足 $V_z = -(1 + g_{ds,mp}/g_{m,mp})V_{IN}$ ,PSRR 就能得到改善。





前馈纹波消除电路包括运放 OP1、OP2,以及由 M<sub>P1</sub>与电流源组成的放大级。该电路通过以下 3 个 路径,使 M<sub>P</sub>管的  $g_{ds, mp}/g_{m, mp}$ 与 M<sub>P1</sub>管的  $g_{ds, mp1}/g_{m, mp1}$ 相等<sup>[5]</sup>。首先, M<sub>P1</sub>和功率管 M<sub>P</sub> 具有相同的 沟道长度,因此 M<sub>P1</sub>和功率管 M<sub>P</sub> 具有相同的沟道 效应;其次, M<sub>P1</sub>的宽长比为功率管 M<sub>P</sub> 的宽长比的 1/500,电流源  $I_X$  通过电流感应电路成为负载电流  $I_L$ 的 1/500, M<sub>P1</sub>和功率管 M<sub>P</sub> 具有相同的电流密 度;最后, OP1 的反相输入端为基准电压  $V_{REF}$ , OP1 的正相输入端电压  $V_y = V_{RERF}$ , M<sub>P1</sub>和功率管 M<sub>P</sub> 具 有相同的源漏电压。

对于小信号模型,流过  $M_{P1}$ 管的电流可表示为:  $g_{m,mp1}(V_{IN}-V_X)+g_{ds,mp1}(V_{IN}-V_Y)=0$  (5) 式中, $g_{m,mp1}$ 为  $M_{P1}$ 管的跨导, $g_{ds,mp1}$ 为  $M_{P1}$ 管输 出阻抗的倒数。由于  $V_y$  的纹波为 0,  $M_P$  管的  $g_{ds, mp}/g_{m, mp}$ 与  $M_{Pl}$ 管的  $g_{ds, mp1}/g_{m, mp1}$ 相同, OP1 的 输出端电压  $V_x$  与电源纹波之间的增益可表示为:

$$\frac{V_{\rm x}}{V_{\rm IN}} = 1 + g_{\rm ds,mp1} / g_{\rm m,mp1} = 1 + g_{\rm ds,mp} / g_{\rm m,mp} \qquad (6)$$

OP2 与  $R_1$ 、 $R_2$  一起,构成一个反相电路。 $V_z$  与电源纹波之间的增益可表示为:

$$H_{\rm ff(s)} = \frac{V_{\rm z}}{V_{\rm IN}} = -\frac{V_{\rm x}}{V_{\rm IN}} = -(1 + g_{\rm ds,mp}/g_{\rm m,mp}) \quad (7)$$

综上可知,前馈纹波消除电路可以动态地追踪 功率管  $M_P$  管的  $g_{ds}/g_{mp}$ ,得到最佳的前馈增益,达 到改善 PSRR 的目的。

电流感应的原理图如图 4 所示。通过以下两个 步骤,可精准地将负载电流  $I_L$  按比例缩小为  $I_x$ 。第 一步,  $M_{P2}$  管宽长比为  $M_P$  管宽长比的 1/500, OP3 起到箝位的作用, 使得  $M_{P2}$  管的漏端电压为  $V_{REF}$ , 又 因为  $V_{OUT} = V_{REF}$ ,  $M_{P2}$  管与  $M_P$  管具有相同的源漏 电压, 因此  $M_{P2}$  管可精确地将  $I_L$  按比例缩小, 使  $I_2 = I_L/500$ 。第二步,  $M_{N1}$  管的宽长比与  $M_{N2}$  管相 同,  $M_{P1}$  管的宽长比与  $M_{P2}$  管相同, OP1 起到箝位的 作用, 使得  $V_y = V_{REF}$ ,  $M_{N1}$ 、 $M_{N2}$  管具有相同的源漏 电压,  $M_{N1}$  管可精确地复制  $M_{N2}$  管的电流, 因此  $I_x = I_2 = I_L/500$ 。



#### 2.2 稳定性分析

本文 LDO 具有 4 个极点,分别位于 LDO 输出 端、加法器输出端、缓冲级输出端和误差放大器输出 端<sup>[6]</sup>。误差放大器为交叉结构的跨导放大器<sup>[7]</sup>, LDO 输出直接反馈回正相输入端,LDO 反馈网络 不需要电阻或二极管连接的 MOS 管来进行分压, 因此可提高输出电压精度。跨导放大器具有较小的 输入电压,且 LDO 无片外电容,因此 LDO 输出端 的极点位于较高频率。缓冲级采用超级源跟随器结 构,虽然具有较大的电容,但超级源跟随器具有较小 的输出电阻,因此缓冲级输出端的极点也位于较高频率。

综上所述,LDO 的主极点位于误差放大器输出

端或加法器输出端。但是,误差放大器输出端与加 法器输出端的输出电容均较小,若不加以补偿,极点 距离较近,容易引起电路震荡。若设置缓冲级输出 端为主极点,则需在 LDO 输出端与 M<sub>P</sub> 管栅极之间 加较大的密勒电容。而密勒电容的充放电会使 LDO 的瞬态响应变差,因此缓冲级输出端不适合作 为主极点。加法器输出端的纹波比较大,会通过补 偿电容耦合到 LDO 输出端,使 PSRR 变差。因此, 设置误差放大器输出端为 LDO 环路的主极点更合 适。在 LDO 输出端与误差放大器输出端之间加一 个 1.2 pF 的密勒电容,可保证电路的稳定性。

#### 仿真结果 3

本文提出的 LDO 基于 TSMC 0.18 µm CMOS 工艺设计,采用 Cadence Spectre 工具进行仿真。电 源电压为 1.8 V, 输出电压为 1.5 V。LDO 在 1 mA、10 mA负载电流下的增益曲线如图 5 所示。 可以看出,当负载电流为1 mA 时,相位裕度为 62.7°, 当负载电流为 10 mA 时, 相位裕度为 60.3°。 负载电流在1~10 mA范围内,相位裕度均能满足 要求,电路稳定性较好。



LDO 在 1 mA、10 mA 负载电流下的 PSRR 曲

线如图6所示。



图 6 LDO 在 1 mA、10 mA 负载电流下的 PSRR 曲线

可以看出,当负载电流为1mA时,在1MHz 处, PSRR 为-56.7 dB, 在 10 MHz 处, PSRR 为 -45 dB。相比传统电路, PSRR 在低频处提高了 5 dB,在1 MHz 处提高了 24 dB,在 10 MHz 处提高 了 30 dB。当负载电流为 10 mA 时,在 1 MHz 处, PSRR 为 - 55.6 dB, 在 10 MHz 处, PSRR 为 -43 dB。相比传统电路, PSRR 在低频处, 提高了 10 dB,在1 MHz 处,提高了 20 dB,在 10 MHz 处, 提高了 28 dB。本文与其他文献中 LDO 的参数对 比如表1所示。

表 1 本文与其他文献中 LDO 的参数对比

参数	文献[8]	文献[9]	文献[10]	本文
CMOS 工艺/µm	0.18	0.18	0.35	0.18
电源电压/V	-	-	3.3	1.8
输出电压/V	2.5	1	2.8	1.5
片上电容/pF	21	35	10	1.2
PSRR/dB	-47	< -46	- 38	-56
@1 MHz				
PSRR/dB	-27	> -10	-21	-43
@10 MHz				

在电源纹波频率为1 MHz 处,本文 LDO 的 PSRR 可达-56 dB,在电源纹波频率为10 MHz 处,其 PSRR 可达-43 dB。由表1 对比可知,本文 LDO 的 PSRR 得到了明显的改善。本文 LDO 仅需 要 1.2 pF 的片上电容,不需要外接片外电容,从而 减少了芯片面积,降低了成本,实现了全集成。

#### 4 结 论

本文设计了一种可用于无线能量传输 IBD 的 高 PSRR 无片外电容 LDO。采用自适应负载电流 追踪的前馈纹波消除技术产生动态的前馈纹波,改 善了不同负载电流下的 PSRR。采用超级源跟随器 和密勒补偿电路,保证了电路的稳定性。该 LDO 的负载电流范围为 1~10 mA,在 1~10 MHz 范围 内,PSRR 均小于-40 dB。

#### 参考文献:

- [1] EL-NOZAHI M, AMER A, TORRES J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE J Sol Sta Circ, 2010, 45(3): 565-577.
- [2] 任兵兵,张润曦,石春琦.用于 RFID 阅读器的低噪声 高电源抑制比 LDO [J]. 微电子学,2017,47(6): 733-738.
- [3] GUPTA V, RINCON-MORA G A. A 5 mA 0.6 μm CMOS Miller-compensated LDO regulator with -27 dB worst - case power-supply rejection using 60 pF of onchip capacitance [C] // IEEE ISSCC. San Francisco,

CA, USA. 2007: 520-521.

- [4] LIM Y Y, LEE J Y, PARK S, et al. An externalcapacitor-less low-dropout regulator with less than -36 dB PSRR at all frequencies from 10 kHz to 1 GHz using an adaptive supply-ripple cancellation technique to the body-gate [C] // IEEE Custom Integr Circ Conf. Austin, TX, USA. 2017: 1-4.
- [5] JIANG J Z, SHU W, CHANG J S. A 65-nm CMOS low dropout regulator featuring > 60-dB PSRR over 10-MHz frequency range and 100-mA load current range [J]. IEEE J Sol Sta Circ, 2018, 53 (8): 2331-2342.
- [6] CHENG X, ZHANG Y, XIE G J, et al. An ultra-low power output capacitor-less low-dropout regulator with slew-rate enhanced circuit [J]. J Semicond, 2018,39 (3): 66-71.
- [7] MAN T Y, MOK P K T, CHAN M. A high slewrate push-pull output amplifier for low-quiescent current low-dropout regulators with transient-response improvement [J]. IEEE Trans Circ & Syst II: Expr Bri, 2007, 54(9): 755-759.
- [8] 王建伟,张启帆,张先仁,等. 一种用于 VCO 供电的 低噪声 LDO [J]. 微电子学,2015,45(5):602-606.
- [9] 杨清山,梅年松,张钊锋.用于无源 RFID 标签的拓展 PSRR 带宽无片外电容 LDO [J]. 半导体技术,2018, 43(6):425-431.
- [10] KHAN M, CHOWDHURY M H. Capacitor-less lowdropout regulator (LDO) with improved PSRR and enhanced slew-rate [C] // IEEE Int Symp Circ &. Syst. Florence, Italy. 2018; 1-5.

# 一种高电源抑制比 LDO

肖皓洋,罗 萍,杨朋博,李 博

(电子科技大学电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 采用 0.18 μm CMOS 工艺,设计了一种低压差线性稳压器(LDO)。分析了传统 LDO 在 重载高频下电源抑制比(PSR)的缺陷,提出一种带有多级缓冲 PSR 提升结构的 LDO。采用创新 的 PSR 增强结构,使得 PSR 增强效果与其负载电流成弱相关,从而保证 LDO 在宽负载范围内具 有优秀的高频 PSR 增强效果。仿真结果表明,负载电流为 300 mA 时,低频下 LDO 的 PSR 为 -68 dB,频率为 10 MHz 时 LDO 的 PSR 可达-50 dB。

关键词: 低压差线性稳压器; 电源抑制比; 宽负载范围; 高频率

 中图分类号:TN432;TN86
 文献标识码:A
 文章编号:1004-3365(2020)01-0060-05

 DOI:10.13911/j.cnki.1004-3365.190222

# A LDO with High Power Supply Rejection

XIAO Haoyang, LUO Ping, YANG Pengbo, LI Bo

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

**Abstract:** A low drop-out (LDO) regulator circuit was designed in a 0.18  $\mu$ m CMOS process. The drawbacks of power supply rejection (PSR) of conventional LDOs working at high frequencies and heavy loads were analyzed. A LDO with multi-stage buffer for enhancing the PSR was proposed. The innovative PSR enhancing structure made its PSR enhancing effect weakly relate to the load current, which ensured an excellent high frequency PSR enhancement of LDO over a wide load range. The simulation results showed that when the load current reached 300 mA, the PSR was -68 dB at low frequency, and -50 dB at 10 MHz.

Key words: low drop-out regulator; power supply rejection; wide load range; high frequency

0 引 言

近年来,人们越来越重视能源的高效利用。尤 其是集成电路领域,功耗已成为芯片设计的重要指标。在芯片的供电系统中,DC/DC变换器占据整个 供电系统的前端,能在保证高效率的前提下提供很 大的负载电流。但是,DC/DC变换器的输出纹波较 大,不适合直接为负载供电,需要在 DC/DC 变换器 后面添加高精度的稳压电路,以得到稳定的供电电 压。在各种稳压电路中,LDO 具有很小的输出电压 纹波和很强的电源干扰抑制能力,不断缩小的压差 也使 LDO 具有很好的能量转换效率<sup>[1-3]</sup>。

随着集成电路工艺尺寸减小,人们希望供电系统被集成到 SoC 芯片中,这就要求 DC/DC 变换器 具有高密度、高开关频率<sup>[4]</sup>。此时,DC/DC 变换器 的输出电压必然会产生高频的开关纹波(达到 MHz 量级)。LDO 需要在相应的高频段内具备更强的电 源噪声抑制能力,以阻止高频的开关纹波导入负载 系统。例如,部分数字电路的可靠性可能因为高频 噪声而降低。另外,随着 SoC 芯片规模不断增大, LDO 的带负载能力需要不断提高。因此,LDO 应 能提供大的电流负载,并在整个负载范围内均能提 供优秀的高频电源干扰抑制能力。

#### 收稿日期:2019-04-18;定稿日期:2019-05-20

基金项目:国家自然科学基金 NSAF 联合基金资助项目(U1630117);预研资助项目(41426050601)

作者简介:肖皓洋(1996—),男(汉族),江西高安人,硕士研究生,研究方向为模拟集成电路设计。

罗 萍(1968—),女(汉族),教授,博导,研究方向为智能功率集成电路。通信作者,E-mail:pingl@uestc.edu.cn。

目前,已有很多关于 LDO 高频 PSR 的报道。 例如文献[5]中,在 LDO 输出端加上 RC 元件来实 现高频滤波,但会增加芯片面积和成本。文献[6] 中,采用前馈纹波抵消的方法来提高 PSR,但 LDO 能提供的负载电流只有 25 mA,并且前馈部分的引 入会使得 LDO 的环路分析复杂化。文献[7]中,通 过采样 LDO 主要的电源噪声来实现高频下的 PSR,可以实现不同负载下的自适应 PSR 补偿,但 是功率管寄生电容对 PSR 的影响限制了功率管尺 寸,也就限制了 LDO 的带负载能力,所能提供的最 大负载电流只有 50 mA。文献[8]中,LDO 具有高 频电源抑制能力,但其低频 PSR 能力明显不够。

上述文献大多集中在小负载范围,对于大负载 供电场景下如何提升高频 PSR 缺乏研究。本文提 出一种适用于宽负载范围(高达 300 mA 负载电 流)、带有多级缓冲电路的 PSR 提升结构的 LDO。 该 LDO 在宽负载范围内均能提供优秀的电源抑制 能力,并在宽的频率范围内具有高 PSR。

# 1 传统 LDO 的 PSR 分析

传统 LDO 的结构主要由误差放大器、缓冲级 和功率级构成。在低频段,传统 LDO 的 PSR 主要 由 LDO 环路增益决定。由于低频下 LDO 负反馈 环路增益很大,LDO 的 PSR 较好。当电源扰动信 号频率超过 LDO 反馈环路的带宽时,LDO 环路增 益开始下降,LDO 的电源扰动抑制能力也开始下 降<sup>[9]</sup>。为了解决中高频段下 LDO 环路增益不足带 来 PSR 能力下降的问题,通常在 LDO 中(位于功率 管之前)引入带有栅漏短接的 MOS 管作为缓冲级, 如图 1 所示。M<sub>2</sub> 管采用栅漏短接方式,在电源扰动 下,M<sub>1</sub> 管的电流基本不变,与负载电流成镜像关 系。电源扰动对节点 B 电压的影响表示为:

$$\frac{v_{\rm B}}{v_{\rm in}} = \frac{r_{\rm o1}}{r_{\rm o1} + \frac{1}{g_{\rm m2}}} = \frac{1}{1 + \frac{\lambda_1}{\sqrt{2\beta_2}} \cdot \sqrt{I_{\rm B}}}$$
(1)

式中, $r_{o1}$ 为 M<sub>1</sub> 管的输出阻抗; $g_{m2}$ 为 M<sub>2</sub> 管的 跨导; $I_B$ 为 M<sub>1</sub> 管的偏置电流; $\lambda_1$ 为 M<sub>1</sub> 管的沟道长 度调制系数; $\beta_2 = C_{ox}\mu_pW_2/L_2$ , $C_{ox}$ 为单位面积栅电 容, $\mu_p$ 为空穴迁移率, $W_2/L_2$ 为 M2 管的宽长比。

由式(1)可见,LDO 负载电流较小时,I<sub>B</sub> 较小, 当电源扰动信号频率超过 LDO 带宽后,扰动信号 变化与节点 B 电压变化基本一致,故电源扰动信号 通过 M<sub>P</sub> 管传导至 LDO 输出端的电压很小。随着 LDO 负载电流的增大, I<sub>B</sub> 增大, 节点 B 电压扰动受 电源扰动信号的影响不断变小, 电源扰动通过 M<sub>P</sub> 管传导至 LDO 输出端的电压变大。因此, 重载下, 传统 LDO 中 PSR 提升结构的中高频电源抑制能力 被严重削弱。



图 1 带有 PSR 提升结构的传统 LDO

本文针对重载下传统 PSR 提升结构中高频电 源抑制能力不足的问题,提出一种适用于宽负载范 围、带有多级缓冲结构的 PSR 提升结构的 LDO。

# 2 具有高 PSR 的 LDO

重载下,传统 PSR 提升结构的中高频电源抑制 能力降低的原因主要有两点:一是加入的 PSR 提升 结构偏置电流与负载电流成镜像关系,而 PSR 增强 效果却与其偏置电流成负相关关系;二是高频下,电 源干扰信号通过误差放大器传导至 PSR 增强结构, 从而影响 PSR 增强结构的偏置电流。

本文 LDO 通过改进传统 PSR 增强结构,使 PSR 增强效果与其偏置电流成弱相关关系。也就 是说,在宽负载范围下,LDO 的 PSR 增强效果依然 优秀。另外,本文采用多级缓冲结构来隔离高频电 源干扰通过误差放大器传导至 PSR 增强结构的信 号。图 2 所示为本文提出的带有多级缓冲结构 的 LDO。



图 2 本文提出的高电源抑制比 LDO

图 2 中, EA 为 LDO 的误差放大器; M<sub>1</sub> ~ M<sub>2</sub> 管构成 P 输入管的源极跟随器, 作为 LDO 的第一 级缓冲级; M<sub>3</sub> ~ M<sub>7</sub> 构成误差电压-误差电流转换结 构, 作为 LDO 的第二级缓冲级; M<sub>8</sub>-M<sub>10</sub> 构成新型 PSR 提升结构, 作为 LDO 的第三级缓冲级; V<sub>B1</sub> ~ V<sub>B3</sub> 为固定偏置电位。下面, 对本文 LDO 的环路稳 定性和电源抑制比进行分析。

#### 2.1 LDO 环路稳定性

本文 LDO 的环路增益为:

$$L(s) = L_0 \cdot \frac{1}{\left(1 + \frac{s}{p_1}\right)} \cdot \frac{1}{\left(1 + \frac{s}{p_2}\right)} \cdot \frac{1}{\left(1 + \frac{s}{p_3}\right)} (2)$$

式中,L<sub>0</sub>为低频增益,p<sub>1</sub>、p<sub>2</sub>、p<sub>3</sub>分别为 EA 输 出端极点、功率管栅极极点、功率级输出极点,分 别有:

$$L_{0} = \frac{R_{2}}{R_{1} + R_{2}} \times A_{0\text{EA}} \times \frac{N_{1}g_{\text{m3}}}{g_{\text{m8}}} \times g_{\text{mP}} \times [(R_{1} + R_{2}) \parallel R_{L}]$$

$$(3)$$

$$p_1 = \frac{1}{r_{\text{OEA}} \cdot C_{\text{A}}} \tag{4}$$

$$p_2 = \frac{g_{\rm m9} \left(1 + g_{\rm m8} r_{\rm o8}\right)}{C_{\rm C}} \tag{5}$$

$$p_{3} = \frac{1}{[(R_{1} + R_{2}) || R_{L}] \cdot C_{L}}$$
(6)

式中, $A_{0EA}$ 为 EA 的低频增益, $r_{OEA}$ 为 EA 的输 出阻抗, $N_1$ 为 Cascode 电流镜的镜像比, $g_{mx}$ 为  $M_x$ 管的跨导, $r_{ox}$ 为  $M_x$  管的输出电阻, $C_A$ 和  $C_C$ 分别为 节点 A 和节点 C 处的寄生电容。

式(5)中,节点 C 处的等效阻抗等于  $M_9$  管的栅漏短接等效阻抗除以  $M_8$  管的本征增益。这是负反馈的结果。 $M_8 \sim M_{10}$ 管连同 Cascode 电流镜的电流输出部分形成负反馈局部小环路,环路增益约为 $g_{m8}r_{o8}$ 。

考虑到 LDO 在负载瞬态阶跃时产生的输出电 压发生跳变,输出电容一般较大(为  $\mu$ F 量级),则  $p_3$ 为主极点。 $p_2$  极点处存在较大的功率管寄生电容 (为 pF 量级),但局部负反馈小环路减小了节点 C 处的阻抗, $p_2$  极点可以被推到比  $p_1$  极点更高的位 置,则  $p_1$  极点为次极点。考虑到全负载范围下 LDO 环路的稳定性,重载下  $p_3$  极点最大,则稳定性 最差。因此,只需要保证选取的输出电容值可以使 LDO 在重载下保持足够的稳定性裕度。

#### 2.2 LDO 电源抑制比分析

考虑到误差放大器的电源抑制比,本文首先研究从V<sub>IN</sub>到V<sub>A</sub>的小信号增益。根据低频电源抑制

比的不同,将运算放大器分为两类。设计 LDO 时,选取 A 型运算放大器作为 LDO 的误差放大器<sup>[10]</sup>。

因此,误差放大器的 PSR 为:

$$\frac{v_{\rm A}}{v_{\rm in}} = \frac{1}{1 + s/p_1} \tag{7}$$

然后,分析高摆幅 Cascode 电流镜的输出小信 号电流 *i*<sub>B</sub> 受 *v*<sub>in</sub>小信号扰动的影响。节点 E 的电压 约等于节点 A 的电压,电流镜的输出小信号电流 *i*<sub>B</sub> 为:

$$i_{\rm B} = g_{\rm m3} (v_{\rm in} - v_{\rm A}) N_1 = g_{\rm m3} v_{\rm in} N_1 \frac{s}{s + p_1}$$
(8)

式(8)中存在位于原点的零点,使得 *i*<sub>B</sub> 在低频时为 0,有:

$$i_{\rm B} = \begin{cases} 0, & \omega \ll p_1 \\ g_{\rm m3} v_{\rm in} N_1, & \omega \gg p_1 \end{cases}$$
(9)

接着,研究功率管栅极节点电压  $V_{\rm C} \oplus V_{\rm IN}$ 小信号扰动的影响。低频时,当 $\omega \ll p_1$ 时,由式(9)可知,  $i_{\rm B}=0$ 。可以把电流镜输出电流视为低频下的恒定 偏置电流  $I_{\rm B}$ ,从而得到用于求解 $\omega \gg p_1$ 时  $V_{\rm IN}$ 到  $V_{\rm C}$ 的低频增益的小信号等效电路,如图 3 所示。



图 3 低频下 PSR 增强模块小信号等效电路图

根据图 3,得到对应节点电流方程:

$$\frac{v_{\rm in} - v_{\rm C}}{r_{\rm o10}} = g_{\rm m9} (v_{\rm C} - v_{\rm B}) + \frac{v_{\rm C}}{r_{\rm o9}}$$
(10)

$$g_{\rm m8}(v_{\rm in} - v_{\rm C}) = \frac{v_{\rm B} - v_{\rm in}}{r_{\rm o8}}$$
(11)

将式(10)和式(11)联立,消去 v<sub>B</sub>,可得 V<sub>IN</sub>到 V<sub>c</sub> 的低频增益:

$$\left(\frac{v_{\rm C}}{v_{\rm in}}\right)_{\omega \ll p_1} = \frac{1}{1 + \frac{1}{1 + g_{\rm m9} r_{\rm ol0} \left(1 + g_{\rm m8} r_{\rm o8}\right)}} \tag{12}$$

从式(12)可以看到,低频下, $v_{c}$ 的变化几乎与  $v_{in}$ 一致, $v_{in}$ 通过功率管传到输出 $V_{OUT}$ 的电压很小, 此时 LDO 对电源扰动的抑制能力很强。式(12)还 表明,低频下的高 PSR 主要来源于 PSR 增强模块 中  $M_{s} \sim M_{10}$ 管形成的局部负反馈环路的环路增益  $g_{ms}r_{os}$ ,以及 M<sub>9</sub> 管的跨导和 M<sub>10</sub> 管的输出阻抗。由于 M<sub>9</sub>和 M<sub>10</sub> 管采用固定电流偏置,无论是在轻载还是重载下, $g_{m9}r_{o10}$ 始终保持一个较大的值,则  $v_{C}/v_{in} \approx$ 1始终成立。因此,频率小于  $p_1$ 时,无论是在轻载还是重载下,提出的 PSR 增强结构均具备很强的电源抑制能力。

最后,讨论本文 LDO 在高频下的 PSR。根据 式(5)、式(6)、式(8),LDO 的输出电压  $V_{OUT} \oplus V_{IN}$ 扰动的影响为:

$$\frac{v_{\text{out}}}{v_{\text{in}}} = g_{\text{mp}} r_{\text{out}} \frac{s \left(1 + \frac{s}{z_{\text{buf}}}\right) \left(1 + \frac{s}{z_{1}}\right)}{\left(1 + \frac{s}{p_{1}}\right) \left(1 + \frac{s}{p_{2}}\right) \left(1 + \frac{s}{p_{3}}\right)}$$
(13)

式中, $r_{out}$ 为 LDO 输出端等效输出阻抗; $z_1$ 为输 出电容等效串联电阻(ESR)形成的零点, $f_{z_1} = 1/(R_{ESR}C_1)$ ; $z_{buf}$ 是由多级缓冲结构决定的零点,表 达式为:

$$z_{\text{buf}} = \left(\frac{g_{\text{m8}} - g_{\text{m3}} N_2}{g_{\text{m8}} p_1}\right) p_1 p_2 - p_2 - p_1 \tag{14}$$

由式(13)可见,本文 LDO 的 PSR 存在一个位于 原点的零点。这与式(12)表明的低频下高 PSR 的结 论是一致的。式(13)中,除了存在环路增益分析中出 现的三个极点  $p_1$ 、 $p_2$ 、 $p_3$ ,还存在两个零点  $z_1$  和  $z_{buf}$ 。  $z_1$ 是输出电容等效 ESR 引入的零点, $z_{buf}$ 是由多级缓 冲结构决定的零点。要想获得更好的高频电源抑制 能力, $|z_{buf}|$ 的值应足够大。当 $|p_3| < |p_1| < |p_2| < |z_{buf}|$ 时, $v_{out}/v_{in}$ 的幅频特性曲线经过位于原点的零 点后,极点  $p_3$ 、 $p_1$ 、 $p_2$  可以使特性曲线不断衰减,并 且在信号频率达到 $|p_2|$ 后,曲线以一40 dB/10 倍频 的速度下降。因此,在频率处于 $|p_3|$ 至 $|z_{buf}|$ 之间 时,LDO 具备很强的高频电源扰动抑制能力。这非 常好实现,只需使得  $g_{m3}N_1$ 远大于  $g_{m8}$ 即可。在实 际电路设计中,选取  $g_{m3}N_1 = 2g_{m8}$ ,则  $z_{buf} = -2p_2$  $-p_1$ 。

值得注意的是, | z<sub>buf</sub> | 的提升是有限度的。考虑 到输出电容 ESR 的影响,零点 z<sub>1</sub> 的值决定了 | z<sub>buf</sub> | 的最大提升空间。当信号频率超过 | z<sub>1</sub> | 后,电路中 一些高频极点会进一步恶化 LDO 的电源抑制能 力。因此,选用 ESR 较小的输出电容可以得到更好 的电源抑制比提升效果。

3 电路仿真和测试结果

为了验证该 LDO 的环路稳定性和 PSR 增强效 果,本文采用 0.18 μm CMOS 工艺进行仿真。本文 LDO 的 输 出 电 压 为 1.2 V, 最 大 负 载 电 流 为 300 mA, 其压差为 0.2 V。LDO 的输出端挂接 4.7 μF 的片外电容, 对 LDO 的环路进行补偿。

不同负载电流下,本文 LDO 的环路仿真结果 如图 4 所示。可以看出,重载下,LDO 环路稳定性 最差,这与前文推导结果一致。当 LDO 的负载电 流为 300 mA 时,环路相位裕度约为 53°,单位增益 带宽(UGF)约为 1.1 MHz。这表明,本文 LDO 在 大负载范围下具备保持环路稳定的能力。



在不同负载电流下,本文 LDO 的 PSR 曲线如 图 5 所示。由图 5 可见,本文 LDO 在大负载范围下 具备高频电源抑制能力。负载电流达到 300 mA 时,低频下( $f \leq 1$  MHz),LDO 的 PSR 可达 -68 dB。 $f \geq 1$  MHz 后,由于环路增益降低,LDO 电源抑制能力开始下降,此时 PSR 增强结构发挥主 要作用。信号频率为 10 MHz 时,PSR 依然可达 -50 dB。在轻载且低频下,PSR 增强结构的局部 负反馈环路增益显著提升,使得 PSR 增强效果更 好。负载电流为 1 mA 时,低频下 PSR 可达-102 dB,10 MHz频率下 PSR 可达-62 dB。仿真结果表 明,本文 LDO 采用创新的 PSR 增强结构,使 PSR 增强效果与其负载电流成弱相关,负载电流在 50~300 mA变化时,PSR 性能几乎不变。

本文与其他文献中具备 PSR 提升技术的 LDO 的性能对比如表 1 所示。本文 LDO 的带负载能力 为 300 mA, 远大于其他 LDO, 并且在频率为 1 MHz、10 MHz 时, PSR 分别可达-68 dB、-50 dB。



图 5 不同负载电流下本文 LDO 的 PSR

表 1 本文与其他文献中 LDO 的性能对比

对比	工艺/	最大负	输出电	压差/	PSR	/dB
文献	$\mu m$	载/mA	${\mathbb E}/V$	V	1 MHz	10 MHz
文献[6]	0.13	25	1.0	0.15	-60	-56
文献[7]	0.18	50	1.6	0.20	-70	-37
文献[8]	0.18	10	1.2	0.60	-41	-41
本文	0.18	300	1.2	0.20	-68	-50

# 4 结 论

本文提出一种适用于宽负载范围(高达 300 mA)、带有多级缓冲电路的 PSR 提升结构的 LDO。 该 LDO 在宽负载范围内均具有优秀的电源抑制能 力,并能在宽的频率范围内(达到 10 MHz)提供高 PSR 能力。分析了传统 LDO 中 PSR 提升结构的主 要缺陷,讨论了本文 LDO 的环路稳定性和 PSR 性 能,并采用 0.18 μm CMOS 工艺进行仿真验证。结 果表明,本文 LDO 在大负载范围下具备高频电源 抑制能力。另外,本文 LDO 采用创新的 PSR 增强 结构,使得 PSR 增强效果与其负载电流成弱相关关 系。因此,无论是轻载还是重载下,本文 LDO 均具 备很强的电源抑制能力,从而保证在全负载范围内 有着优秀的 PSR 增强效果。

#### 参考文献:

- [1] STRATAKOS A J, SANDERS S R, BRODERSEN R
   W. A low-voltage CMOS DC-DC converter for a portable battery-operated system [C] // IEEE Power Elec Specia Conf. Taipei, China. 1994: 619-626.
- [2] PATOUNAKIS G, LI Y W, SHEPARD K. A fully integrated on-chip DC-DC conversion and power management system [J]. IEEE J Sol Sta Circ, 2004, 39(3): 443-451.
- [3] MILLIKEN R J, SILVA-MARTINEZ J, SANCHEZ-SINENCIO E. Full on-chip CMOS low-dropout voltage regulator [J]. IEEE Trans Circ Syst I: Regu Pap, 2007, 54(9): 1879-1890.
- [4] PATEL A P, RINCON-MORA G A. High-powersupply rejection (PSR) current-mode low-dropout (LDO) regulator [J]. IEEE Trans Circ Syst II: Expr Bri, 2010, 57(11): 868-873.
- [5] INGINO J M, VON KAENEL V R. A 4-GHz clock system for a high performance system-on-a-chip design
   [J]. IEEE J Sol Sta Circ, 2001; 36(11): 1693-1698.
- [6] EL-NOZAHI M, AMER A, TORRES J, et al. High PSR low drop-out regulator with feed-forward ripple cancellation technique [J]. IEEE J Sol Sta Circ, 2010, 45(3): 565-577.
- [7] PARK C J, ONABAJO M, SILVA-MARTINEZ J.
   External capacitor-less low drop-out regulator with 25 dB superior power supply rejection in the 0.4-4 MHz range [J]. IEEE J Sol Sta Circ, 2014; 49 (2): 486-501.
- [8] ZARATE-ROLDAN J, WANG M, TORRES J, et al. A capacitor-less LDO with high-frequency PSR suitable for a wide range of on-chip capacitive loads [J]. IEEE Trans VLSI Syst, 2016, 24 (9): 2970-2982.
- [9] LIM Y, LEE J, PARK S, et al. An external capacitor-less low-dropout regulator with high PSR at all frequencies from 10 kHz to 1 GHz using an adaptive supply-ripple cancellation technique [J]. IEEE J Sol Sta Circ, 2018, 53(9): 2675-2685.
- [10] TORRES J, EL-NOZAHI M, AMER A, et al. Low drop-out voltage regulators: capacitor-less architecture comparison [J]. IEEE Circ Syst Mag, 2014, 14(2): 6-26.

# 温度试验条件下柱栅阵列仿真失效分析

苏德志,赵 丹,王 岑

(山东航天电子技术研究所,山东烟台 264000)

摘 要: 陶瓷柱栅阵列(CCGA)封装是陶瓷球栅阵列(CBGA)封装的衍生技术,能有效缓解 CBGA 因热失配而引起的失效问题。对 CCGA1140 封装的材料和结构进行建模,针对焊接过程和 热环境试验仿真条件下柱栅阵列焊点的应力应变分布情况和薄弱环节进行重点论述。仿真结果 表明,在焊接和热环境中,CCGA 封装最薄弱环节是柱栅阵列最外侧四角的焊点处。 关键词: 陶瓷柱栅阵列;热失配;应力应变 中图分类号:TN407 文献标识码:A 文章编号:1004-3365(2020)01-0065-07

**DOI:**10.13911/j.cnki.1004-3365.190627

# Failure Analysis of Column Grid Array Under Temperature Test

SU Dezhi, ZHAO Dan, WANG Cen

(Shandong Institute of Space Electronic Technology, Yantai, Shandong 264000, P. R. China)

**Abstract:** Ceramic columnar grid array (CCGA) is the derivative technology of ceramic ball grid array (CBGA), which can effectively solve the failure problem due to thermal mismatch for CBGA. By modeling the material and structure of CCGA1140, the stress-strain distribution and weak links of solder joints were emphatically discussed under welding process and thermal environment. The results showed that the solder joints in the outermost corners of cylindrical grid array were the weakest position of CCGA package under welding process and thermal environment.

Key words: CCGA; thermal mismatch; stress-strain

## 0 引 言

目前,集成电路封装技术正向高性能、低成本的 方向发展。阵列封装技术逐步取代引线键合技术和 表面贴装技术,成为微电子封装的主流技术<sup>[1-3]</sup>。随 着阵列封装技术的不断发展,军事和航天等高端应 用领域也逐渐开始采用高可靠性的商用阵列封装技 术<sup>[4-5]</sup>。CCGA是CBGA的衍生技术。CCGA具有 更好的力、热和电性能,同时具有更小的封装尺寸和 更高的密度,在军事和航天制造领域有着广大的应 用前景。与CBGA的塑料球阵列不同,CCGA采用 钎料圆柱阵列结构,有效减小了由热失配引起的陶 瓷载体与印制电路板(PCB)之间的剪切应力,进而 提高了焊点的抗疲劳性能<sup>[6]</sup>。在封装过程和考核试验中,热失配是发生封装失效最主要的原因。采用 实体进行制造和考核,操作灵活性不强,而且容易造 成资源浪费,提高了成本。

本文针对 CCGA1140 进行建模,通过加载热环 境载荷来分析柱栅阵列的应力应变、蠕变和位移变 形,进而识别封装过程和热环境试验中的薄弱点,对 封装结构设计和工艺实施具有指导意义。

## 1 材料特性

本文设计的柱栅阵列采用 CCGA1140 封装形 式。芯片与基板之间采用下填料填充。Al-SiC 散 热片通过道康宁 SE4450 导热胶与芯片连接。黑瓷

收稿日期:2019-09-30;定稿日期:2019-11-06

基金项目:国家自然科学基金资助项目(51375511)

作者简介:苏德志(1987一),男(汉族),山西长治人,博士,工程师,研究方向为微电子封装技术。

基板下方焊盘采用锡膏 Sn63Pb37 来焊接 1 140 个 焊柱(钎料成分为 Pb90Sn10),单个焊柱的直径为 0.51 mm,长度为 2.54 mm。芯片外形尺寸为 26.92 mm(长)×13.78 mm(宽)×0.5 mm(高), 散热片外形尺寸为 32 mm×18 mm×1.5 mm,陶瓷 基板外形尺寸为 35 mm×35 mm×1.5 mm。 CCGA1140 的 CAD 三维模型如图 1 所示,分别定义 芯片短边为 X 方向,长边为 Y 方向,法向为 Z 方向。

本文中,与 CCGA 封装有关的材料性能参数列

于表1。表中,T。是指玻璃化转变温度。



图 1 CCGA 封装智能芯片三维结构

表1 材料性能参数

材料	热膨胀系数/(10 <sup>-6</sup> ・	℃-1)温度/℃	密度/ (kg•m <sup>-3</sup> )	屈服强度/MPa	弹性模量/MPa	泊松比	
导热胶	120	25	10e3	-	1.1e4	0.38	
黑瓷基板	7.5	25	3.6e3	-	3.1e5	0.27	
焊料	25	25	8.4e3	23	1.8e4	0.4	
焊柱	29	25	1.1e4	-	2.0e4	0.4	
散热片	7.42	25	2.9e3	-	1.6e5	0.18	
芯片	2.8	25	2.3e3	-	1.6e5	0.23	
填充胶	$29(< T_g);100(>)$	T <sub>g</sub> ) -	1.0e9	-	1.1e4	0.38	

2 仿真模型

#### 2.1 模型建立与网格划分

本文基于 Abaqus 软件环境来开发有限元仿真 模型。芯片、基板、填料、导热胶、散热片、焊盘和焊 柱均在模型中建立,如图 2 所示。



(a) 焊接过程



(b) 热环境图 2 柱栅阵列有限元模型

单元网格以6面体单元 C3D8R 为主,在兼顾计 算精度与计算效率的同时,对单元网格划分和密度 分布进行优化。

#### 2.2 步长设定

考虑到焊料塑性和蠕变情况,计算总步数调整 为1×10<sup>4</sup>,设定最大允许步长为600 s,最小步长为 1 μs。

#### 2.3 约束边界与载荷设定

焊接过程和热环境条件下的载荷加载在所有节 点上,计算时使用温度单位 K 作为计量单位。焊接 过程中,在芯片上表面中央 4 个节点处设计边界约 束,用于消除各方向的刚体位移,如图 3(a)所示。 芯片凸点的焊接初始温度设定为 220 ℃,焊接完成 后冷却至室温。室温下,进行 60 min 退火模拟,观 察蠕变对残余应力释放的影响。柱栅阵列的焊接温 度设定为 183 ℃,焊接完成后冷却至室温,然后进行 60 min 退火模拟,考察蠕变对残余应力释放的影 响。在热环境条件下,在散热片上表面中央 2 个节 点处设计边界约束,用于消除各个方向的刚体位移, 如图 3(b)所示。

图 4(a)和图 4(b)所示分别为热循环和热冲击的模拟曲线,表 2 和表 3 分别列出热循环和热冲击的载荷条件。



表 2 热循环载荷条件

时间/s	时间/s 温度/℃		温度/℃
0	21	5 040	-65
540	150	5 640	-65
1 140	150	6 000	21
2 040	-65	6 540	150
2 640	-65	7 140	150
3 000	21	8 040	-65
3 540	150	8 640	-65
4 140	150	9 000	21

表 3 热冲击载荷条件								
时间/s 温度/℃		时间/s	温度/℃					
0	21	1 440	- 55					
180	125	1 560	- 55					
300	125	1 680	21					
600	- 55	1 860	125					
720	- 55	1 980	125					
840	21	2 280	- 55					
1 020	125	2 400	- 55					
1 140	125	2 520	21					

# 3 仿真结果分析

#### 3.1 柱栅阵列焊接过程分析

焊接过程中,由于存在熔融钎料,基板与焊柱之间可以适当膨胀。为了分析柱栅阵列在焊接过程的影响,计算时未考虑凸点焊接后基板与芯片之间的 残余应力。降温过程中,Sn37Pb63 钎料固化,基板 和柱栅阵列按照各自的热膨胀系数(CTE)进行收 缩。CTE差别是产生内部应力应变的主要原因之 一。由于芯片的 CTE 小于基板,焊接完成后,随着 温度的降低,柱栅阵列向基板一侧弯曲。焊接完成 后,温度降至室温时整个模型的位移云图如图 5 所 示。可以看到,最大翘曲发生在芯片四角处,最大值 为 21.49 μm。同样地,基板四角的位移相对较大。



# (c) 中截面 (d) 外侧截面 图 5 样品冷却至室温时的位移云图

柱栅阵列焊点的位移云图如图 6 所示。冷却至 室温和室温下静置 1 h 后,柱栅阵列焊点的等效应 力云图如图 7 所示。由于整体结构向基板一侧弯 曲,柱栅阵列焊点在最外围区域发生最大应力应变, 模拟计算结果与理论相符。经计算,柱栅阵列在最 外角处发生最大变形,可达 18.06 μm。焊接完成 后,柱栅阵列焊点中所有焊点均达到屈服应力(23 MPa)。但是,在室温下静置 1 h 后,所有焊点应力 得到释放,残余应力约为 13 MPa,个别焊点(主要是 外侧区域)仍存在较高残余应力。



图 8 所示为柱栅阵列的位移与应力分布云图。 可以看到,焊柱尖端的位移最大,应力集中在焊点 处,焊点的应力值高于焊柱。焊接完成后,柱栅阵列 焊点应力得到释放,使得焊点应力分布发生变化,且 焊点的应力值显著降低。



图 8 柱栅阵列的位移与应力分布云图

柱栅阵列的等效应力云图如图 9 所示。焊接完成后,所有焊点均达到屈服极限,发生塑性变形,但 经过室温静置过程后,应力得到释放并降至屈服应 力以下。以最外角焊点为例,焊接完成后,下方位置 的应力值全部超过屈服应力。室温静置后,应力分 布发生变化,虽然焊点与柱栅阵列的接触表面仍是 应力集中区域,但其应力值低于屈服应力。由此可 知,焊接过程中,柱栅阵列最薄弱环节为四角区域的焊点。



热循环过程中,柱栅阵列焊点在低温阶段的应 力最大。第三次热循环时,在低温阶段,钎料焊点的 等效应力分布如图 10(a)所示。Mises 应力是基于 剪切应变能的一种等效应力,用于第三强度理论塑 形材料的变形破坏表征。三次热循环后,焊点应力 均达到 SnPb 钎料的屈服应力(即发生塑性变形), 最大可达 23 MPa。图 10(b)和 10(c)所示分别为柱 栅阵列的等效蠕变应变和等效塑性应变,其分布与 等效应力类似。三个周期后,最大等效蠕变应变为 4.663%,位于柱栅阵列焊点外侧;最大等效塑性应 变值为 3.821%,位于柱栅阵列焊点外侧角区域。 柱栅阵列焊点所显示的蠕变和塑性变形均小于钎料 凸点阵列。同样地,SnPb 共晶钎料焊点的塑性变形 水平低于蠕变应变。因此,蠕变行为对于焊点的疲 劳寿命尤为重要。


柱栅阵列焊点应力最大值的等效应力随时间的 变化曲线如图 11 所示。随着热循环过程的进行,应 力呈现出相应的周期性变化。三次热循环中,应力 随时间的变化一致。从室温升至 150 ℃,由于基板 与焊柱的 CTE 不匹配,钎料内应力逐渐增大,焊点 内应力超过钎料的屈服应力。高温保持过程中,发 生明显的应力松弛,结束时应力下降至屈服应力以 下。随后,在降温过程中,应力方向发生变化,应力 最低点发生在稍低于最高温的位置,这证明钎料存 在一定的塑性变形。冷却至室温后,钎料快速升至 屈服点。在低温保持阶段,凸点的等效应力值达到 屈服应力。



#### 3.3 热冲击过程分析

热冲击过程与热循环类似。低温阶段,柱栅阵 列焊点的整体应力水平最大。第三次热冲击时,低 温阶段下钎料焊点的等效应力、等效蠕变应变和等 效塑性应变分布云图分别如图 12(a)、图 12(b)和图 12(c)所示。三次热冲击后,焊点达到 SnPb 钎料的 屈服应力(即焊点发生塑性变形),最大值为 23 MPa。焊点阵列的等效蠕变应变和等效塑性应 变分布类似。三次热冲击后,最大等效蠕变应变为 2.783%,位于柱栅阵列焊点外侧;最大等效塑性应 变值为 2.612%,位于柱栅阵列焊点外侧角区域。 同样地,SnPb 共晶钎料焊点的塑性变形水平低于蠕 变应变。因此,蠕变行为对于焊点的疲劳寿命尤为 重要。

柱栅阵列焊点应力最大值的剪应力滞回曲线与 等效应力随时间变化的曲线分别如图 13 和图 14 所 示。滞回曲线显示,随着热冲击的进行,最大应力逐 渐增大,最大应变却逐渐减小。这说明在热冲击过 程中,锡铅钎料存在加工硬化的现象。等效应力的 变化曲线中不考虑应力方向,只显示应力的绝对值。 随着热冲击的进行,应力呈现出相应的周期性变化, 且三次热冲击的应力变化曲线类似。从室温升至 150℃时,由于陶瓷基板与柱栅阵列的 CTE 不匹 配,钎料内应力逐渐增大,焊点内应力超过钎料的屈 服应力。在150℃保持过程中,应力明显松弛,保持 阶段结束时,应力下降到屈服点以下。随后,在降温 过程中,应力方向发生变化,钎料存在塑性变形,应 力最低点发生在稍低于最高温的位置。冷却至室温 时,钎料快速升至屈服点。在低温保持阶段,焊点的 等效应力值达到屈服应力,此时焊点处于低温状态, 蠕变现象不明显,应力水平未有明显变化。在三次 热冲击过程的高温保持阶段,应力达到最大值后均 发生明显的应力松弛,导致应力降低。主要原因是 受钎料内部的蠕变行为影响,但该现象在低温阶段 不明显。





## 4 结 论

本文通过对 CCGA1140 封装形式的建模与仿 真,针对柱栅阵列在焊接过程和热环境中的应力应 变、蠕变和位移情况进行了失效分析。研究结果发 现:焊接过程中,柱栅尖端位移最大,在焊点处应力 集中;柱栅阵列向基板一侧弯曲,导致最外围区域发 生最大应力应变,最外角处发生最大变形。热循环 过程与热冲击类似,应力随热环境呈周期性变化。 在低温阶段,柱栅阵列焊点应力处于全过程的最大 值。热循环过程中,最大等效蠕变应变和最大等效 塑性应变水平均高于热冲击过程,但分布相似。最 大等效蠕变应变位于柱栅阵列焊点外侧,最大等效 塑性应变位于柱栅阵列焊点外侧角区域。综上所 述,在焊接和热环境中,柱栅阵列焊点的最外侧四角 焊点处是 CCGA 封装最薄弱环节。实际应用中,可 在该处加强结构设计和工艺水平,进而提高 CCGA 封装的可靠性。

### 参考文献:

- [1] PUTTLITZ K J, SHUTLER W F. C-4/CBGA comparison with other MLC single chip package alternatives [J]. IEEE Trans Compon Packag &. Manufac Technol, 1995, 18(2): 250-256.
- [2] LAU J, DAUKSHER W, OTT E, et al. Reliability testing and data analysis of an 1657CCGA (ceramic column grid array) package with lead-free solder paste on lead-free PCBs (printed circuit boards) [C] // Proceed 54th Elec Compon & Technol Conf. Las Vegas, NV, USA. 2004; 718-725.
- [3] PERKINS A, SITARAMAN S K. Analysis and prediction of vibration-induced solder joint failure for a ceramic column grid array package [J]. J Elec Packag, 2008, 130(3): 1-11.
- [4] 徐广州,刘敏侠,阮萍.基于约束方程建模技术的 CCGA 封装力学特性仿真 [J]. 航空计算技术,2012, 42(1):61-64.
- [5] 吕强,尤明懿,陈贺贤,等. CCGA 封装特性及其在航 天产品中的应用 [J]. 电子工艺技术,2014,35(4): 222-226.
- [6] 毛冲冲,吉勇,李守委,等. CCGA 焊柱加固工艺技术 研究 [J]. 可靠性与环境试验技术及评价,2017,35 (1):12-17.

# 一种宽带多模数字抽取滤波器

高 波<sup>1,2</sup>,王友华<sup>2</sup>,李儒章<sup>2</sup>,陈凯让<sup>2</sup> (1. 重庆邮电大学光电工程学院,重庆 400065;2. 模拟集成电路国家重点实验室,重庆 400060)

**摘 要:** 提出了一种应用于连续时间 Σ-Δ ADC 的多模数字抽取滤波器。通过采用不同类型滤 波器级联结构,合理分配不同级间下采样因子,有效降低了电路复杂度、面积和功耗。通过级间滤 波器相互配合,实现了该滤波器的多带宽、多模式功能。基于 65 nm CMOS 工艺进行后端设计,仿 真结果表明,该多模抽取滤波器的工作带宽为 20~50 MHz,当工作带宽为 20 MHz 和 50 MHz 时, 有效位数分别为 10.64 位和 10.48 位。

关键词: 抽取滤波器; Σ-Δ ADC; 多模式; 宽带
 中图分类号:TN492
 文献标识码:A
 文章编号:1004-3365(2020)01-0072-06
 DOI:10.13911/j.cnki.1004-3365.190093

## A Multi-Mode Wideband Digital Decimation Filter

GAO Bo<sup>1,2</sup>, WANG Youhua<sup>2</sup>, LI Ruzhang<sup>2</sup>, CHEN Kairang<sup>2</sup>

College of Optoelectronic Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R. China;
 Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China)

**Abstract:** A multi-mode wideband digital decimation filter used in continuous-time (CT) sigma-delta converter was proposed. The decimation filter adopted cascade structures with different types of filter, and reasonably allocated down-sampling factors between different stages. By this way, the complexity of circuit implementation was effectively simplified, and the area and power consumption of the circuit were reduced as well. Furthermore, the multi-bandwidth and multi-mode functions of the filter were realized through cooperation of inter-stage filters. Finally, the designed filter was implemented in a 65 nm CMOS process. The simulation results indicated that the operating bandwidth range of the filter was from 20 MHz up to 50 MHz. With a bandwidth of 20 MHz, the corresponding ENOB was 10.64 bit. When operating in the 50 MHz mode, the corresponding ENOB was 10.48 bit.

Key words: decimation filter; sigma delta ADC; multi-mode; wideband

0 引 言

随着电子装备信息处理和无线通信等系统的高 速发展,宽带、高动态和低功耗等性能已成为电子系 统的重要指标。电子系统智能化、集成化和小型化 等特点逐渐凸显。近年来,集成电路工艺和设计技 术不断进步,包含射频、模拟/混合信号等功能的射 频前端一体化芯片已成为设计高端集成电路的重要 研究方向。高速、宽带、大动态模拟信号采集技术和 数字信号处理技术成为研究热点,推动着现代电子 信息系统的深入发展<sup>[1]</sup>。

ADC 是构成信号采集和处理系统的重要部分, 是实现模拟和射频信号采集的核心器件之一<sup>[2]</sup>,具 有电路结构复杂、参数指标多和精度要求高等特点。 ADC 是目前最具代表性的混合信号集成电路,实现 难度较大。通常,ADC 分为奈奎斯特采样 ADC 和 过采样 ADC 两大类型。过采样 ADC 采用远高于 奈奎斯特频率的采样率,对输入模拟信号进行采样, 然后进行滤波处理,得到数字信号。得益于噪声整

收稿日期:2019-02-25;定稿日期:2019-03-18

基金项目:模拟集成电路国家重点实验室基金资助项目(6142802010101)

作者简介:高 波(1994—),男(汉族),江苏淮安人,硕士,研究方向为数字集成电路设计。

形、滤波等算法和数字电路的运用,采用 CMOS 工 艺实现的 Σ-Δ ADC 具有芯片面积小、功耗低和动态 范围大等特点,是最具代表性的过采样 ADC,目前 已成为高性能 ADC 的研究热点。

Σ-Δ ADC 通过对信号进行过采样来获得更多的信号信息,然后通过整形、滤波技术来抽取相关信息。Σ-Δ ADC 由 Σ-Δ 调制器和数字抽取滤波器组成。Σ-Δ 调制器完成信号的采样和量化,数字抽取滤波器对调制后的信号进行降采样和滤波。数字抽取滤波器的性能直接决定整个 Σ-Δ ADC 的性能。同时,数字抽取滤波器的工作频率为整个 Σ-Δ ADC 的最高工作频率。因此,数字抽取滤波器的设计是高性能 Σ-Δ ADC 设计中的重要部分,通常采用 CIC 滤波器来实现。

1981年, E. Hogenauer 首次提出 CIC 滤波器<sup>[9]</sup>。CIC 滤波器具有高度对称结构,降低了抽取 滤波器的实现复杂度,并显著降低了功耗。但是, CIC 滤波器中的 IIR 滤波器工作在采样频率下,功 耗仍较高。2012年, B. John 等人提出一种新的非 递归结构,使得采样率随阶数依次递减为前一阶的 1/2,进一步减小功耗<sup>[10]</sup>。但是,这种结构不易于实 现信号带宽在不同模式下的切换。2012年, S. K. Mitra 提出一种多级多速率梳状滤波器,解决了工 作模式单一的问题,但是滤波器中第一级采用的是 下采样率高的结构,能够实现的带宽切换范围有 限<sup>[5]</sup>。随着 4G/5G 等通信的发展,对信号带宽的要 求越来越高,并且要求可在不同模式下切换。因此, 有必要针对大带宽、多模式应用情况展开研究。

本文设计了一种应用于高带宽、大动态连续时 间 Σ-Δ ADC 的宽带多模数字抽取滤波器。该滤波 器能够对数据速率高达 1.6 GS/s 的调制器输出进 行 16 倍和 32 倍的下采样,并且滤波器满足整体 ADC 有效位数(ENOB)大于或等于 10 位的要求。 为了实现 32 倍的下采样,该滤波器采用分级结构, 并合理设计了数字抽取滤波器中积分级联梳状滤波 器单元,降低了电路实现的复杂度,有利于减小电路 面积和功耗。功能上,通过不同的配置码,使滤波器 实现了多种带宽的工作模式。

1 Σ-Δ ADC 的结构

本文设计的 Σ-Δ ADC 的结构如图 1 所示。 ADC 由前端模拟调制器和后端数字下采样滤波器 构成。首先,输入模拟信号 x(t)经过调制器进行调 制、量化,得到数字信号。然后,数字信号经过数字 抽取滤波器进行滤波和降采样,从而得到 Σ- $\Delta$  ADC 的输出数字信号 D(n)。



为了满足 4G/5G 及软件无线电的应用需求, $\Sigma$ -  $\Delta$  ADC 需要接收 20~50 MHz 的信号,并且能够在 16/32 这两种过采样率之间切换,同时, $\Sigma$ - $\Delta$  ADC 在整个带宽内均满足 ENOB 为 10 位的要求。为了 达到上述指标,下采样滤波器的下采样倍数应在 16 和 32 之间,并且能够根据系统要求进行调节。

滤波器的信噪比值需要满足 ENOB 的要求,而 阻带衰减最小为-20ln b。其中,b 是下采样率,ln b 是降采样滤波器降采样倍数的自然对数<sup>[3]</sup>。本文 中,取 b等于 32,则下采样滤波器的阻带衰减需达 到 70 dB。

为了获得大带宽,采用4阶连续型 Σ- $\Delta$ 调制器 来对输入模拟信号进行噪声整形和量化。同时考虑 到精度,调制器中的子 ADC 采用4位 Flash ADC。 为了实现可重构性,该调制器的电阻、电容为可编程 结构。通过对电阻、电容配置不同的参数,使调制器 可工作在1.28 GS/s 和1.6 GS/s 两种频率下。

Flash ADC 的输出经缓冲后送入下采样滤波器。下采样滤波器对输入数据进行 16 倍和 32 倍的下采样,最终将数据送入后续处理电路。

### 2 数字抽取滤波器

数字抽取滤波器通常由 CIC 滤波器和半带滤 波器构成。要实现 16 倍和 32 倍的下采样,通常采 用 CIC 或半带滤波器来实现。CIC 滤波器能够实现 较大的下采样率,但其频率响应在通带中的衰减较 大,不能满足应用需求。半带滤波器具有较好的通 带平坦特性,但考虑到面积和功耗,通常只能实现 2 倍下采样。为了解决降采样率高和通带内信号平坦 等问题,本文将 CIC 和半带滤波器进行级联,既能 达到较高的下采样率,又能满足通带的信号平坦度。 为了充分利用 CIC 滤波器的降采样率高、结构简单 等特性,本文将 CIC 滤波器放在第一级。本文提出的滤波器框图如图 2 所示。

$\xrightarrow{D(z)}$	CIC 4/8	▲ 补偿滤波器 2	 半带滤波器 2	Y(z)

图 2 本文级联滤波器的结构

调制器的输出信号是数字滤波器的输入信号, 其 Z 域记为 D(z),滤波器的输出信号记为 Y(z)。 每级下采样因子标注在图 2 中,如 CIC 滤波器下采 样倍数为 4 倍和 8 倍。为了克服 CIC 滤波器通带内 信号衰减随降采样倍数增加而增加的问题,设计时 应尽可能降低 CIC 滤波器的下采样倍数,本文分别 通过补偿滤波器和半带滤波器实现 2 倍下采样。同 时,为了实现 16 倍和 32 倍下采样率模式可调,通过 CIC 滤波器实现 4 倍和 8 倍可调节的下采样率。

#### 2.1 CIC 滤波器

分级结构中,CIC 滤波器由积分器和差分器组 成。只需要少量存储器进行积分和差分运算,不需 要大量用来存储滤波器系数的存储单元进行乘法运 算。CIC 滤波器一般有两种实现结构,即递归结构 和非递归结构。CIC 滤波器的传递函数为<sup>[4]</sup>:

$$H(z) = \left(\frac{1 - z^{-ND}}{1 - z^{-1}}\right)^k \tag{1}$$

式中,k 是滤波器的阶数,N 是抽取因子,D 是 差分延迟。根据传递函数,采用积分器、差分器和抽 取器可得到递归结构的 CIC 滤波器。在 CIC 滤波 递归实现器中,无限脉冲响应(IIR)滤波器工作在采 样频率下,记为 f<sub>s</sub>。而有限脉冲响应(FIR)滤波器 工作在降采样后的频率下,其工作频率为 f<sub>s</sub>/N。

对式(1)进行简化,可得到非递归结构 CIC 滤 波器的传递函数<sup>[4]</sup>:

$$H(z) = \prod_{i=0}^{\log_2(M-1)} (1 + z^{-2^i})^k$$
(2)

式中,M满足 $N \times D = 2^{M}$ ,通常取延迟数D = 1。

在 *N*=2<sup>*n*</sup>(*n* 为正整数)的情况下,使用 *M* 个子 FIR 滤波器进行级联,每个滤波器提供的抽取因子 为 2,则可实现式(2)所示传递函数,如图 3 所示。



图 3 非递归结构 CIC 滤波器

因此,在实现非递归结构时,每个子 FIR 滤波器的实现结构直接决定了整个 CIC 滤波器的功耗

和面积。在实现子滤波器时,通常采用多相分解的 方式来降低每个子 FIR 滤波器的功耗和面积,从而 降低整个滤波器的功耗和面积。多相分解结构是在 多速率信号处理时应用的一种基本结构<sup>[6]</sup>。采用多 相分解形式来实现非递归结构中的子 FIR 滤波器, 可以得到多相分解结构滤波器的传输函数<sup>[6]</sup>:

 $E(z) = (1 + z^{-1})^{k} \stackrel{\triangle}{=} E_{0}(z) + z^{-1} \cdot E_{1}(z) \quad (3)$ 

式中,*E*(z)为每个子 FIR 滤波器的传递函数。 为了保证数字滤波器稳定,*k* 值为前级调制器的阶 数加1。本文中,前级调制器阶数为4,则*k*为5,有:

$$E(z) = (1+z^{-1})^{5} = 1+5z^{-1}+10z^{-2}+$$

$$10z^{-3}+5z^{-4}+z^{-5} = 1+10z^{-2}+$$

$$5z^{-4}+z^{-1}(5+10z^{-2}+z^{-4})$$
(4)

令  $E_0(z)$ 和  $E_1(z)$ 分别为:

$$E_0(z) = 1 + 10z^{-2} + 5z^{-4} \tag{5}$$

$$E_1(z) = 5 + 10z^{-2} + z^{-4} \tag{6}$$

可以看出, E<sub>0</sub>(z)和 E<sub>1</sub>(z)中仅包含偶次项。因此,可将图 3 中 2 倍下采样放到滤波前,能进一步降低实现时工作在高采样率下的触发器数量,从而进一步降低功耗,具体方案如图 4 所示。



#### 图 4 多相结构 CIC 滤波器

由于将2倍下采样前置,有:

$$E_0(z) = 1 + 10z^{-1} + 5z^{-2} \tag{7}$$

$$E_1(z) = 5 + 10z^{-1} + z^{-2} \tag{8}$$

这样,通过多相分解的形式就实现了非递归结构中的单级结构。本文中,根据 CIC 滤波器的最大降采样率来确定 N 为 8,则 M=3。

CIC 滤波器可采用递归或非递归形式来实现。 递归结构可以在面积和功耗方面均达到较好水平, 但是鉴于其积分器和差分器及下采样部分的分布, 想要实现可调节 OSR 比较困难。非递归结构以及 多相分解结构采用的是单次可实现 2 倍下采样、*n* 次可实现 2" 倍下采样的方法,可以很好地满足可调 节 OSR 的设计要求。相比于非递归结构,多相分解 结构的降采样单元集中在电路输入端,运算电路工 作在较低频率下。本文基于实现多带宽工作模式及 低功耗的考虑,采用图 4 所示结构。

#### 2.2 CIC 补偿滤波器

CIC 滤波器结构简单,且乘法器较少,但通带衰

减较大<sup>[4]</sup>。本文中,CIC 滤波器阶数为5阶,当工作 带宽为20 MHz时,通带衰减达到1.12 dB;当工作带 宽为50 MHz时,通带衰减达到4.87 dB。因此,需要 级联补偿滤波器来改善CIC 滤波器的通带衰减。补 偿滤波器的幅频特性与CIC 滤波器相逆,有<sup>[4]</sup>:

$$\left|H_{\rm c}(f)\right| = \left|ND \, \frac{\sin(\pi f/N)}{\sin(\pi D f)}\right|^{k} \tag{9}$$

式中,N、D、k与前文 CIC 滤波器相同,通带截止频率为采样频率的 1/16。

#### 2.3 半带滤波器

在抽取滤波器的最后一级,通常使用半带滤波器。半带滤波器有约一半的系数等于零,这意味着可以节省大量的计算消耗。半带滤波器具有等效的通带和阻带波纹,并具有对称的通带和阻带频率,对称中心为 f<sub>s</sub>/4,即采样频率的四分之一。半带滤波器的频率响应为:

$$H(e^{j2\pi f}) = 1 - H[e^{j\pi(1-2f)}]$$
(10)

在补偿滤波器之后级联 FIR 半带滤波器,实现 2 倍下采样,可实现较低功耗。FIR 半带滤波器的 通带特性良好,能很好地满足整体滤波器的要求。

## 3 滤波器各级设计

连续时间 Σ- $\Delta$  调制器工作带宽为 20 ~ 50 MHz。在 20 MHz 工作带宽下,滤波器工作频率 为 1 280 MS/s,降采样滤波器的通带截止频率为 20 MHz,通带纹波幅度为 $\pm$ 0.01 dB,阻带起始频率 为 60 MHz。在 50 MHz 工作带宽下,滤波器工作 频率为 1 600 MS/s,降采样滤波器的通带截止频率 为 50 MHz,通带波纹为 $\pm$ 0.01 dB,阻带起始频率 为 150 MHz。两种工作模式下,阻带衰减均为 70dB,且两种工作模式可以在输入信号控制下进行 切换。

#### 3.1 CIC 滤波器设计

本文采用 5 阶多相分解结构,可实现的 OSR 可 调节范围为 4 倍和 8 倍。CIC 滤波器 5 阶结构均相 似,单个子 FIR 结构如图 5 所示。



图 5 CIC 滤波器的单级结构

为了避免 CIC 滤波器的溢出问题,设计时需要 根据"字长定理"来确定 CIC 滤波器的输出字 长,有<sup>[7]</sup>:

 $B_{\rm w} = B_{\rm i} + K \log_2(ND) \tag{11}$ 

式中,B<sub>i</sub>为滤波器输入字长。本文中,调制器 的输入字长为4位。根据降采样率可取的最大值为 8,确定 CIC 滤波器的字长为19位,则可满足所有情 况下滤波器均不会溢出。量化后的幅频响应曲线如 图 6 所示。可以看出,阻带抑制比为50 dB,通带截 止频率由归一化频率定义为1/16。



#### 3.2 CIC 补偿滤波器设计

本文通过调用 Matlab 中 CIC 补偿滤波器的函数,实现 CIC 补偿滤波器的设计。CIC 补偿滤波器的幅频响应曲线如图 7 所示。可以看出,补偿滤波器在通带内幅值上升,满足最初的补偿 CIC 滤波器 在通带内衰减的设计目标。



#### 3.3 半带滤波器设计

在 20 MHz 工作带宽下,作为整体数字抽取滤 波器的最后一级,半带滤波器的通带截止频率为 20 MHz,阻带起始频率为 60 MHz。在 50 MHz 工作 带宽下,通带截止频率为 50 MHz,阻带起始频率为 150 MHz。为了适用于 20~50MHz 带宽模式并满 足整体滤波器阻带衰减达到 70 dB 的要求,对过渡 带宽进行适当的增加。采用滤波器设计工具箱 FD Toolbox,滤波器的幅频响应曲线如图 8 所示。

#### 3.4 滤波器整体幅频响应

将CIC滤波器、补偿滤波器、半带滤波器进行

级联,得到最终的抽取滤波器。在降采样倍数为 32 时,抽取滤波器的幅频响应曲线如图 9 所示。可以 看出,抽取滤波器的阻带衰减达到设计要求,通带纹 波幅度在±0.01 dB之内,满足设计指标。



4 整体仿真结果

在 20/50 MHz 工作带宽下,使用 Matlab 中的 Simulink 功能来验证本文设计的数字抽取滤波器。 仿真条件为:滤波器的输入数据为晶体管搭建的 Σ-Δ 调制器电路产生的仿真数据,去除电路瞬态建立 初期产生的数据,共 20 800 个采样点。

将输入数据进行定点化处理,记输入信号频率 为 $f_{in}$ ,输入数据率为 $f_{data_{in}}$ 。20 MHz 工作带宽下,  $f_{in}$ 为 16 MHz, $f_{data_{in}}$ 为 1 280 MS/s,下采样率为 32。50 MHz 工作带宽下, $f_{in}$ 为 38 MHz, $f_{data_{in}}$ 为 1 600 MS/s,下采样率为 16。针对滤波后的数据, 选取其中 1 024 个采样点进行 FFT 变换,并加 Hanning 窗,得到输出频谱。20/50 MHz 下 Σ-Δ 调 制器的输出频率如图 10 所示,经过数字抽取滤波器 后的信号频谱如图 11 所示。



图 10 中, $\Sigma$ - $\Delta$  调制器的噪声被搬移到信号带宽 之外。图 11 中,除去开始时由于电路不稳定引起的 坡度, $\Sigma$ - $\Delta$  调制器的噪声被搬移到信号带宽之外,而 经过数字抽取滤波器后,带外的噪声基本被滤除。

本文数字抽取滤波器在不同工作带宽下的设计 指标列于表 1。可以看出,滤波器所需总体阶数较 少。在不同下采样率下,本文与文献[8]中滤波器的 性能对比列于表 2。可以看出,文献[8]中,20 MHz 工作带宽下的 *f*<sub>in</sub>为 6 MHz,50 MHz 工作带宽下的 *f*<sub>in</sub>为 15 MHz。本文在相同工作带宽、输入信号频 率增大较多的情况下,SNR 仅降低 2~3 dB。

表 1 滤波器的设计指标

		信亏频	阻带起始	滤波器
宽/MHz	样率	率/MHz	频率/MHz	阶数
50	16	38	150	105
20	32	16	60	88

#### 表 2 本文与文献[8]中滤波器的性能参数对比

对比	下采	信号频	ENOB/	信噪比/
文献	样率	率/MHz	bit	dB
文献[8]	16	15	10.75	66.5
本文	16	38	10.48	68.5
文献[8]	32	6	11.08	64.8
本文	32	16	10.64	65.8

### 5 电路实现

在 Matlab 中完成滤波器系统设计后,使用 Verilog 语言来编写滤波器的 RTL 代码并进行仿 真。通过 Modelsim 对 RTL 代码进行功能验证。 通过测试文件生成输入信号,对滤波器进行下采样 功能验证,结果如图 12 所示。图 12 中,上面的曲线 为输入信号,中间信号为模式切换指示信号,下面的 曲线是经过滤波器后的信号。数据先经过 32 倍下 采样,再经过 16 倍下采样。最后经过数字抽取滤波 器后,数据速率分别为原速率的 1/32 和 1/16。两 种带宽下,滤波器分别完成了 16 倍、32 倍下采样功 能,实现了滤波器的模式切换。



图 12 20/50 MHz 带宽下滤波器的功能仿真图

6 结 论

本文设计了一种用于高带宽连续时间 Σ-Δ 调

制器的数字抽取滤波器。采用多种滤波器组合分级 结构,充分利用了 CIC 滤波器和半带滤波器的优 点,相对单级 FIR 滤波器而言,可降低电路面积。 同时,合理地采用了多相结构进行 CIC 滤波器实 现,从而使电路在较低工作频率下实现了低功耗。 该数字抽取滤波器通过调节 CIC 滤波器的下采样 率,使整体下采样率可在 16 与 32 之间切换。仿真 结果表明,该滤波器工作带宽范围为 20~50 MHz, 信噪比最高可达 65.8 dB。

#### 参考文献:

- [1] NORSWORTHY S R, SCHREIER R, TEMES G C. Delta-sigma data converters: theory, design, and simulation [M]. Piscataway: Wiley-IEEE Press, 1992: 419-420.
- [2] DE LA ROSA J M. Sigma-delta modulators: tutorial overview, design guide, and state-of-the-art survey
   [J]. IEEE Trans Circ & Syst I: Regu Pap, 2010, 58 (1): 1-21.
- [3] SCHREIER R, TEMES G C. Understanding deltasigma data converters [M]. Piscataway: IEEE Press, 2005: 89.
- [4] NORSWORTHY S, SCHREIER R, TEMES G. Decimation and interpolation for conversion [M]. Piscataway: Wiley-IEEE Press, 2009: 406-446.
- [5] MITRA S K. Digital signal processing: a computerbased approach [ [M]. New York: McGraw-Hill Higher Educagion, 2012.
- [6] SHAHANA T K, JAMES R K, JOSE B R, et al. Polyphase implementation of non-recursive comb decimators for sigma-delta A/D converters [C] // IEEE Conf Elec Dev & Sol Sta Circ. Tainan, China. 2007: 825-828.
- [7] 尚文明. Sigma-Delta ADC 数字抽取滤波器的设计与 优化 [D]. 成都: 电子科技大学, 2013.
- [8] CALDWELL T, ALLDRED D, LI Z. A reconfigurable  $\Delta\Sigma$  modulator with up to 100 MHz bandwidth using flash reference shuffling [C] // Proceed IEEE Custom Integr Circ Conf. San Jose, CA, USA. 2013: 1-4.
- [9] HOGENAUER E. An economical class of digital filters for decimation and interpolation [J]. IEEE Trans Acous, Speech, & Signal Process Signal Process, 1981, 29(2): 155-162.
- [10] JOHN B, WAGNER F, KRAUTSCHNEIDER W H. Comparison of decimation filter architectures for a sigma-delta analog to digital converter [C] // IEEE Student Conf. 2012; 189-197.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

## 低成本和商业卫星元器件抗辐射保证流程研究

刘伟鑫, 汪 波, 马林东, 楼建设, 孔泽斌, 曾英廉, 王昆黍 (上海航天技术研究院 第八〇八研究所, 上海 201109)

摘 要: 为严格控制低成本卫星和商业卫星的研制成本,并缩短研制周期,有效手段之一是采用 工业级器件、普军级器件,甚至是商用货架(Commercial Off-The-Shelf,COTS)器件。但是,研制 成本与空间辐射环境适应性之间的矛盾是低等级器件和 COTS 器件在空间应用时需解决的主要 问题。在分析低成本卫星和商业卫星空间辐射环境的基础上,结合 NASA、ESA 对低等级器件提 出的评估筛选标准,思考了低成本卫星和商业卫星用电子器件抗辐射加固保证流程,为后续制定 低成本卫星用元器件质量保证体系和大纲提供支撑。

关键词: 低成本卫星; 商业卫星; 低等级器件; COTS 器件; 抗辐射加固保证
 中图分类号:TN406
 文献标识码:A
 文章编号:1004-3365(2020)01-0078-06
 DOI:10.13911/j.cnki.1004-3365.190635

## Process Study of Electronics Radiation Hardened Assurance for Low Cost and Commercial Satellite

LIU Weixin, WANG Bo, MA Lindong, LOU Jianshe, KONG Zebin, ZENG Yinglian, WANG Kunshu (No. 808 Institute, Shanghai Academy of Spaceflight Technology, Shanghai 201109, P. R. China)

**Abstract:** In order to meet the demand of cost control for low cost satellite and commercial satellite, using industrial class devices, military class devices and even COTS devices is one of the effective method to reduce the research cost and shorten the development period. The contradiction between development cost and adaptation in space radiation environment is the main problem for low class and COTS device which were used for low cost satellites and commercial satellites. Based on the space radiation environment calculation for low cost satellites and commercial satellites, evaluation process for low class devices in NASA and ESA was analyzed, and the process of electronics radiation hardened assurance(RHA) for low cost satellites and commercial satellites was studied. This RHA process could support the subsequent device quality assurance systems and outlines for low cost satellites and commercial satellites.

Key words: low cost satellite; commercial satellite; low class device; COTS device; radiation hardened assurance

0 引 言

低成本卫星是指采用新的可获得的低成本技术 手段、管理方法和经营模式,面向特定需求,大规模、 批量化生产的卫星<sup>[1]</sup>。低成本卫星是我国后续卫星 领域的重大战略发展方向,定位面向突发、应急事件 的监测。低成本卫星重量轻,体积小,研制成本低。 与常规卫星的设计思路不同,设计低成本卫星时会 严格控制研制成本,采用适量的设计余量来满足卫 星设计要求<sup>[1-2]</sup>。

随着航天产业市场化时代的到来,卫星、运载火 箭的立项和发射竞争越来越激烈。技术指标和研制 成本一直是决定竞争力的两大重要因素。商业卫星 更强调市场、成本和盈利,对功能指标、运行寿命的 要求较低。在保证功能的前提下降低研制成本,对

收稿日期:2019-09-30;定稿日期:2019-11-12

基金项目:上海市工业强基基金资助项目(GYQJ-2019-1-40)

作者简介:刘伟鑫(1984—),男(汉族),江苏常州人,硕士,高级工程师,从事宇航元器件应用验证及抗辐射性能评估工作。

于促进商业航天发展具有显著意义。

一般来说, 宇航级器件应性能稳定、能长期可靠 工作并具有抗辐射能力, 但其更新换代较慢, 难以满 足用户对于高性能和低成本的需求。为适应低成本 卫星和商业卫星的需要, 应在元器件采购环节就控 制成本。使用成本低、性能优越、易获得的工业级器 件、普军级器件甚至 COTS 器件来研制商业卫星和 低成本卫星, 是降低研制成本、缩短研制周期的有效 手段之一<sup>[3-6]</sup>。

国内外大量研究表明,空间辐射环境是造成卫 星在轨发生故障的首要因素。在低成本卫星和商业 卫星中,实现核心功能的 CPU、DSP、FPGA 等大规 模集成电路对空间辐射环境的适应能力普遍偏低, 易出现功能异常和中断的情况,最终可能导致卫星 在轨发生异常现象和故障。因此,对于不具有抗辐 射加固性能的低质量等级器件和商用货架器件,势 必需要研究一套切实可行、行之有效的抗辐射性能 保证方法和技术,保证其在空间高能粒子辐射环境 下工作的可靠性<sup>[7]</sup>。

本文对于低成本卫星用电子器件的抗辐射性能 保证方法进行了思考和分析,给出了相应的流程图 和工作原则,可以为后续制定低成本卫星用元器件 质量保证体系和大纲提供支撑。

1 卫星实际面临的空间辐射环境

大部分低成本卫星和商业卫星运行于低地球轨 道(LEO)。例如,吉林一号运行轨道为 650 km,珠 海一号轨道高度为 530 km,高景一号轨道高度为 500 km。极少部分低成本卫星和商业卫星运行于 地球同步轨道(GEO)。采用 Space Radiation 软件, 对 4 种不同高度和倾角轨道的辐射环境参数进行计 算,计算结果如图 1~图 3 所示。





图 3 典型轨道银河宇宙射线重离子 LET 谱计算结果

轨道类型包括:1) 600 km 高/98°倾角的 LEO 轨 道;2) 900 km 高/98°倾角的 LEO 轨道;3) 1 200 km 高/98°倾角的 LEO 轨道;4) 36 000 km 高/0°倾角 的 GEO 轨道。

以年为单位进行计算,记为 a。在 3 mm 厚的铝 屏蔽下,600~1 200 km 高度 LEO 轨道遭受的电离 总剂量约为 10~50 Gy(Si)/a。具体为,600 km 高 度 LEO 轨道对应约为 10 Gy(Si)/a,1 200 km 高度 LEO 轨道对应约为 50 Gy(Si)/a。GEO 轨道对应 约为 200 Gy(Si)/a。

在辐射带质子能谱方面,以典型的 10 MeV 能量质子来计算通量。无太阳耀斑爆发情况下,GEO 轨道的通量几乎没有,LEO 轨道上 10 MeV 能量质子通量约为 3×10<sup>5</sup>~3×10<sup>10</sup> cm<sup>-2</sup>/a。

在银河宇宙射线方面,LET 约为 15 MeV・ cm<sup>2</sup>/mg时,四种轨道上的重离子积分通量约为 1×  $10^{-5} \sim 1 \times 10^{-3}$  cm<sup>-2</sup> • s<sup>-1</sup>;LET 约为 37 MeV・ cm<sup>2</sup>/mg时,对应的重离子积分通量约为 1×10<sup>-9</sup> ~  $1 \times 10^{-7}$  cm<sup>-2</sup> • s<sup>-1</sup>;LET 约为 75 MeV • cm<sup>2</sup>/mg 时,对应的重离子积分通量约为 1×10<sup>-11</sup> ~1×10<sup>-9</sup> cm<sup>-2</sup> • s<sup>-1</sup>。以年为单位进行换算,LET 约为 15 MeV • cm<sup>2</sup>/mg 时,重离子通量约为  $3 \times 10^2 \sim 3 \times 10^4$  cm<sup>-2</sup>/a;LET 约为 37 MeV • cm<sup>2</sup>/mg 时,重 离子通量约为  $0.03 \sim 3$  cm<sup>-2</sup>/a;LET 约为 75 MeV • cm<sup>2</sup>/mg 时,重离子通量约为  $3 \times 10^{-4} \sim 3 \times 10^{-2}$  cm<sup>-2</sup>/a。可以看出,LET 大于 37 MeV • cm<sup>2</sup>/mg 时,重离子出现的概率很低。需要重点考虑 LET 小于 37 MeV • cm<sup>2</sup>/mg 时重离子产生的单粒 子效应。

针对某研究院部分卫星所搭载的剂量计在轨实 测数据进行分析。实测时,以天为单位进行测试,记 为 d。900 km 高度 LEO 轨道上,卫星在轨实际遭 受的电离总剂量约为 0.01 Gy(Si)/d。36 000 km 高度 GEO 轨道上,卫星在轨实际遭受的电离总剂 量约为 0.015 Gy(Si)/d。根据实测数据,按 3 年寿 命进行计算,900 km 高度 LEO 轨道上遭受的电离 总剂量将会低至约 11 Gy(Si),GEO 轨道卫星遭受 的电离总剂量将会低至约 16 Gy(Si)。采用 2 倍余 量,指标分别仅为 22 Gy(Si)和 32 Gy(Si)。若直接 照搬现有大型卫星的可靠性设计方法,对于低成本 卫星和商业卫星的抗辐射加固指标要求也采用很高 的辐射设计裕度(Radiation Design Margin, RDM) 系数,将会给卫星研制周期和成本带来严重的负面 影响。例如,要求候选器件的抗电离总剂量效应性 能达到 300 Gy(Si)或 500 Gy(Si)以上,将难以选到 既符合性能指标和成本要求、又满足抗辐射加固指 标要求的器件。

2 NASA 与 ESA 宇航型号应用低等 级器件工程实践设计

#### 2.1 国外抗辐射性能保证方法研究现状

在器件版图设计和流片时,低等级器件和 COTS器件没有采取抗辐射加固设计,不保证抗辐 射性能。因此,低成本、高性能与空间辐射环境适应 性之间的矛盾是低质量等级器件和 COTS 器件在 空间应用时需解决的主要问题。国外已有一套包括 筛选、老炼、设计、容错检错、抗辐射、测试验证在内 的指南和规范,并且在快速响应卫星、微小卫星等领 域得到了实际应用。

1995年,NASA 开展新千年计划研究,将"空间 应用 COTS 产品"和"低成本电子学产品"列入研究 目标。2002年,NASA 发布了商用塑封器件空间应 用白皮书,其政策为:"倘若对特定应用的器件在热、 力学、辐射方面进行彻底的评估后,确认其可以满足 任务需求的情况下,NASA GSFC 允许在航天器中 使用塑封器件"。NASA 下属 JPL 实验室通过研究,发现经过应用级抗辐射设计后,COTS 处理器在辐射环境下的表现相当于甚至更好于具有抗辐射性能指标的高等级处理器<sup>[8-12]</sup>。

NASA和 ECSS 制定了 NASA/TP-2003-212244 和 ECSS-Q-ST-60-13C 两个标准规范,规定低等级 器件和 COTS 器件在空间应用时需要经过筛选、评 估、破坏性物理分析、结构分析等试验与分析项目来 考核可靠性,以剔除早期缺陷,预防失效。NASA 和 ECSS 认为,低等级器件和 COTS 器件的测试和 鉴定应按照特定应用所需风险等级的要求执行。 NASA 和 ESA 定义了三个风险等级。风险等级 1 包含最低的固有风险,适于关键应用,例如单线、单 点故障和任务基本功能。风险等级 2 包含的风险有 所增加,适于通用航天应用。风险等级 3 包含未知 风险<sup>[13-16]</sup>。

随着半导体器件工艺尺寸不断缩小、氧化层生 长质量控制越来越好,MOS 器件的抗电离总剂量效 应性能有了很大提高。单粒子效应已成为国内外航 天机构重点关注的空间辐射效应之一。针对低等级 器件和 COTS 器件空间应用时的抗单粒子效应筛 选和防护设计,NASA 给出了一些方法和建议。首 先采用脉冲激光装置进行快速评估试验,给出抗单 粒子效应性能阈值。然后,确定或直接舍弃单粒子 锁定、烧毁等阈值明显低的器件;对于单粒子效应阈 值较高的器件,采用重离子加速器进行确认试验;针 对必须使用的、对单粒子锁定或烧毁等较敏感的器 件,采取电路系统防护、工作电压降额等设计方法, 并利用脉冲激光装置试验来验证防护设计的有效 性;针对单粒子翻转敏感器件,采用故障软件仿真、 脉冲激光试验相结合的方式,高效率地全面暴露单 粒子翻转造成的故障影响,并充分验证防护设计的 有效性[13-14]。

R. Jasinskij 等人在《Fault-Tolerance Techniques for SRAM-based FPGA》中系统介绍了 SRAM 型 FPGA设计过程中防护单粒子效应软错误的各种技 术<sup>[19]</sup>。这些方法提高了 FPGA 抗单粒子效应能力, 但带来了较大的资源消耗与速度性能的下降。M. Pignol 在 2005 年发表了一篇关于微处理器系统如 何应对 SEU 和 SET 影响的论文,将微处理器的应 用层容错技术分为双模结构、三模结构和其他解决 方法<sup>[10]</sup>。S. E. Groening 针对基于 TMR 结构的 COTS 处理器,研究设计了抗单粒子翻转的实时嵌 入式操作系统<sup>[20]</sup>。

#### 2.2 在国外卫星上的应用情况

在采用商用技术研制低成本高性能微小卫星方 面,英国萨瑞大学处于先进行列。1979年,萨瑞大 学研制出使用 COTS 微处理器的微小卫星,并于 1981年成功发射。从1981年至1998年,萨瑞大学 完成14颗基于低等级器件的小卫星发射。截至 2007年,萨瑞大学经过25年对低等级器件空间应 用的研究,发现低等级器件应用于低轨道系统是可 行的,并对成功设计指导原则进行总结,即"以20% 的成本实现 80%的功能,保证 90%的任务成功概 率"。在 2002 年发射的 2 颗美德合作的 GRACE 卫 星内部,80%的元器件为 COTS 器件[17-18]。南非第 一颗小卫星 Sum Bandila Sat 在轨运行时,系统通过 错误纠正、防闩锁保护、软件实现的进程监测,以及 针对处理器的"看门狗"和存储器通道保护等手段, 提供了可靠性保证。在研发阶段,小卫星的星载计 算机只能进行简单而廉价的总辐射剂量效应测试, 没有进行单粒子效应测试,总研发经费不超过 200 万美元,研发周期仅为12个月。从2009年9月运 行至 2011 年 7 月,小卫星平均每天仅重启 1.04 次[18]。

3 抗辐射加固保证方法流程思考

#### 3.1 总体思路

设计低成本卫星和商业卫星用电子器件抗辐射 加固保证方法流程时,主要考虑以下原则。

针对性:针对低成本卫星和商业卫星性能指标、 寿命特点,提出抗辐射加固指标要求。

通用性:每一次的器件级辐照试验结果和加固 设计有效性验证结果均可以应用于后续其他低成本 卫星和商业卫星。

低消耗性:通过尽量少的辐照试验,获取拟选用 低等级器件和 COTS 器件的抗辐射性能。

#### 3.2 流程

低成本卫星和商业卫星用电子器件抗辐射性能 保证方法的流程图如图 4 所示。

第一,根据任务性质、轨道高度、任务周期、性能 指标等信息,提出合理、可操作的抗辐射加固指标要 求。第二,参照 NASA 和 ESA 的做法,对单机及元 器件进行关键等级划分,给出低成本卫星和商业卫 星上哪些单机或系统可以采用低等级器件和 COTS 器件。第三,根据相应的原则进行低等级器件和 COTS 器件选型,优选已有试验数据或飞行经历的 低等级器件和 COTS 器件。第四,根据需要开展数据分析、辐照试验,获取候选低等级器件和 COTS 器件的抗辐射性能信息。第五,对于抗辐射性能较 低但必须使用的器件,从元器件、单机、整星角度,采 取相应的加固设计,并对加固设计有效性进行验证 评估。



图 4 低成本和商业卫星用器件抗辐射加固保证方法流程

#### 3.3 辐射环境及抗辐射加固指标分析

对于低成本卫星和商业卫星,首先需要结合详 细的卫星三维布局模型,对相关单机和元器件的抗 辐射加固指标要求进行精细化计算。例如,处在卫 星外表面的单机,一般只考虑单机本身3 mm 厚度 对辐射的屏蔽;处在卫星内部的单机,除了要考虑单 机本身厚度以及卫星蒙皮的屏蔽外,还要考虑其他 部组件对其构成的三维屏蔽。在抗辐射加固指标要 求精细化计算结果的基础上,考虑一定的余量或 RDM 值,最终提出合理、可操作的低成本卫星和商 业卫星抗辐射加固指标。

#### 3.4 单机及元器件关键等级划分

首先针对任务性质、轨道高度、任务周期等信息 进行全方位评估,对单机及元器件进行关键等级划 分,区分哪些任务可以选用低等级器件或 COTS 器 件。关键等级可以参考以下三种等级划分。

风险等级1级:具有最低的固有风险,适于关键 应用,如实现卫星任务基本功能的单机。根据该要 求选取元器件时可接受的风险水平要求最低。

风险等级2级:比1级所要求的风险水平略有

增加,适于通用宇航应用,应根据成本限制和任务目标选择元器件。除单点设计外,所有主要目标的功能或冗余设计是可以接受的。

风险等级3级:对于所选择和处理的部件,在成本限制允许的情况下可接受中等风险的任务。

#### 3.5 元器件选型

在完成单机及元器件关键等级划分的基础上, 开展元器件选型。对于关键单机,优先选用在 NASA、ESA、国内相关元器件保证机构相关数据库 中已有辐照试验数据的低等级器件或 COTS 器件。 关键单机优先选用具有成功飞行经验的低等级器件 和 COTS 器件。在轨飞行过的器件已经经受过空 间环境的考验,具有一定的飞行数据,对元器件的选 用具有很大参考价值。尽量选择有质量体系保证的 厂商生产的器件。尽量选择通用的元器件,并且尽 量从商用或工业级、军品器件中选择,压缩器件种 类,降低筛选成本。对于国产高性能低等级器件或 COTS 器件,应尽可能采用批量、集中采购模式,确 保产品初样和正样采购的元器件为同一生产批次或 到货批次,做到控源头、控供方、控批次。

#### 3.6 数据查询分析

对于拟选用的低等级器件和 COTS 器件,根据 三维精细化抗辐射加固指标要求作数据分析,查询 各辐射效应数据库中是否具有相应的抗辐射性能评 估试验数据,评估拟选用的低等级器件和 COTS 器 件的抗辐射性能是否满足指标要求。

国外数据库包括 GSFC 数据库、JPL 数据库、 DTRA 数据库、ESA 数据库。在国内,航天五院、航 天八院、中科院新疆理化所、中科院空间中心等均有 自己的数据库。

数据分析时应关注以下三个方面的问题。

批次信息:同一型号器件中不同批次的版图可 能存在不一致,需关注因批次相隔较大引起器件版 图更改而导致的抗辐射性能差异。

试验条件:不同试验条件下获得的器件抗辐射 性能可能存在较大差异,需关注已有数据中试验条 件是否适用于拟应用的场合或电路。

试验判据:抗辐射性能评估结果与试验判据密切相关,需关注已有数据中的判据是否适用于所查询低等级器件和 COTS 器件拟应用的场合或电路。

#### 3.7 辐照试验实施

对于无数据但必须使用的低等级器件和 COTS 器件,应首先开展抗辐射性能评估试验。在单粒子 方面,优先使用脉冲激光开展单粒子效应的定性评 估,不建议采用重离子加速器进行试验。对于脉冲 激光试验结果表明抗单粒子效应性能较差的器件, 直接从单机或系统层面进行加固设计,后续采用脉 冲激光、软件仿真、故障注入等手段开展加固设计有 效性验证和评估。在电离总剂量效应方面,对于寿 命指标要求较低的任务,在充分分析的基础上可以 不进行试验,通过在器件表面贴一定厚度的屏蔽材 料来防护。对于必须进行试验的关键器件,建议统 筹进行试验,以最大化性价比。

#### 3.8 抗辐射加固设计

若拟选用的低等级器件或 COTS 器件不满足 指标要求,可以从元器件级、系统(单机)级和整星级 三方面采取措施进行抗辐射加固。

元器件级抗辐射加固设计方法包括降额和容差 设计、局部屏蔽等。降额和容差设计是指通过降额 和容差设计来保证器件的电参数退化或漂移不会影 响功能。局部屏蔽是在器件表面贴一定厚度的屏蔽 材料或增加涂层对空间辐射环境进行防护,如在器 件表面贴铅皮、钽皮,以及增加抗辐射涂层材料等。

单机级抗辐射加固方法包括限流保护及断电恢 复、针对性的主备份设计、EDAC 校验、三模冗余、动 态刷新、自主监控设计等。

限流保护及断电恢复:在器件供电入口串接合 适的电阻或使用限流型低压差电压调整器,仿真单 粒子闩锁产生大电流烧毁。由于单粒子闩锁需要彻 底断电才能解除,单机需采用彻底断电的设计措施。

针对性的主备份设计:星上单机一般包括星务 单机、应答机及相关载荷设备。其中,星务单机承担 整星数据信息管理,应答机则负责星上下行数据的 传输。星务单机和应答机属于核心关键单机,一般 会进行双冗余备份设计。而对于低成本卫星和商业 卫星,应有针对性地开展备份设计。例如重点对星 务单机进行备份。

EDAC 校验:对存储器和寄存器进行错误检测, 纠正因单粒子翻转产生的数据错误。

三模冗余:基于单粒子效应同一时刻只影响一 个器件的假设,对电路采取三取二表决设计,剔除错 误的数据。

动态刷新:根据自身的工作状态注入 FPGA、 DSP、CPU 等核心处理器的数据位,在空闲时对外 部器件进行动态刷新,以清除外部器件因单粒子翻 转引起的数据位错误。

自主监控设计:设置"看门狗"电路,电路周期性 地产生"喂狗"信号,在"喂狗"周期内未收到"喂狗" 信号则重新进行加载。

整星级抗辐射加固方法通过合理布局各单机, 利用卫星外壳、卫星蒙皮、单机外壳以及各单机、各 电路板的相互遮挡来降低敏感器件所遭受的辐射。

#### 3.9 加固设计有效性验证

对于采取 EDAC 校验、三模冗余、动态刷新等 抗单粒子效应加固设计的单机,通过成本较低的脉 冲激光辐照试验、软件仿真、故障注入等方法对加固 设计的有效性进行验证,充分保证不会由于低等级 器件或 COTS 器件的单粒子效应而影响整个单机 的功能和性能。

4 结束语

本文思考了低成本卫星和商业卫星用电子器件 抗辐射加固保证方法及流程。在商业航天卫星、微 纳卫星、科学探测卫星、导航卫星、快速响应卫星、载 人航天上等应用领域,低等级器件和 COTS 器件的 可靠性研究是一个系统性问题。后续将在相关课题 的支持下,继续深入调研国内外相关标准,为建立合 理可行、操作度较高的低成本卫星和商业卫星用元 器件质量保证体系和大纲提供支撑。

#### 参考文献:

- [1] 罗渠,邱亮,刘畅. 低成本航天器研制模式研究 [J]. 国际太空,2018,472(4):55-58.
- [2] 李红宝,李延东,马文杰,等.低成本卫星空间辐射环 境适应性设计方法研究 [J]. 空间科学学报,2005,25 (1):337-340.
- [3] ESTEVE M, PEREZ-LLOPIS I, PALAU C E. Friendly force tracking COTS solution [J]. Aeros & Elec Syst Mag, 2013, 28(1): 14-21.
- [4] STASSINOPOULOS E G, BRUCKER G J, NAKAMURA D W, et al. Solar flare proton evaluation at geostationary orbits for engineering applications [J]. Nucl Sci, 1996, 43(2): 369-382.
- [5] 姜秀杰,孙辉先,王志华,等.商用器件的空间应用需求、现状及发展前景[J].空间科学学报,2005,25
   (1):76-80.
- [6] MCNUTT C J, VICK R, WHITING H, et al.

Modular nano-satellites plug-and-play(PnP) cube sat, AIAA-RS7- 2009-4003 [C] // 7th Responsive Space Conf. Washington D C ,USA. 2009.

- [7] HAUSLER B. Space radiaton environmentally induced spacecraft anomalies and associated effects [D].
   Munich: University of Armed Forces Munich, 1995.
- [8] 姜秀杰,孙辉先,王志华,等. 航天电子系统中电子元 器件选用的途径分析 [J]. 电子器件,2005,28(1): 38-43.
- [9] 卫宁,王剑峰. 抗辐射加固封装国产存储器的电子辐 照试验 [J]. 信息与电子工程, 2010, 8(2): 87-90.
- [10] PIGNOL M. COTS-based applications in space avionics [C] // Des, Autom & Test Europ Conf & Exhib. Dresden, Germany. 2010: 1213-1219.
- [11] 王峰, 郭金生, 李晖. 商用现货器件在卫星中的应用 [J]. 航天器工程, 2013, 8(4): 87-94.
- [12] 李鹏,李永正,党炜,等. COTS器件序贯加速温度循 环评估试验方法研究[J].环境适应性与可靠性, 2017,35(4):65-69.
- [13] TEVEROSKY A, SAHU K. PEM-INST-001: 塑料 封装微电路(PEM)选择、筛选和鉴定规范[Z]. 2010.
- [14] ECSS-Q-ST-60-13C: 航天产品保证(商用电子电气机 电一体化(EEE)组件)——塑封和密封的低等级器件 选择、筛选和鉴定规范[Z]. 2013.
- [15] MURA G, VANZI M. Lot reliability issues in commercial off the shelf (COTS) microelectronic devices [J]. Microelec Reliab, 2009, 49: 1196-1199.
- [16] 袁春柱,李志刚,李军予,等. 微纳卫星 COTS 器件 应用研究 [J]. 计算机测量与控制,2017,25(2): 156-163.
- [17] 贾文远. COTS 器件的空间辐射效应实验研究 [D]. 北京:中国科学院国家空间科学中心, 2016.
- [18] 党炜. COTS应用于空间辐射环境的可靠性研究 [D]. 北京:中国科学院光电研究院,2007.
- [19] JASINSKI R, KASTENSMIDT F L, CARRO L, et al. Fault-tolerance techniques for SRAM-based FPGAs[J]. The Comput J, 2007, 50(2): 248-253.
- [20] GROENING S E. Application of fault-tolerant computing for spacecraft using commercial-off-theshelf processors [D]. Monterey: Naval Postgraduate School, 2000.

## 一种宽动态范围低失配的电荷泵

张久民,段吉海,徐卫林,韦保林,汤寒雪

(桂林电子科技大学 广西精密导航技术与应用重点实验室, 广西 桂林 541004)

**摘 要:** 采用 TSMC 0.18 μm 混合 CMOS 工艺,设计了一种应用在 GNSS 接收机中低杂散锁相 环(PLL)的宽动态范围低失配电荷泵。分析了电荷泵非理想因素和压控振荡器(VCO)调谐增益 对参考杂散的影响,发现提高电荷泵电流匹配精度和减小 VCO 调谐增益均可有效抑制锁相环的 参考杂散。采用加负反馈的源极开关型电荷泵,以实现电荷泵充放电电流的精确匹配。利用电荷 泵输出电压来控制运算放大器的不同输出支路,以拓宽电荷泵的输出电压动态范围,从而降低 PLL 输出频率范围对 VCO 调谐增益的要求。仿真结果表明,当电源电压为 1.8 V、电荷泵电流为 100 μA 时,可以实现充放电电流精确匹配,输出电压范围达到 0.02~1.78 V,参考杂散为 -66.3 dBc。

关键词: 锁相环; 电荷泵; 失配; 杂散; 模拟集成电路
 中图分类号:TN432
 文献标识码:A
 DOI:10.13911/j.cnki.1004-3365.190118

文章编号:1004-3365(2020)01-0084-06

## A Wide Dynamic Range and Low Mismatch Charge Pump

ZHANG Jiumin, DUAN Jihai, XU Weilin, WEI Baolin, TANG Hanxue

(Guangxi Key Lab. of Precision Naviga. Technol. and Applic., Guilin Univ. of Elec. Technol., Guilin, Guangxi 541004, P. R. China)

**Abstract:** A wide dynamic range and low mismatch charge pump circuit for low spur phase-locked loop (PLL) applied in global navigation satellite system (GNSS) receivers was designed in the TSMC 0.18  $\mu$ m mixed-signal CMOS process. By analyzing the effects of charge pump non-ideal factors and voltage-controlled oscillator (VCO) tuning gain on the reference spur. It was found that improving the charge pump current matching accuracy and reducing the VCO tuning gain could effectively suppress the PLL reference spur. The source-switched charge pump with negative feedback was used to achieve accurate matching of charge pump current. At the same time, the charge pump output voltage was used to control the different output branches of the operational amplifier to widen the output voltage dynamic range of the charge pump, and reduce the requirement of PLL output frequency range for the VCO tuning gain. The simulation results indicated that the charge and discharge currents could be accurately matched when the power supply voltage was 1.8 V and the charge pump current was 100  $\mu$ A. The output voltage ranged from 0.02 V to 1.78 V with the reference spur equalled to -66.3 dBc.

Key words: PLL; charge pump; mismatch; spur; analog integrated circuit

0 引 言

随着卫星导航接收机向集成化与微型化的进一

步发展,卫星导航从专业应用走向大众化应用的时 代已经到来。随着中国北斗系统的快速部署,高灵 敏度、低功耗的卫星导航接收机将成为我国卫星导 航产业的主要发展方向。锁相环式频率合成器作为

收稿日期:2019-03-08;定稿日期:2019-04-09

基金项目:国家自然科学基金资助项目(61161003);广西自然科学基金资助项目(2017JJA170452y);广西精密导航技术与应 用重点实验室主任基金资助项目(DH201806)

作者简介:张久民(1992—),男(汉族),山东潍坊人,硕士研究生,研究方向为模拟及射频集成电路设计。 段吉海(1964—),博士,教授,主要研究方向为射频集成电路设计。通信作者,E-mail:djh@guet.edu.cn。

射频接收机的"心脏",是射频接收机的关键部件之一,决定着射频接收机的整体性能<sup>[1]</sup>。PLL 的噪声 和杂散影响着接收机的灵敏度。良好的杂散性能使 得 PLL 满足接收机的灵敏度要求,同时能为其他模 块提供更多的冗余设计。PLL 的参考杂散主要由 鉴频鉴相器的死区以及电荷泵的电流失配、电荷共 享、时钟馈通等非理想因素产生。另外,为了满足 PLL 的频率范围要求,引入了较大的 VCO 调谐增 益,这也会恶化杂散性能<sup>[2]</sup>。本文对电荷泵非理想 因素和 VCO 调谐增益对参考杂散的影响进行建模 分析,改进了传统的电荷泵结构,提出一个低失配电 荷泵。通过拓宽电荷泵动态输出范围的方法降低了 PLL 输出频率范围对 VCO 调谐增益的要求,优化 了 PLL 的杂散性能。

1 参考杂散的行为级模型

#### 1.1 参考杂散的影响因素

参考杂散主要由鉴频鉴相器(PFD)和电荷泵的 非理想特性引起。这些非理想特性在 VCO 的调谐 电压处引入了周期性的纹波。该纹波对压控振荡器 的输出信号进行调制,使输出信号在参考频率频偏 处产生杂散。利用窄带频率调制理论,在时域中对 VCO 调谐电压的纹波进行建模。通过建立纹波电 压幅度与电荷泵非理想因素的数学关系,可以准确 分析 PLL 的参考杂散。

当 PLL 处于锁定状态时,理想情况下,VCO 的 调谐电压  $V_t$  是一条稳定的直线。实际情况下, $V_t$  上有一个周期脉冲  $\Delta V$ ,具体如图 1 所示。



图 1 VCO 的调谐电压

锁定状态下, ΔV 非常小。利用窄带频率调制 理论, 对 VCO 输出信号进行建模。VCO 的输 出为:

$$V_{\rm vco}(t) = V_0 \cos(\omega_0 t + K_{\rm v} | V_{\rm t} dt)$$
<sup>(1)</sup>

式中, $V_0$ 是 VCO 输出信号的幅度, $\omega_0$ 为 VCO 输出信号的初始频率, $V_t$ 为 VCO 的理想调谐电压,  $K_v$ 为 VCO 的调谐增益。对式(1)进行傅里叶变 换,展开可得:

$$V'_{t} = V_{t} + \frac{\Delta V \Delta t}{T_{ref}} + \frac{2\Delta V}{T_{ref}\omega_{ref}} \times \sum_{n \neq 0} \frac{\cos(n\omega_{ref}t)\sin(n\omega_{ref}\Delta t)}{n}$$
(2)

式中,*T*<sub>ref</sub>为参考时钟周期,ω<sub>ref</sub>为参考时钟频 率。利用贝塞尔函数和窄带频率调制理论,对式(2) 进行化简<sup>[3]</sup>,得到参考杂散的表达式:

$$P_{\rm r} = 20 \lg(\frac{K_{\rm v} \Delta V}{2\omega_{\rm ref}}) \tag{3}$$

由式(3)可知,参考杂散与 VCO 的调谐增益 K, 和 ΔV 成正比,与参考频率成反比。研究 ΔV 的影 响因素是抑制参考杂散的关键。

#### 1.2 电荷泵非理想因素对 ΔV 的影响

参考杂散正比于纹波幅度 ΔV。纹波由鉴频鉴 相器和电荷泵的非理想因素引起。对纹波进行建 模,可以理清各种非理想因素对纹波的影响程度,从 而有效抑制杂散。

锁定状态下,电荷泵传输到低通滤波器(LPF) 的电荷量为 0,即 Q=0。失配情况下,电荷泵的  $I_{up}$ 与  $I_{dn}$ 不相等,LPF 上的电荷传输公式为:

$$Q = I_{\rm cp} t_{\rm PFD} = (I_{\rm up} - I_{\rm dn}) t_{\rm PFD}$$

$$\tag{4}$$

式中, $I_{cp}$ 为流入 LPF 的净电流, $t_{PFD}$ 为 PFD 的 延迟, $I_{up}$ 和  $I_{dn}$ 分别是流入和流出 LPF 的电流。为 了简化分析,假设后级 LPF 为一个单独电容,电荷 泵上的电流对电容充电,产生 VCO 的调谐电压  $V_{t}$ :

$$V_{t}(t) = \frac{1}{C} \int I_{cp} dt$$
(5)

由于存在沟道长度调制效应,且 NMOS 与 PMOS 器件特性不同,电荷泵失配,产生非零输出 净电流,在每一个相位比较时刻,都会使 LPF 的输 出电压增加或降低。在环路锁定时,LPF 的输出电 压平均值应该是一个常数。因此,PLL 会在输入参 考信号与输出信号之间引入一个稳态相位误差,以 补偿电流不匹配所造成的影响,使得电荷泵的平均 输出净电流在一个周期内保持为 0,从而导致 VCO 的电压出现周期性的纹波,如图 2 所示。



假设  $I_{up} > I_{dn}$ ,则  $t_{dn} = t_{PFD} + t_{diff}$ , $t_{diff}$ 是 PFD 引入 的补偿差值,并且  $t_{up} = t_{PFD}$ ,则有:

$$I_{\rm up}t_{\rm up} - I_{\rm dn}t_{\rm dn} = 0 \tag{6}$$

$$I_{\rm up}t_{\rm PFD} = I_{\rm dn} \left( t_{\rm PFD} + t_{\rm diff} \right) \tag{7}$$

$$t_{\rm diff} = t_{\rm PFD} \left( \frac{I_{\rm up}}{I_{\rm dn}} - 1 \right) \tag{8}$$

VCO 调谐电压上纹波的幅度为:

$$V_{t}(t) = \begin{cases} -\frac{1}{C} \int I_{dn} dt, & \text{if } 0 < t < t_{diff} \\ \frac{1}{C} \int (I_{up} - I_{dn}) dt - \frac{I_{dn} t_{diff}}{C}, & (9) \\ & \text{if } t_{diff} \leqslant t \leqslant (t_{diff} + t_{PFD}) \\ \hline \Box \Xi, \\ I_{up} < I_{dn} \Box, \\ \Box I_{up} < I_{dn} \Box, \\ \Box I_{up} < I_{dn} \\ \end{bmatrix}$$

$$(10)$$

$$V(t) =$$

$$\begin{cases} \frac{1}{C} \int I_{up} dt, & \text{if } 0 < t < t_{\text{diff}} \\ \frac{1}{C} \int (I_{up} - I_{dn}) dt + \frac{I_{up} t_{\text{diff}}}{C}, & (11) \\ & \text{if } t_{\text{diff}} \leqslant t \leqslant (t_{\text{diff}} + t_{\text{PFD}}) \end{cases}$$

根据式(8)与式(10)可知, $t_{diff}$ 与电荷泵电流失 配成线性关系。由式(9)和式(11)可知,VCO 调谐 电压中纹波电压 ΔV 与  $t_{diff}$ 成比例。因此,电流失配 会导致较高的纹波幅度,恶化 PLL 的参考杂散。

通过对参考杂散的分析,可以得到纹波幅度和 VCO调谐增益对参考杂散的影响。通过对纹波幅 度进行建模,可以得到电荷泵电流失配对纹波幅度 的影响,进而通过式(3)得到对参考杂散的影响。采 用 Matlab 进行仿真,结果如图 3 所示。





随着 VCO 调谐增益的增大,参考杂散逐渐恶化。对于电流失配,当 $I_{up} > I_{dn}$ 时,失配越大,参考杂 散越差;当 $I_{dn} > I_{up}$ 时,在一定的失配范围内,电荷泵 的开关延迟失配使得纹波幅度减小,对参考杂散影 响较小,但超过一定范围后,同样会恶化参考杂散。 因此,提高电荷泵电流匹配精度和减小 VCO 的调 谐增益均可有效抑制 PLL 的参考杂散。

2 宽动态范围低失配电荷泵设计

#### 2.1 电荷泵的结构概述

在各种 PLL 中, 电荷泵锁相环因其具有低功 耗、高速、低抖动和低成本等优良特性,在无线通信、 频率合成器和时钟恢复电路中被广泛采用。本质 上,电荷泵可被简单地描述为由2个带开关的电流 源组成的电路。鉴频鉴相器的输出信号 UP 与 DN 分别控制电荷泵的电流源对 LPF 充放电,将与相位 差 φ 成正比的脉冲宽度转换为控制 VCO 频率的平 均电压。目前,应用较为广泛的电荷泵结构包括电 流舵开关型、纯 NMOS 开关型和源极开关型<sup>[4]</sup>等结 构。电流舵结构速度快,但是,由于开关的漏端与输 出相连,开关开启时会有很大的过冲电流流入输出 端。纯 NMOS 开关结构具有延时匹配良好的优点, 但是,电流镜很难在实现精确电流匹配的同时达到 很高的速度。源极开关型结构具有电流过冲小、功 耗低、开关速度快的优点,但由于存在沟道长度调制 效应,以及 PMOS 与 NMOS 器件的工艺特性不同, 很难做到精确的电流匹配。在源极开关型电荷泵中 加入负反馈结构,可以有效提高电荷泵的匹配精度。

#### 2.2 宽动态范围电荷泵设计

通过对参考杂散的建模可以发现,减小电荷泵 的电流失配和降低 VCO 的调谐增益均可抑制 PLL 的参考杂散。受限于 PLL 输出频率的要求,可以拓 宽电荷泵的输出动态范围来降低调谐增益,最终优 化 PLL 的参考杂散。已有许多文献提出拓宽电荷 泵动态范围的方法。文献[5]中,利用双运放和工作 在线性区的尾流管损耗极小阈值电压的特点,实现 了电流的精确匹配以及较宽的动态范围,但是,工作 在线性区的尾流管限制了电荷泵的电流,电流约为 10 μA,限制了电荷泵的应用场合。文献[6]中,利 用添加支路电流反馈的方法,降低了低压区间充电 电流和高压区间放电电流,实现了极宽的动态范围, 但牺牲了匹配电流的平坦度,会导致 PLL 的环路带 宽发生变化,不能有效抑制 PLL 的相位噪声。文献 「7]中,基于电流补偿方法,同时对低压区间(0~ 0.9 V)的放电电流和高压区间(0.9~1.8 V)的充 电电流进行补偿,拓宽了电荷泵的电压输出范围,但 是,该电路采用传统的源极开关结构,电流镜很难做 到精确匹配。同时,用于补偿的 MOS 管对电压精 度要求较高,使得该电路受 PVT 特性的影响较大。 因此,如何在保证电荷泵电流匹配精度的条件下拓

宽电荷泵的输出动态范围,这是本文的研究重点。

传统的带负反馈的源极开关型电荷泵如图4(a) 所示。由于 MOS 管的沟道长度调制效应,电荷泵 电流只在很小的电压范围内实现电流匹配。通过采 用共源共栅结构,增加了镜像电流源的输出阻抗,提 高了电荷泵的电流匹配精度。输出端与参考端的电 压不同,即漏极电压不同,使得电荷泵电流不能精确 镜像参考电流,通过加入运算放大器,可使 X 点电 压始终与 $V_{\text{etrl}}$ 相等。在 MOS 管宽长比 M3=M7、  $M_4 = M_8$ ,  $M_1 = M_5 = M_9$ ,  $M_2 = M_6 = M_{10}$  的情况 下,当电流源与电流沉同时导通时(UPB为"0",DN 为"1"),  $I_{ref} = I_1 = I_2$ , 保证了电荷泵电流的精确镜 像。分别对图 4(a)和图 4(b)所示的电荷泵进行直 流仿真,得到的电荷泵电流匹配特性曲线分别如图 4(c)、图 4(d)所示。两者的电流匹配误差<1%。 不同的是,图4(c)中的电流在0~1.5 V电压范围 内精确匹配,图4(d)中的电流在 0.3~1.8 V 电压 范围内精确匹配。可以看出,两者分别在低压区间 和高压区间拥有较好的匹配特性。

针对上述电荷泵存在的不足和源极开关型电荷 泵的匹配特点,本文提出的改进电荷泵如图5所示, 包括充电和放电电路、电流源镜像电路、开关电压反 馈网络。







充电支路由 M9、M10 管构成,放电支路由 M11、M12 管构成。它们分别构成共源共栅结构, 通过提高输出阻抗的方式,提高了充放电电流的匹 配精度。

开关电压反馈网络由施密特触发器 SCH、反相器 INV、传输门 TG1~TG4 组成。在 PLL 处于锁定状态下,当  $V_{etrl}$ 工作在低压区间(0~0.9 V)时,通过运算放大器 OP 的箝位作用, $V_x = V_{etrl}$ 。 $V_x$  经过施密特触发器,此时,SWB="1",SW="0",使得传输门 TG2 与 TG3 导通,TG1 与 TG4 截止。此时,改进电荷泵的工作状态与图 4(a)所示电荷泵相同。由  $I_{ref2}$ 作为镜像电流源,运算放大器控制 M6、M10 管的栅极,使得电流源与电流沉精确匹配。此时,低压区间的电流匹配特性曲线与图 4(c)中低压部分相同。当  $V_{etrl}$ 工作在高压区间时(0.9~1.8 V),此时 SWB="0",SW="1",使得传输门 TG1 与 TG4 导通,TG2 与 TG3 截止。此时,改进

电荷泵的工作状态与图 4(b)所示电荷泵相同。由 *I*<sub>refl</sub>作为镜像电流源,运算放大器控制 M7、M11 管 的栅极,使得电流源与电流沉精确匹配。此时,高压 区间的电流匹配特性曲线与图 4(d)中高压部分相 同。通过开关电压反馈网络,电荷泵在低压区间和 高压区间均可实现精确的电流匹配。在电流精确匹 配的情况下,电荷泵只需单个运算放大器就实现了 轨至轨的输出动态范围。

改进电荷泵中,M6、M7、M10、M11 管分别与 运算放大器构成四个环路,需要考虑环路稳定性 问题。为了提高电容 C1、C2 对环路补偿的有效 性,运算放大器采用具有恒定单位增益带宽的恒 跨导轨对轨运放结构<sup>[8]</sup>。通过环路补偿,满足了 环路稳定性要求。

在 PLL 锁定过程中,电荷泵的输出电压会产 生较大的波动。为了准确判决输出端的高低电 位,在 X 点加入施密特触发器 SCH,防止因输出端 波动导致判决输出误码而使 PLL 失锁或锁定时间 较长。

为了保证电荷泵的电流匹配精度和输出电压动 态范围,采用自偏置高摆幅镜像电流源(电路图中用 理想电流源代替)。这种结构的电流源可独立于电 源电压。

由于电荷共享主要由开关位置确定,通过选择合适的开关位置可以减少电荷共享<sup>[9]</sup>。采用源极开关型电荷泵,可以降低电荷共享对参考杂散的影响。

综上所述,本文提出的电荷泵利用输出电压 来控制运算放大器的不同输出支路,拓宽了电荷 泵的输出电压动态范围,降低了 PLL 输出频率范 围对 VCO 调谐增益的要求,优化了 PLL 的杂散 性能。

3 版图与仿真结果

#### 3.1 电荷泵的版图

本文设计的电荷泵基于 TSMC 0.18 μm CMOS 工艺实现。电荷泵的整体版图如图 6 所示。 电源电压为 1.8 V, 仿真环境为 Cadence 中的 SpectreRF。电荷泵中,电流镜电路的版图对称性与 电流匹配性能直接相关。为了保证电流镜电流匹配 的准确性,采用沟道长度较长的 MOS 管。其中,大 尺寸 MOS 管采用叉指结构,同时采用共质心结构 来改善匹配情况。



图 6 电荷泵的整体版图

#### 3.2 电荷泵仿真结果

为了测试电荷泵充放电电流的匹配精度,利用 直流扫描方法得到电荷泵电流的匹配性能,如图 7 所示。本文对传统电荷泵进行改进,在保证电荷泵 电流匹配精度的前提下拓宽了电荷泵的输出动态范 围,接近轨至轨电压。



电荷泵电流失配的工艺角仿真结果如图 8 所示。在工艺角分别为 TT、FF、SS 的情况下,电流失 配精度均小于 0.5%。



为了验证电荷泵对 PLL 杂散性能的影响,搭建 了一个 2 阶整数频率合成器。PFD 采用 TSPC 型 结构,开关信号能实现很好的匹配。VCO 和分频器 采用 Verilog-A 语言来实现。参考时钟为 16.368 MHz 的理想方波信号。环路滤波器的参数根据文 献[10]的算法得到。PLL 锁定时,VCO 的输出信 号功率谱密度如图 9 所示。本文与部分文献中电荷 泵的参数比较结果如表 1 所示。与传统电荷泵相 比,在保证电流匹配精度的前提下,本文电荷泵具有 较宽的输出电压动态范围。宽动态范围的电荷泵可 以在保证输出频率范围的条件下,降低 PLL 对 VCO 调谐增益的要求,进而抑制 PLL 的参考杂散。 在 16.368 MHz 频偏处,采用本文电荷泵的 PLL 的 参考杂散为 - 66.3 dBc,验证了电荷泵的低杂散 特性。



表 1 本文与其他文献中电荷泵的参数比较结果

对比文献	CMOS 工艺/µm	电源/V	电流/ $\mu A$	电流失配/%	参考杂散/dBc	电压范围/V	动态范围/%
文献[5]	0.18	1.8	10	<1	-58	-	95
文献[6]	0.04	0.8	125	<1.5	-	0.02~0.76	93
文献[7]	0.18	1.8	10	<2.35	-62	0.15~1.60	82
本文	0.18	1.8	100	<0.5	-66.3	0.02~1.78	98

### 4 结 论

本文对 PLL 参考杂散进行建模,分析了电流失 配和 VCO 调谐增益对参考杂散的影响,提出了宽 动态范围低失配电荷泵的设计方法。轨对轨运算放 大器使电荷泵充放电电流能精确匹配,利用开关电 压反馈的方法,拓宽了电荷泵的输出电压动态范围, 在满足 PLL 输出频率范围的要求下降低了 VCO 的 调谐增益,有效抑制了 PLL 的参考杂散。本文提出 的拓宽电荷泵输出电压动态范围的方法具有普遍 性,适用于多数高性能 PLL。

## 参 考 文 献:

- [1] YAN D, LI J C, GU X C, et al. A constant loop bandwidth fraction-N frequency synthesizer for GNSS receivers [C] // CCF National Conf Comput Engineer & Technol. Xining, China. 2013; 163-170.
- [2] 池保勇,于志平,石秉学. CMOS 射频集成电路分析 与设计 [M]. 北京:清华大学出版社, 2006: 518-519.
- [3] KAMAL N. Reference spurs in an integer-N phase-locked loop: analysis, modelling and design [D]. Adelaide: The University of Adelaide, 2013.

- [4] CAI D Y, FU H P, CHEN D F, et al. An improved phase/frequency detector and a glitch-suppression charge pump design for PLL applications [C] // IEEE 10th ICSICT. Shanghai, China. 2010: 773-775.
- [5] SOLEIMAN E, KAMAREI M. New low current mismatch and wide output dynamic range charge pump [C] // IEEE 19th ICEE. Tehran, Iran. 2011: 1-5.
- [6] ZHONG D D, HAN Y, SUN J, et al. A perfectly current matched charge pump with wide dynamic range for ultra low voltage applications [J]. IEICE Elec Expr, 2014, 11(23): 1-6.
- [7] AZADMOUSAVI T, AZADBAKHT M, AGHDAM E N, et al. A novel zero dead zone PFD and efficient CP for PLL applications [J]. Analog Integr Circ & Signal Process, 2018, 95(1): 83-91.
- [8] 刘华珠,黄海云,宋瑞. 低功耗轨至轨 CMOS 运算放 大器设计 [J]. 半导体技术, 2011, 36(6): 463-465.
- [9] RHEE W. Design of high-performance CMOS charge pumps in phase-locked loops [C] // IEEE Int Symp Circ & Syst. Orlando, FL, USA. 1999, 2: 545-548.
- [10] THOMPSON I V, BRENNAN P V. Fourth-order PLL loop filter design technique with invariant natural frequency and phase margin [J]. IEE Proceed Circ, Dev & Syst, 2005, 152(2): 103-108.

# 一种 2 µm GaAs HBT 低相噪宽带 VCO

蔡运城,曹 军,赵君鹏,吴凯翔,高海军 (杭州电子科技大学"射频电路与系统"教育部重点实验室,杭州 310018)

摘 要: 提出了一种 2 μm GaAs HBT 工艺的低相噪宽带压控振荡器(VCO)。与 CMOS 工艺相 比,采用 HBT 工艺设计的 VCO 噪声性能更好,具有较大的电流放大倍数和跨导。该 VCO 采用差 分 Colpitts 结构,并对无源器件进行结构优化,在 4.1 GHz 处,片上螺旋电感的品质因数超过 21, 实现了较低的相位噪声。通过二极管组成变容阵列,实现了较宽的调谐范围。流片测试结果表 明,VCO 调谐范围为 3.370~4.147 GHz,最大输出功率为-16.13 dBm,直流功耗为 43 mW。在 振荡频率为 4.1 GHz 时,相位噪声为-125.2 dBc/Hz@1 MHz。该 VCO 在相对较宽的调谐范围 内实现了较低的相位噪声。

关键词: 压控振荡器;电容阵列; Colpitts 结构;相位噪声;宽带
 中图分类号:TN752; TN432
 文献标识码:A
 文章编号:1004-3365(2020)01-0090-05
 DOI:10.13911/j.cnki.1004-3365.190119

## A 2 µm GaAs HBT Low Phase Noise Wideband VCO

CAI Yuncheng, CAO Jun, ZHAO Junpeng, WU Kaixiang, GAO Haijun (Key Lab. for RF Circuits and Systems of Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, P. R. China)

**Abstract:** A low phase noise wideband voltage controlled oscillator based on 2  $\mu$ m GaAs HBT process was proposed. Compared with that of CMOS technology, the HBT technology based VCO had better phase noise, larger current amplification and transconductance. The circuit used differential Colpitts structure, and was structurally optimized for passive components. The quality factor of the on-chip spiral inductor reached 21 or higher at 4.1 GHz, achieving lower phase noise. A variable array was formed by diodes to achieve a wide tuning range under this process. It was taped out and tested. The tested results showed that the tuning range of VCO was 3.370 GHz to 4.147 GHz. The maximum output power was -16.13 dBm, and the DC power consumption was 43 mW. At an oscillation frequency of 4.1 GHz, the phase noise was -125.2 dBc/Hz@1 MHz. The VCO achieved lower phase noise over a relatively wide tuning range.

Key words: voltage controlled oscillator; varactor array; Colpitts structure; phase noise; wideband

0 引 言

近年来,高速无线通信技术不断进步,在S、C、 K等波段工作的射频集成电路得到快速发展<sup>[1]</sup>,被 广泛应用于通信卫星和各类卫星地面站。

VCO 是锁相环(PLL)中最重要的模块之一,是

无线收发机所有单元电路中得到较多关注的射频单 元电路。2014年,J. Huang 等人基于 0.18  $\mu$ m CMOS 工艺,设计了一种 5.6 GHz 的低噪声 VCO, 采用 Colpitts 结构,调谐范围为 5.13~5.98 GHz, 相位噪声为-125.20 dBc/Hz@1 MHz,最大输出 功率可达-14.68 dBm<sup>[2]</sup>。2018年,武岳等人基于 1  $\mu$ m GaAs HBT 工艺,设计了一种 23.5 GHz 的低

收稿日期:2019-03-08; 定稿日期:2019-04-03

基金项目:国家自然科学基金重点资助项目(61871161);浙江省自然科学基金资助项目(LZ17F010001)

作者简介:蔡运城(1995—),男(汉族),浙江温州人,硕士研究生,研究方向为射频集成电路设计。

噪声 VCO,采用差分改进 π 形结构,调谐范围为 23.123~23.851 GHz,相位噪声为-103.12 dBc/ Hz@1 MHz,最大输出功率可达-1.68 dBm<sup>[3]</sup>。

目前,低噪声宽带 VCO 的主要问题是噪声性 能较差、调谐范围较窄。原因有两方面:一是噪声性 能与调谐范围相互制约,要想同时实现宽调谐范围 和低相位噪声,难度较大;二是无源器件在高频段的 损耗很大。

针对上述原因,本文基于 Sanan 公司的 2 μm GaAs HBT 工艺,设计了一种 4.1 GHz 低相噪宽带 VCO。使用大量的二极管组成变容阵列,以增大 VCO 的调谐范围,并对电路中无源器件进行结构优 化,采用高品质因数(Q值)的差分螺旋电感来提高 相位噪声,可同时实现较宽的调谐范围和较低的相 位噪声。

1 电路设计

#### 1.1 低相噪 VCO

Colpitts 振荡器又称电容三点式振荡器,是反 馈型 LC 振荡器之一。最常见的结构是两个串联电 容分别连接在三极管的基极、发射极、集电极之间, 电感则连接在 HBT 的集电极与基极之间,构成谐 振回路。在反馈型振荡器中,相比于 Hartley VCO 和 Clap VCO,Colpitts VCO 具有芯片面积小、输出 波形稳定、适用于更高工作频率、设计简单等优势。 本文设计目标是使 VCO 在相对较宽的调谐范围内 具有 较高 的噪声性能。图 1 所示为差分对称 Colpitts VCO 的部分结构,这是 Colpitts VCO 的 基础。



图 1 Colpitts VCO 的部分结构

图 1 中,电压 V<sub>BB</sub> 通过 R<sub>B</sub> 分压,在三极管基极 提供偏置电压,使三极管工作在线性区。不同的 V<sub>BB</sub>对电路相位噪声会有影响,因此,选择合适的偏 置电压 V<sub>BB</sub>十分重要。为了减小三极管发射极电阻 R<sub>E</sub> 对电路相位噪声的恶化,采用大电阻。但是,过 大的电阻会使输出电压减小。因此,选取 R<sub>E</sub> 时,需 要权衡电路相位噪声与输出电压。L 是差分螺旋电 感,差分对称结构使得电感品质因数更高,能够提高 电路的噪声性能,并且使整体芯片尺寸较小。

根据谐振回路,总电容为:

$$C = \frac{C_1 C_2}{C_1 + C_2}$$
(1)

特性阻抗为:

$$Z_{\rm C} = \sqrt{\frac{L}{C}} \tag{2}$$

中心频率为:

$$\omega_0 = \sqrt{\frac{1}{LC}} \tag{3}$$

电容比为:

$$n = \frac{C_1}{C_1 + C_2} \tag{4}$$

首先分析电容比 n。若增大 n,会降低导通角和 脉冲灵敏度<sup>[4]</sup>,减小相位噪声。但是,谐振回路的输 出电压摆幅也会受 n 的影响。当 n 值较大时,谐振 回路的输出电压会减小。在脉冲敏感度与输出电压 之间进行折中,可以得到一个较优的 n 值。文献[4] 中,A. Hajimiri 等人通过仿真证明了双极型振荡器 的最佳 n 值约为 0.2。文献[5]中,为了使相位噪声 更低,n 值可以略高,谐振回路的输出电压减小部分 可以通过增加直流电流和增大电流摆幅来补偿。对 于本文电路,n 值取为 0.43。

VCO 的特性阻抗  $Z_c$  对电路的电流和电压也有 影响。 $Z_c$  越大,电流越大,电压越小,相位噪声越 低。值得注意的是,过大的  $Z_c$  会使 VCO 处于电压 受限区,过小的  $Z_c$  会使 VCO 工作在电流受限区, 而且  $Z_c$  过小容易导致器件发生物理击穿。因此, 选取  $Z_c$  时,需要权衡输出电压与相位噪声。

#### 1.2 低相噪宽带 VCO

实现宽带振荡器的主要方法有电容调谐和电感 调谐。工作在毫米波以下频段时,电容的 Q 值远大 于电感,所以电感对于整体电路 Q 值的影响占主导 地位。选择电感调谐会增加芯片尺寸,还可能会影 响电路噪声性能。现有的 2 μm GaAs HBT 工艺未 提供变容二极管,只能选取普通的二极管来代替。 将二极管组成变容阵列,可以极大地提高 VCO 调 谐范围,但会增大相位噪声。设计 VCO 时,应权衡 调谐范围与相位噪声。

加入二极管后, Colpitts VCO 的原理图如图 2 所示。使二极管工作在反向偏置状态, 起到变容管 的作用。二极管的势垒电容与反相偏置电压成负相 关, 反向偏置电压越大, 二极管的势垒电容越小。通 过实验仿真, 得到 GaAs HBT 工艺下二极管的电容 电压曲线, 如图 3 所示。通过改变控制电压, 可以调 谐 VCO 振荡频率, 将二极管组成变容阵列, 以增大 可调谐频率范围。





图 2 中, C<sub>1</sub> 与 C<sub>2</sub> 串联, 再与 C<sub>L</sub> 并联, 总电容为:

$$C = C_{\rm L} + \frac{C_1 C_2}{C_1 + C_2} \tag{5}$$

根据式(2)和式(3),为了保持 $\omega_0$ 和 $Z_c$ 不变, $C_1$ 和 $C_2$ 必须随着 $C_L$ 的升高而降低,同时保持电容比n不变。定义电容比 $n_R$ 为 $C_L$ 在总电容中所占的比例,有:

$$n_{\rm R} = \frac{C_{\rm L}}{C_{\rm L} + \frac{C_{\rm I}C_{\rm 2}}{C_{\rm I} + C_{\rm 2}}} \tag{6}$$

根据式(2)~式(6),可得:

$$C_1 = \frac{1}{Z_{\rm C}\omega_0} + \frac{1 - n_{\rm R}}{1 - n} \tag{7}$$

$$C_2 = \frac{1}{Z_C \omega_0} + \frac{1 - n_{\rm R}}{n} \tag{8}$$

*n*<sub>R</sub>取值越大,表示*C*<sub>L</sub>容值越大,VCO 调谐范 围将越大。但是,*n*<sub>R</sub>取值过大会导致 VCO 输出波 形不稳定,噪声性能相对较差。不存在最优的取值, 能够使 VCO 调谐范围、相位噪声和输出摆幅同时 达到最好,仅能通过折中,尽量在较宽的调谐范围内 达到较低的相位噪声。

VCO 连接输出缓冲器输出信号,信号从三极管 基极进入,从集电极输出,目的是提高输出功率。近 似于外接单级放大器,它具有一定的增益。VCO 工 作时,从输出端看进去的阻抗为负值,为了与其他电 路连接,将 VCO 输出阻抗调谐到 50 Ω。此时加一 个输出缓冲器,通过电感和电容来实现 50 Ω 阻抗匹 配。输出缓冲器还能提高隔离度和驱动能力。由于 VCO 受负载影响很大,它若直接与混频器相连,易 受到混频器干扰,电路无法起振。

#### 1.3 无源器件

射频电路性能低的主要原因之一是无源器件损 耗较大。工作在毫米波以下频段的电路中,电容的 Q值远大于电感。因此,电感的Q值对电路性能有 着至关重要的影响。电感实现方式之一是在工艺衬 底上将金属层绕成平面螺旋几何形状。例如,方形、 六角形、八角形等形状的电感因布局简单,被广泛 使用。

提高电感Q值的方法有很多。例如,采用最上 层金属布局,采用差分布局结构,在螺旋电感与衬底 之间插入地阻隔层等。在现有工艺下,为了实现高 Q值的电感,并且使整体芯片尺寸较小,本文设计了 带中心抽头的差分对称结构圆形螺旋电感,如图 4 所示。

平面螺旋电感的感值公式为[6]:

$$L_{\rm gmd} = \frac{\mu n^2 d_{\rm avg} c_1}{2} (\ln \frac{c_2}{\rho} + c_3 \rho + c_4 \rho^2)$$
(9)

式中,n 为差分螺旋电感的圈数; $\mu$  为绝对磁导 率,其值为常数,即  $4\pi \times 10^7$ ;根据文献[10],在圆形 电感的条件下, $c_1$ 、 $c_2$ 、 $c_3$ 、 $c_4$ 分别取值为 1、2.46、0、 0.2; $d_{avg}$ 为螺旋电感的平均直径, $\rho$ 为螺旋电感的填 充比,计算公式分别为:

$$d_{\rm avg} = \frac{d_{\rm out} + d_{\rm in}}{2} \tag{10}$$

$$\rho = \frac{d_{\text{out}} - d_{\text{in}}}{d_{\text{out}} + d_{\text{in}}} \tag{11}$$

式中,*d*<sub>out</sub>为螺旋电感的外径,*d*<sub>in</sub>为螺旋电感的内径。



图 4 差分螺旋电感

当螺旋电感中相邻电感圈之间的金属间距 s 与 金属宽度 w 的关系为 s ≤ 3w 时,式(9)的感值误差 小于 8%,感值计算的准确性会随着 s/w 的增大而 降低。

VCO 工作在 4.2 GHz 时,电感感值约为 1.34 nH。根据式(9),n为2,d<sub>in</sub>为170 μm,d<sub>out</sub>为 310 μm,s为10 μm,w为30 μm。电感的Q值曲线 如图5所示。可以看出,电感的Q值可达21 以上。 电感的Q值越高,整体电路的噪声性能越好。



2 版图仿真和测试结果

本文基于 2 µm GaAs HBT 工艺,采用 Keysight

公司 EDA 工具 Advanced Design System,对提出的低 相噪宽带 VCO 进行设计与仿真。整体电路版图如 图 6 所示,版图尺寸为 1 500 µm×900 µm。图 7 所 示为芯片照片。芯片位于 PCB 版的中央位置,通过 键合线连接到对应管脚。

图 8 所示为 VCO 振荡频率随控制电压的变化 曲线。控制电压 V<sub>tune</sub>为 0~5 V,振荡频率为 3.370~ 4.147 GHz,表明 VCO 拥有较宽的调谐范围。

不同频率对应的输出波形曲线如图 9 所示。从 上 到 下, VCO 分 别 工 作 在 4.147、3.750 和 3.370 GHz。



图 6 整体电路版图



图 7 芯片照片





图 9 不同频率的输出波形曲线

当 VCO 工作在 4.1 GHz 时,VCO 的相位噪声 曲线如图 10 所示,输出频谱如图 11 所示。可以看 出,相位噪声为-125.2 dBc/Hz@1 MHz,信号功 率为-16.13 dBm,信号在传输过程中有衰减。本 文设计的 VCO 能够在相对较宽的调谐范围内实现 良好的噪声性能。

表1列出部分文献中 VCO 与本文 VCO 的性能参数对比结果。可以看出,本文 VCO 通过提高无源器件Q值和变容阵列的方式,实现了良好的噪



图 11 4.1 GHz 下 VCO 的输出频谱

对比文献	工艺	电源电压/V	调谐范围/GHz	相位噪声/ (dBc•Hz <sup>-1</sup> @1 MHz)	最大输出 功率/dBm	功耗/mW
文献[2]	0.18 μm CMOS	1.8	5.13~5.98	-105.83	-14.68	5.6
文献[3]	$1~\mu{\rm m}$ GaAs HBT	— 6	23.13~23.85	-103.12	-1.68	72.0
文献[10]	2 $\mu \mathrm{m}$ GaAs HBT	4	5.31~5.43	-127.40	-4.00	79.6
本文	2 μm GaAs HBT	5	3.370~4.147	-125.20	-16.13	43.0

表 1 部分文献中 VCO 与本文 VCO 的性能参数对比结果

## 3 结 论

本文基于 Sanan 公司的 2 µm GaAs HBT 工艺,设 计了一款 S 波段低相噪宽带 VCO。采用高 Q 值的差 分电感结构,实现了低相位噪声。采用变容阵列,提高 了调谐范围。测试结果表明,相位噪声为-125.2 dBc/ Hz@1 MHz,调谐范围为 3.370~4.147 GHz,电源电压 为 5 V,最大输出功率为-16.13 dBm,直流功耗为 43 mW。本文 VCO 在较宽的调谐范围内实现了较低 的相位噪声。这种结构可用于 X 波段、Ku 波段等频段 的电路设计中,对于无线通信市场射频前端模块领域 具有重要的应用意义。

#### 参考文献:

- [1] FLORIAN C, ANGELO S D, RESCA D, et al. A chip set of low phase noise MMIC VCOs at C, X and Ku band in InGaP-GaAs HBT technology for satellite telecommunications [C] // IEEE MTT-S Int Microwave Symp. Honololu, HI, USA. 2017: 1148-1151.
- [2] HUANG J, LAI W C, YANG J L. Chip design of a 5. 6-GHz 1-V wide tuning range frequency synthesizer with Gm-boosting Colpitts VCO for biomedical application [C] // IEEE ISBB. Chung Li, China. 2014: 1-5.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020 年 2 月	Microelectronics	Feb. 2020

## 基于 HBT 工艺的高功率低相位噪声 QVCO

曹 军,蔡运城,赵君鹏,吴凯翔,高海军

(杭州电子科技大学"射频电路与系统"教育部重点实验室,杭州 310018)

摘 要: 基于 Sanan 2 μm GaAs HBT 工艺,提出了一种差分 Colpitts 结构的高功率低相位噪声 正交压控振荡器(QVCO)。该 QVCO 采用四只环形连接的二极管,通过二次谐波反相作用,迫使 压控振荡器基波正交。该 QVCO 比传统串并联晶体管耦合电路具有更高的输出功率和更低的相 位噪声。仿真结果表明,该 QVCO 的调谐范围为 12.98~14.05 GHz。振荡频率为 13.51 GHz 时,输出信号功率为 12.557 dBm。相位噪声为-117.795 dBc/Hz @1 MHz。 关键词: 异质结双极晶体管;正交压控振荡器;高功率;低相位噪声

中图分类号:TN431;TN752 文献标识码:A 文章编号:1004-3365(2020)01-0095-06 DOI:10.13911/j.cnki.1004-3365.190162

## A High Power Low Phase Noise QVCO Based on HBT Process

CAO Jun, CAI Yuncheng, ZHAO Junpeng, WU Kaixiang, GAO Haijun

(Key Lab. for RF Circuits and Systems of Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, P. R. China)

**Abstract:** A high power and low phase noise QVCO with a differential Colpitts structure was designed in San'an 2  $\mu$ m GaAs HBT process. The circuit was coupled with four ring-connected diodes, and the fundamental wave of the VCO was orthogonalized by the second harmonic inversion. Compared with the traditional series-parallel transistor coupling method, the proposed circuit had a higher output power and a lower phase noise. The simulation results showed that the QVCO tuning range was 12.98 GHz ~ 14.05 GHz. When the oscillation frequency was 13.51 GHz, the output signal power was 12.557 dBm, and the phase noise was -117.795 dBc/Hz @1 MHz.

Key words: HBT; QVCO; high power; low phase noise

0 引 言

近几年来,物联网技术和无线通信技术迅速发展,频谱中低频段的利用率已趋于饱和。对应用于 射频、毫米波频段的收发机前端,是研究的重要 目标。

射频 QVCO 是收发机前端不可或缺的部分,其 性能的好坏直接影响后级乃至整个收发机的工作状态。为了最大限度地降低有用信号的损耗,需要 QVCO 可产生两路正交信号的处理通道,且具有低 功耗、低相位噪声、稳定输出幅值的特性。

文献[1]提出了一种基于电流复用技术的 QVCO,构成一种紧凑型差分三端口变压器,该 QVCO电路具有低电压、低相位噪声的优点。文献 [2]提出了一种新型对称尾电流技术,降低了 QVCO的相位噪声。已有文献提出了分裂切换偏 置技术<sup>[3]</sup>、变压器技术<sup>[4-6]</sup>、栅极调制耦合和变压器 反馈技术<sup>[7]</sup>、噪声漂移耦合技术<sup>[8]</sup>、电感调谐技术<sup>[9]</sup> 等技术。

VCO产生正交信号的方法有 RC-CR 相移法、频率除法器法和晶体管耦合法。RC-CR 相移法只

收稿日期:2019-03-29;定稿日期:2019-04-23

**基金项目:**国家自然科学基金资助项目(61871161,61827806)

作者简介:曹 军(1994—),男(汉族),安徽芜湖人,硕士研究生,研究方向为射频集成电路设计。

能产生一个频率点的正交信号,功耗较大。频率除 法器法利用触发器来产生正交信号,要求输入信号 频率很高,功耗较大。晶体管耦合法与环形振荡器 类似,在输出端产生正交信号,有并联耦合和串联耦 合两种方式。该电路的电源电流消耗较大,难于实 现低功耗。

为解决上述问题,采用 GaAs HBT 工艺,本文 提出了一种四只环形连接的二极管耦合结构,该 QVCO 的功耗为 26.3 mW,芯片核心面积为 0.84 mm<sup>2</sup>,可工作在 ku 波段。该 QVCO 具有高输 出功率、低相位噪声的优点。

1 QVCO设计

#### 1.1 片上螺旋电感

片上螺旋电感是射频毫米波电路设计中常用的 无源器件之一。整个电路中,由于变容管的品质因 数(Q值)远远大于片上螺旋电感,所以整个电路的 性能主要取决于螺旋电感的Q值。

目前国内外提出了很多提高电感品质因数的 方法,例如,使用空心螺旋结构电感,采用最上层 且多层金属并联方式,在螺旋电感下方添加 PGS等。

在当前工艺允许的条件下尽可能提高电感的 Q 值,采用带中心抽头的圆形差分螺旋电感,根据 S. S. Mohan 提出的感值计算公式<sup>[10]</sup>:

$$L_{\rm gmd} = \frac{\mu N^2 d_{\rm avg} c_1}{2} \left( \ln \frac{c_2}{\rho} + c_3 \rho + c_4 \rho^2 \right)$$
(1)

式中, $\mu$ 为自由空间的绝对磁导率,通常为4 $\pi$ × 10<sup>7</sup>。N为螺旋电感的圈数。 $d_{avg}$ 、 $d_{out}$ 、 $d_{in}$ 分别为螺 旋电感的平均直径、外径和内径, $d_{avg} = 0.5(d_{out} + d_{in})$ 。 $\rho$ 为螺旋电感的填充系数, $\rho = (d_{out} - d_{in})/(d_{out} + d_{in})$ 。在圆形电感中,常数 $c_1$ 、 $c_2$ 、 $c_3$ 、 $c_4$ 分别 为 1.00、2.46、0、0.2。式(1)的准确性随着金属间 隙 s 与金属宽度 W 的比值增大而变差。通常,s 3W,最大误差为 8%,具有较高的准确性。

在频率点为 13.5 GHz 时,需要电感值为 405 pH 的电感。根式(1),使 N=1,d<sub>in</sub>=200 μm,d<sub>out</sub>= 400 μm。该差分螺旋电感的结构如图 1 所示。

经过 EM 仿真,在该频点下,螺旋电感的电感值 与频率的关系曲线如图 2 所示,螺旋电感的 Q 值与 频率的关系曲线如图 3 所示。可以看出,电感值为 403.2 pH,Q值为 78.872。本文的片上螺旋电感符 合感值要求,Q值良好。



图 3 螺旋电感的 Q 值与频率的关系曲线

#### 1.2 差分 Colpitts 结构的 VCO

Colpitts 振荡器也称为电容三点式振荡器,属 于反馈型 LC 振荡器,其增益器件的输出反馈到输 入端。反馈电路包含 LC 并联调谐电路,实现一个 振荡频率固定的带通滤波器。具有差分 Colpitts 结 构的 VCO 单元如图 4 所示。

晶体管输出端与输入端的信号同相,通过反馈 信号的不断累加,经过一个增益器件后,信号幅度不 停地放大,从而实现自激振荡。Colpitts 振荡器的 高次谐波成分小,输出波形好,频率稳定度相对较 好,工作频率高。

 $C_1$ 、 $C_2$ 采用变容二极管,工作在反向偏置状态。 反向偏压的绝对值越大,势垒电容越小。通过改变 控制电压来改变容值,从而改变振荡频率。电压  $V_{\text{bias}}$ 通过基极电阻  $R_1$ 提供偏置电流,使得晶体管工 作在线性区。 $R_1$ 应选择较大的阻值,使其对整个电 路的影响最小。选择合适的偏置也有助于降低相位 噪声。源极电阻  $R_2$ 、 $R_3$ 需采用大的阻值,但如果过 大,会消耗电路的直流能量,使得输出信号的幅度减 小。因此,应在相位噪声与功率输出之间进行折中。 电感  $L_1$ 为第 1.1 节设计的带中心抽头、拥有高 Q 值 的差分电感,面积更小且布局对称。



图 4 具有差分 Colpitts 结构的 VCO 单元

根据电路的对称性,振荡器的等效电容为:

$$C_{\text{tot}} = \frac{C_3 \times C_5}{C_3 + C_5} + C_1$$
(2)  
则,振荡频率为:

$$\omega = \frac{1}{\sqrt{L_1/(2C_{\text{tot}})}} \tag{3}$$

电容分配比为:

$$n = \frac{C_3}{C_3 + C_5} \tag{4}$$

增大电容分配比 n 会降低导通角和脉冲敏感函数,从而降低相位噪声。但是,谐振回路的电压摆幅 会受 n 的影响。若 n 值过大,相位噪声会恶化。应 该找到最佳的 n 值。经过多次反复实验,本文的 n 值取为 0.311。

#### 1.3 整体电路

QVCO分为并联耦合 QVCO(P-QVCO)和串 联耦合 QVCO(S-QVCO)。P-QVCO 通过并联耦 合,强制使两个一样的 VCO 振荡,该类 QVCO 在相 位和幅度上拥有较小的误差。S-QVCO 通过串联 耦合组成,能有效抑制折叠器件的噪声,降低相位噪 声,但消耗功率较大,不能在低电压下振荡。

本文的 QVCO 由两个一样的差分 Colpitts 结构通过四个二极管环形耦合级联而成,结构如图 5 所示。该 QVCO 的消耗功率小,能输出较大幅值的 正弦信号,芯片面积小,比传统晶体管耦合结构的性 能更好。



以下通过公式计算来分析二极管环形耦合电路 能否使两个振荡器的输出端产生 90°的相位差。二 极管环形耦合电路如图 6 所示。



图 6 二极管环形耦合电路

各个端的电压分别为 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ ,流过各二 极管的电流分别为 $I_1$ 、 $I_2$ 、 $I_3$ 、 $I_4$ ,。

根据 PN 结的 *I*-V 关系可得,二极管的电流 *I*<sub>D</sub> 与其两端的电压 *V*<sub>D</sub>之间的关系式为:

$$I_{\rm D} = I_{\rm S} \left( e^{\frac{t_{\rm D}}{V_{\rm T}}} - 1 \right) \tag{5}$$

式中, *I*s为二极管的反向饱和电流, *V*<sub>T</sub>为热电压。

首先,假设 QVCO 通过一次谐波耦合振荡,则  $I_1$ 、 $I_2$ 分别为:

$$I_{1} = I_{S} \left( e^{\frac{V_{1} - V_{2}}{V_{T}}} - 1 \right) = I_{S} \left( e^{\frac{V e^{i\theta} - V e^{i\theta}}{V_{T}}} - 1 \right)$$
(6)

$$I_{2} = I_{s} \left( e^{\frac{V_{2} - V_{3}}{V_{T}}} - 1 \right) = I_{s} \left( e^{\frac{V_{c} e^{\sigma} - V_{c} V_{T}}{V_{T}}} - 1 \right)$$
(7)

因为 $I_1$ 、 $I_2$ 大小相等,所以可列等式:

$$I_{\rm S} \left( e^{\frac{Ve^{j\theta} - Ve^{j\theta}}{V_{\rm T}}} - 1 \right) = I_{\rm S} \left( e^{\frac{Ve^{j\theta} - Ve^{j(\pi+\theta)}}{V_{\rm T}}} - 1 \right)$$
(8)

则推导出式(9):

$$e^{j\theta} - e^{j\sigma} = e^{j\theta} - e^{j\sigma}$$
(9)

由式(9)可知,两个节点的相位没有任何联系,即 QVCO 通过一次谐波耦合产生振荡的假设不成立。

接着,假设 QVCO 通过二次谐波耦合产生正交 信号。二次谐波耦合等效原理如图 7 所示。

差分振荡器输出的二次谐波是同相的,即 $V_1 = V_3$ , $V_2 = V_4$ 。C为该耦合电路的等效电容负载,四个等效电容负载的公共端接地。



图 7 二次谐波耦合等效原理图

根据基尔霍夫电流定律,可得关系式:  $I_1 - I_2 = V_2 sC$  (10) 即,

$$I_{\rm S}\left({\rm e}^{\frac{V_1-V_2}{V_{\rm T}}}-1\right) - I_{\rm S}\left({\rm e}^{\frac{V_2-V_3}{V_{\rm T}}}-1\right) = V_2 sC \qquad (11)$$

$$I_{s} \left( e^{\frac{V_{2}-V_{3}}{V_{T}}} - 1 \right) - I_{s} \left( e^{\frac{V_{3}-V_{4}}{V_{T}}} - 1 \right) = V_{3} s C$$
(12)  
$$\Re V_{1} = V_{3} \pi V_{2} = V_{4}, (\mathcal{H} \wedge \mathfrak{I}(11), (12), (12), (12))$$

V<sub>2</sub>=-V<sub>1</sub>,即2端和1端的二次谐波输出信号反相。若振荡器的二次谐波反相,则可推知其一次谐波为正交,从而验证了本电路通过二次谐波的耦合作用,强制使整个振荡器的基波正交。

## 2 版图设计与仿真

本文提出的二极管环形耦合 QVCO 基于 HBT 工艺,采用 Keysight 公司 EDA 工具 ADS 进行设 计、仿真。该 QVCO 的版图如图 8 所示,版图尺寸 为1.7 mm×0.8 mm,核心电路的尺寸为 1.5 mm× 0.56 mm。



图 8 QVCO 的版图

QVCO的 I/Q 四路输出电压波形如图 9 所示。 13.51 GHz 振荡频率下的谐波输出功率曲线如图 10 所示。



图 9 QVCO 的 I/Q 四路输出电压波形

可以看出,输出具有良好的正弦波形,输出功率 较大,为12.557 dBm。在后仿真中,由于无源器件 和版图布局布线存在一定的不对称性,使 I/Q 输出 信号存在较小的相位误差和幅度失配。



图 10 13.51 GHz 振荡频率下的谐波输出功率曲线

13.51 GHz 振荡频率下的相位噪声曲线如图 11 所示。可以看出,在1 MHz 偏频处,相位噪声为 -117.795 dBc/Hz。QVCO 的调谐曲线如图 12 所 示。可以看出,控制电压在 0~1.8 V 范围内,频率 范围为 12.98 ~ 14.05 GHz,相对调谐范围 为 7.9%。



本文与其他文献中 QVCO 的参数对比如表 1 所示。可以看出,本文的 QVCO 具有很低的相位噪 声和较高的输出功率。

表 1 本文与其他文献中 QVCO 的参数对比

参数	文献[11]	文献[12]	本文
工艺	CMOS	RTD/HBT	HBT
结构	MOS 变容管	基于 RTD	二极管耦合
调谐范围/GHz	5.66~6.7	14.16~14.7	12.98~14.05
输出功率/dBm	-	-9.86	12.51~12.63
相位噪声/	-116.7	-121.14	-117.795
$(dBc \cdot Hz^{-1})$	@1 MHz	@1 MHz	@1 MHz
电源电压/V	1.2	0.44	5.0
直流功耗/mW	16.8	1.46	26.3
核心面积/mm <sup>2</sup>	0.11	1.37	0.84

## 3 结 论

不同于传统的晶体管耦合法,本文基于 GaAs HBT 工艺设计了一种二极管环形耦合结构 QVCO。相比其他电路,本文 QVCO具有较低的相 位噪声、较高的输出功率。采用两个差分 Colpitts 结构,通过一个首尾连接的二极管形成环形连接,设 计了高 Q 值、带中心抽头的螺旋电感。仿真结果表 明,该 QVCO 工作在 ku 波段,调谐范围为 12.98~ 14.05 GHz。13.51 GHz 振荡频率下,相位噪声为 -117.795 dBc/Hz@1MHz。输出正交信号功率为 12.557 dBm。功耗为 26.3 mW,核心电路面积为 0.84 mm<sup>2</sup>。本电路适用于 ku 波段的射频收发机。

#### 参考文献:

- HUANG T H, TSENG Y R. A 1 V 2.2 mW 7 GHz CMOS quadrature VCO using current-reuse and crosscoupled transformer-feedback technology [J]. IEEE Microwave & Wireless Compon Lett, 2008, 18(10): 698-700.
- [2] SHEN I S, HUANG T C, JOU C F. A low phase noise quadrature VCO using symmetrical tail currentshaping technique [J]. IEEE Microwave & Wireless Compon Lett, 2010, 20 (7): 399-401.
- [3] KIM K W, CHANG H J, KIM Y M, et al. 5.8 GHz low-phase-noise *LC*-QVCO using splitting switched biasing technique [J]. IEEE Microwave & Wireless Compon Lett, 2010, 20(6): 337-339.
- [4] KOSS, KIM J G, SONG T S, et al. 20 GHz integrated CMOS frequency sources with a quadrature

VCO using transformers [C] // IEEE RFIC. Forth Worth, TX, USA, 2004: 269-272.

- [5] GENG X Y, DAI F F. An X-band transformercoupled varactor-less quadrature current-controlled oscillator in 0. 18 μm SiGe BiCMOS technology [J]. IEEE J Sol Sta Circ, 2010, 45(9): 1669-1677.
- [6] BAJESTAN M M, REZAEI V D, ENTESARI K. A low phase-noise wide tuning-range quadrature oscillator using a transformer-based dual resonance ring [J].
   IEEE Trans Microwave Theo & Techniq, 2015, 63 (4): 1142-1153.
- [7] LI M H, LIAO Y H, CHANG H Y. A K-band low power high accuracy quadrature VCO using gatemodulated coupling and transformer feedback technique [C] // Proc Asia-Pacific Microwave Conf. Sendai, Japan. 2014: 895-897.
- [8] JIANG B, LUONG H C. A 7.9-GHz transformerfeedback quadrature oscillator with a noise-shifting

coupling network [J]. IEEE J Sol Sta Circ, 2017, 52 (10): 2636-2646..

- [9] GOUHARY A E, NEIHART N M. Inductor-based tuning in LC-quadrature oscillators: a comparative study [J]. IEEE Trans Circ Syst II: Expr Bri, 2012, 59(9): 548-552.
- [10] MOHANSS, DEL MAR HERSHENSON M, BOYDS P, et al. Simple accurate expressions for planar spiral inductances [J]. IEEE J Sol Sta Circ, 1999, 34(10): 1419-1424.
- [11] BHARDWAJ K, SETH S, MURMANN B, et al. A 0. 11 mm<sup>2</sup>, 5. 7-to-6. 6 GHz, parametrically pumped quadrature *LC*-VCO with digital output [C] // IEEE VLSI Symp. Kyoto, Japan, 2013: 138-139.
- [12] LEE K W, LEE J S, PARK J H, et al. A novel Kuband RTD-based quadrature VCO for low power applications [J]. IEEE Microwave & Wireless Compon Lett, 2015, 25(5): 328-330.

(上接第94页)

- [3] 武岳,吕红亮,张玉明,等.一种低噪声 GaAs HBT VCO 的设计与实现 [J]. 西安电子科技大学学报, 2018,45(3):30-34.
- [4] HAJIMIRI A, LEE T H. A general theory of phase noise in electrical oscillators [J]. IEEE J Sol Sta Circ, 1998, 33(2): 179-194
- [5] KUYLENSTIERNA D, LAIS, BAO M, et al. Design of low phase-noise oscillators and wideband VCOs in InGaP HBT technology [J]. IEEE Trans Microwave Theo & Tech, 2012, 60(11): 3420-3430.
- [6] MOHAN S S, HERSHENSON M M, BOYD S P, et al. Simple accurate expressions for planar spiral inductances [J]. IEEE J Sol Sta Circ, 1999, 34(10): 1419-1424.
- [7] PANTOLI L, MUCCIO L N D, BARIGELLI A, et

al. Compact tuning circuit for enhanced linearity in a Ku-band MMIC VCO [J]. IEEE Microwave & Wireless Compon Lett, 2016, 26(9): 711-713.

- [8] ZIRATH H. Low phase-noise balanced Colpitt InGaP GaAs HBT VCOs with wide frequency tuning range and small VCO-gain variation [C] // Asia-Pacific Microwave Conf. Bangkok, Thailand. 2007: 1-4.
- [9] PANTOLI L, ARENA S, CAVANNA T. GaAs monolithic wideband VCO for S and C bands [C] // Int Workshop INMMIC. Brive La Gaillarde, France. 2018: 1-3.
- [10] MENG C C, CHEN C H, CHANG Y W, et al. 5.4 GHz -127 dBc/Hz at 1 MHz GaInP/GaAs HBT quadrature VCO using stacked transformers [J]. Elec Lett, 2005, 41(16): 906-908.

## 一种高精度电流检测电路的设计

刘全旺<sup>1,2</sup>,张 波<sup>1</sup>,甄少伟<sup>1</sup>,薛卫东<sup>2</sup>

(1. 电子科技大学 电子薄膜与集成器件国家重点实验室,成都 610054; 2. 凹凸电子(成都)有限公司,成都 610041)

摘 要: 采用 0.18  $\mu$ m BCD 工艺,设计了一种高精度电流检测电路。分析了失调电压对电流采 样精度的影响,采用斩波差动差分放大器和交叉采样电路,得到好的共模电平设置。采用分时采 样的方法,利用逐次逼近模数转换器对电流检测结果进行采样。利用数字电路,对 ADC 采样结果 进行求和并取平均值操作,大幅度消除了失调电压的影响,得到较高的精度。该电流检测电路可 用于锂电池保护监测芯片。室温下,输入信号幅度在 $-10\sim10$  mV 范围时,检测误差小于 30  $\mu$ V, 输入信号幅度在 $-170\sim70$  mV 范围时,检测误差小于 70  $\mu$ V。

关键词: 差动差分放大器;逐次逼近模数转换器;交叉采样;模拟集成电路

 中图分类号:TN433
 文献标识码:A
 文章编号:1004-3365(2020)01-0101-05

 DOI:10.13911/j.cnki.1004-3365.190202

## Design of a High Precision Current Sensor Circuit

LIU Quanwang<sup>1,2</sup>, ZHANG Bo<sup>1</sup>, ZHEN Shaowei<sup>1</sup>, XUE Weidong<sup>2</sup>

(1. State key Laboratory of Electronic Thin Films and Integrated Devices, University of Electronic Science and Technology of China, Chengdu 610054, P. R. China; 2. O2 Micro Co. Ltd, Chengdu 610041, P. R. China)

**Abstract:** A high precision current sensor was designed in a 0.18  $\mu$ m BCD IC process. The effect of offset voltage on the precision of sampling current was analyzed. By adopting chopper differential difference amplifier (DDA) circuit and cross-sampling technique, a proper common-mode voltage setting was obtained. Through time-interleaved sampling method, the current sensor output was sampled and then converted by SAR ADC. The ADC results were summed and then averaged in digital circuits. It eliminated the offset voltage significantly, and got high precision. The proposed current sensor circuit was integrated in a Li-ion or Li-polymer battery protection and monitor chip. Test results showed that when the input voltage was in the range of  $-10 \text{ mV} \sim 10 \text{ mV}$ , the measurement error was less than 30  $\mu$ V. When the input voltage was in the range of  $-170 \text{ mV} \sim 70 \text{ mV}$ , the error was less than 70  $\mu$ V.

Key words: differential difference amplifier; SAR ADC; cross-sampling; analog IC

0 引 言

电流检测电路在电源管理领域被广泛使用,可 用于环路控制和输入保护<sup>[1-4]</sup>。随着手持式电动工 具的大量应用,电动工具功率越来越大,放电电流不 断增大,达到几 A 至几十 A。受到功耗和发热限 制,电流采样电阻阻值相应下降,导致电阻上的电压 逐渐减小,进而导致采样误差对应的电流误差越来 越大。

差动差分放大器 (DDA) 最先由 E. Sachinger 提出<sup>[5]</sup>。基于差动差分放大器的仪表放大器的精度 可达几  $\mu$ V 至几十  $\mu$ V<sup>[6-7]</sup>。DDA 可被应用于多种 场合,有着不同的连接配置方法<sup>[8-13]</sup>。专用仪表放

收稿日期:2019-04-12; 定稿日期:2019-05-07

基金项目:装发预研资助项目(31513030209)

作者简介:刘全旺(1978--),男(汉族),天津静海人,博士研究生,工程师,主要研究方向为锂电池管理。

大器成本较高,功耗较大,使用斩波方式的电路还需 额外滤波电路,不利于集成。

为了降低电流采样的成本,并省去 RC 滤波电 路,本文提出一种基于斩波 DDA 的电流检测电路。 利用交叉采样和分时转换的方法,实现了电流采样 的低失调电压和高直流增益。

文章第1节主要介绍设计背景和基本原理,分 析失调电压对电路的影响。第2节介绍基于斩波差 动差分放大器和交叉采样结构的电流检测电路。第 3节给出电路仿真和测试结果。第4节给出结论。

设计背景与基本原理 1

#### 1.1 电流检测电路的设计背景

本文电流检测电路被应用于锂电池保护和监测 芯片,电路功能框图如图1所示。外部采样电阻 R<sub>SFN</sub>上的差分采样电压信号 ISP 和 ISN 经过电流采 样电路进行信号放大,放大倍数为10倍,然后通过 通道选择电路,送入14位逐次逼近模数转换器进行 模数转换,转换结果通过 SPI 数字接口,由上位机微 控制器 MCU 进行读取。



图 1 电流检测电路的功能框图

#### 1.2 电流检测电路的基本原理

DDA 由 2 个差分输入跨导放大器和 1 个跨阻 放大器级联组成,其工作原理如图2所示[1]。图3 所示为 DDA 的电路结构。两组差分输入信号"1" 和"2"为一组,"3"和"4"为一组,经过相应的跨导放 大器,在2个跨导放大器输出端进行求和,再经过跨 阻放大器进行放大,产生输出电压 OUT。

输出电压为:  

$$V_{OUT} = [g_m(V_1 - V_2) + g_m(V_3 - V_4)]A_z =$$
  
 $g_m A_z(V_1 - V_2 + V_3 - V_4)$  (1)  
假设  $A_z$  趋于无限大,可得:

假设
$$A_z$$
趋于无限大,可得:  
 $V_1 - V_2 = V_3 - V_4$  (2)

可以看出,闭环下,DDA 中两对输入端的差分 电压是相同的。

图 4 所示为电流检测电路的基本结构。差分电 压输入信号 ISP 和 ISN 是图 1 中芯片外部电流采样 电阻两端的电压信号,作为 DDA 的一组输入端。 DDA 的另外一组输入电压是输出电压 OUT1 和反 馈电压 VFB。信号 V800 mV 是由芯片基准电压源 经过分压所得,然后经过单位增益运算放大器进行 缓冲,产生输出电压 VREF O。



$$V_{\text{VINP}} - V_{\text{VINN}} = V_{\text{OUT1}} - V_{\text{VFB}} \tag{4}$$

将式(4)带入式(3),可得:

$$V_{\rm OUT1} - V_{\rm VREF_O} = 10(V_{\rm INP} - V_{\rm INN})$$
 (5)

受到工艺器件匹配特性的限制,DDA 的失调电 压会直接影响最终输出结果。

假设运放的输入失调电压为 $V_{OS}$ ,式(5)变为:  $V_{OUT1} - V_{VREF_O} = 10(V_{INP} - V_{INN} + V_{OS})$  (6) 由此可见,运放的失调电压经过电流检测电路

放大后,对输出端产生较大影响,极大地限制了电流 检测电路的精度。

2 电流检测电路的设计

针对锂离子电池电流检测电路的高精度需求, 本文电流检测电路的整体架构如图 5 所示。电流检 测电路的差分电压输入信号 ISP 和 ISN 经过交叉 采样开关后,输入到斩波 DDA 的一组输入端 VINPC 和 VINNC。斩波 DDA 的另外一组输入信 号 OUT1C 和 VFB1C 是由电流检测电路的输出电 压 OUT1 和反馈电压 VFB 经过另外一组交叉采样 开关得到的。



图 5 电流检测电路的整体架构

根据电阻分压关系,可得式(3)。由式(2)可知:  $V_{\text{VINPC}} - V_{\text{VINNC}} = V_{\text{OUTLC}} - V_{\text{VERIC}}$  (7)

交叉采样开关如图 6 所示。在  $\Phi 1$  闭合期间,  $\Phi 2$  断开, INP 与 OUTP 接通, INN 与 OUTN 接通。 反之, 在  $\Phi 2$  闭合期间,  $\Phi 1$  断开, INP 与 OUTN 接通, INN 与 OUTP 接通。

假设电流采样电路工作在  $\Phi$ 1 闭合期间,此时  $V_{\text{VINPC}} = V_{\text{INP}}, V_{\text{VINNC}} = V_{\text{INN}}, 并且 V_{\text{OUTIC}} = V_{\text{OUTI}},$  $V_{\text{VFBIC}} = V_{\text{VFB}}$ 。将式(3)与式(7)组合,可得:

 $V_{\rm OUT1} - V_{\rm VREF 0} = 10(V_{\rm INP} - V_{\rm INN})$  (8)

由此可见,电流检测电路的输出差分电压即为 V<sub>OUT1</sub>-V<sub>REF 0</sub>。

斩波 DDA 的电路结构如图 7 所示。与图 3 相 比,图 7 中多了 2 组交叉采样开关。为了消除失调 电压的影响,本文提出交叉采样电路和分时采样方 法,避免运放失调电压对电流检测精度的影响。

考虑斩波 DDA 失调电压的影响,式(5)变为式 (6)。反之亦然,在 Φ2 闭合期间,有:





 $V_{\rm OUT1} - V_{\rm VREF_O} = 10(V_{\rm INP} - V_{\rm INN} - V_{\rm OS})$  (9)

后级逐次逼近模数转换器对 OUT1 和 VREF\_O 进行分时转换,再采用数字电路对式(6)和式(9)的 转换结果进行相加和右移取平均值操作,得到 2 个 采样阶段的差分输出电压平均值,在数字域消除了 失调电压带来的影响,实现了电流检测结果的高 精度。

3 电路仿真和测试结果

#### 3.1 电流检测电路仿真结果

在不同电压、温度和工艺角的情况下,对斩波 DDA 进行环路稳定性分析,结果如图 8 所示。可以 看出,斩波 DDA 的开环增益达到 112 dB 以上,并且 相位裕度大于 63°。一方面,由于开环增益很高,由 增益误差导致的系统误差可以忽略不计。另一方 面,由于相位裕度足够大,保证了电流检测电路良好 的稳定性。

本文基于 0.18 μm BCD 工艺,采用 PDK 工具, 对提出的电流检测电路进行工艺角仿真(PVT 仿 真)。当输入电压为 10 mV 时,在电源、温度、工艺 角变化的情况下,电路仿真结果如图 9 所示,PVT 参数仿真结果列于表 1。仿真条件为:输入失调电 压为±5 mV,fast\_best 工艺角下,温度为-40 ℃, 电源偏差为+10%;slow\_worst 工艺角下,温度为 125 ℃,电源偏差为-10%。





图 9 本文电流检测电路的工艺角仿真结果

表 1 PVT 参数仿真结
---------------

输入电压/mV	仿真结果误差/mV				
	未采用交叉采样	采用交叉采样			
-10	4.94	0.1			
0	4.95	0.05			
1	4.96	0.1			
10	4.99	0.2			
100	6	0.3			

#### 3.2 电流检测电路测试结果

本文基于 0.18 μm BCD 工艺平台,实现了设计 的电流检测电路。图 10 所示为电流检测电路的版 图。其中,斩波 DDA 的面积最大,其次为基准电压 缓冲电路。图 11 所示为电流检测电路的显微镜照 片,电路 面积 仅 为 0.049 mm<sup>2</sup>,即 248 μm × 198 μm。



图 10 电流检测电路版图照片



图 11 电流检测电路的显微镜照片

对锂电池保护和监测芯片进行流片,并对电流 检测电路的精度进行测试。在不同输入电压下,对 电流检测电路联合模数转换电路进行共同测试,结 果如表2所示。

表 2 电流检测电路的误差测试结果(25℃)

输入电压/mV	测量结果/mV	测量误差/mV
69.966	70.031	0.065
10.002	10.016	0.014
1.001	0.992	-0.009
0.202	0.172	-0.030
-0.998	-0.977	0.021
-9.998	-10.023	-0.025
-170.038	-170.016	0.022

经过 ADC 校准后,输入电压在 $-10 \sim 10 \text{ mV}$ 区间,ADC 的测量误差小于 $\pm 30 \mu$ V,输入电压在  $-170 \sim 70 \text{ mV}$  区间,测量误差小于 $\pm 70 \mu$ V。从表 2 可见,测试误差稍微小于仿真误差。这是因为模 数转换器会对电流检测电路进行二次校正。

将本文电流检测电路与文献[7]中电流检测电 路进行对比,结果列于表 3。可以看出,本文电流检 测电路的增益误差较低,并且在输入电压范围的大 部分区间内,误差均小于 30 μV。

表 3 两种电流检测电路的对比结果(25 ℃)

对比	输入范	失调电	芯片面	增益误	消耗电
文献	${\mathbb H}/{mV}$	${\mathbb E}/\mu V$	积 $/\mathrm{mm}^2$	差/%	流/μA
本文	$-170 \sim 70$	$\pm70$	0.049	0.01	70
文献[7]	$-500\sim$	$15 \sim 100$	0.060	0.05	10
	500				

## 4 结 论

本文介绍了电流检测电路的基本原理,重点介 绍了运放失调电压对电流检测精度的影响。根据高 精度设计需求,采用交叉分时采样技术,提出一种基 于斩波 DDA 的电流检测电路,实现了高精度。本 文电流检测电路作为单元电路,应用于锂电池保护 和监测芯片中,并进行流片和测试。测试结果标明, 输入电压在 $-10 \sim 10 \text{ mV}$ 时,电流检测电路的测量 误差小于  $30 \ \mu\text{V}$ ;输入电压在 $-170 \sim 70 \text{ mV}$ 时,测 量误差小于 $\pm 70 \ \mu\text{V}$ 。

#### 参 考 文 献:

- [1] 刘满雀,姚若河. 一种高精度电流检测电路的设计 [J]. 中国集成电路, 2009, 18(3): 53-57.
- [2] 张景杨, 贺威. 基于开关电容的低失调电流采样电路 设计 [J]. 科技广场, 2017(12): 66-70.
- [3] 陈艳, 沈放, 杨凡. 高精度低功耗电流采样电路设计 [J]. 电子器件, 2018, 41(5): 129-133.
- [4] 邹志革, 唐嘉杰, 段华丽. 基于 SAR-ADC 的高精度 电流检测电路 [J]. 电子产品世界, 2019, 26(2):

84-87.

- [5] SACHINGER E. A versatile building block: the CMOS differential difference amplifier [J]. IEEE J Sol Sta Circ, 1987, 22(2): 287-294.
- [6] GE F. A pseudo rail-to-rail chopper-stabilized instrumentation amplifier in 0.13 μm CMOS [C] // IEEE Int Midwest Symp Circ & Syst. Cancun, Mexico. 2009.
- [7] CHRISTOFOROU Y. A chopper-based CMOS current sense instrumentation amplifier [for GSM] [C] // 19th IEEE IMTC. Anchorage, AK, USA. 2002: 21-23.
- [8] CHAN P K, CUI J. Design of chopper-stabilized amplifiers with reduced offset for sensor applications
   [J]. IEEE Sensors J, 2008, 8(12): 1968-1980.
- [9] SOTNER R, HERENCSAR N, KLEDROWETZ V, et al. New low-voltage CMOS differential difference amplifier (DDA) and an application example [C] // IEEE 61st Int MWSCAS. Windsor, Canada. 2018: 133-136.
- [10] GANO A J, FRANCA J E. Fully differential variable gain instrumentation amplifier based on a fully differential DDA topology [C] // 6th IEEE Int Conf Elec, Circ & Syst. Pafos, Cyprus. 1999.
- [11] PAKHOMOV I V, POPOV A E, SEREBRYAKOV A I, et al. The design features of the differential and differential difference current amplifiers for the sensor signal conversion with high intrinsic resistance [C] // Int SIBCON. Astana, Kazakhstan. 2017.
- [12] ONG G T, CHAN P K. A power-aware chopperstabilized instrumentation amplifier for resistive wheatstone bridge sensors [J]. IEEE Trans Instrum & Measure, 2014, 63(9): 2253-2263.
- [13] ZHANG X, YU D S, SHENG S M. A CMOS differential difference amplifier with reduced nonlinearity error of interpolation for interpolating ADCs [C] // IEEE APCCAS. Singapore. 2006.
| 第 50 卷 第 1 期 | 微电子学             | Vol. 50, No. 1 |
|--------------|------------------|----------------|
| 2020年2月      | Microelectronics | Feb. 2020      |

# 新型无结型晶体管特性仿真及性能优化设计

孙川川,高瑛珂,王 农,李圣龙,赵云富,梁贤赓 (北京控制工程研究所,北京 100190)

摘 要: 随着晶体管特征尺寸缩小至10 nm 以下,传统 Si基 MOSFET 面临诸多挑战,而新型沟 道材料和器件结构将有望进一步提升器件性能。基于绝缘体上锗衬底的无结型晶体管(GOI-JLT)制作工艺简单、电学特性优良,有望在空间电子系统中应用。利用 TCAD 仿真软件 Sentaurus,研究了 GOI-JLT 的电学特性,提出一种通过调节沟道掺杂分布来优化器件性能的方 法。仿真结果表明,沟道采用高斯掺杂分布,能显著降低器件关态漏电流(降低约三个数量级),提 高开关比(提高约三个数量级),抑制短沟道效应。

关键词: 无结型晶体管;绝缘体上锗;沟道掺杂分布;短沟道效应;TCAD 仿真
 中图分类号:TN432;TN386
 文献标识码:A
 文章编号:1004-3365(2020)01-0106-06
 DOI:10.13911/j.cnki.1004-3365.190664

# Simulation and Performance Optimization Design of a New Type of Junction-Less Transistors

SUN Chuanchuan, GAO Yingke, WANG Nong, LI Shenglong, ZHAO Yunfu, LIANG Xiangeng (Beijing Institute of Control Engineering, Beijing 100190, P. R. China)

**Abstract:** With the feature size of transistors reducing down to sub-10 nm nodes, traditional Si-based MOSFETs face many challenges. So new channel materials and device structures are promising to further improve the performance of transistors. Due to the simple fabrication process and excellent electric characteristics, Germanium on insulator-based junctionless transistors (GOI-JLTs) are promising for future space applications. The electric characteristics of GOI-JLT were investigated by Sentaurus 3D device simulator. Then a method to optimize the performance of GOI-JLT by modulating their channel doping profile was proposed. The simulation results showed that using Gaussian-function doping profile could greatly reduce  $I_{off}$  (reduced by three orders of magnitude), increase  $I_{on}/I_{off}$  ratio (increased by three orders of magnitude) and suppress the short channel effects.

Key words: junction-less transistor; GOI; channel doping profile; short channel effect; TCAD simulation

0 引 言

集成电路产业经历了飞速发展的 50 年,在等比 例缩小理论<sup>[1]</sup>的指导下,晶体管的特征尺寸从最初 的 10 μm 减小至 10 nm。当器件特征尺寸进入纳米 尺度,短沟道效应、栅极漏电、多晶硅栅的耗尽效应 等问题会使器件特性退化。因此,研究人员相继开 发了新的工艺、材料和器件结构等。例如,文献[2] 中,在 90 nm CMOS 工艺下,为了进一步提高迁移 率,引入了应变硅技术。文献[3]中,在 45 nm CMOS 工艺下,为了控制栅极漏电、多晶硅栅的耗 尽效应等问题,引入了高 k 值栅介质和金属栅工艺。 文献[4]中,在 22 nm CMOS 工艺下,为进一步提高 栅控能力、抑制短沟道效应,采用三维的器件结构 FinFET 来代替原有的平面器件结构。新的材料、 工艺和器件结构成为促进半导体技术发展的重要推 动力。

收稿日期:2019-09-30;定稿日期:2019-11-18

基金项目:抗辐照应用技术创新中心创新基金资助项目(19-H863-02-ZT-003-024-18)

作者简介:孙川川(1991—),男(汉族),山东济宁人,工程师,博士,研究方向为半导体器件仿真及制备、SoC设计等。

在新型衬底材料方面,绝缘体上锗(Germanium On Insulator,GOI)结合了 Ge 的高迁移率优势<sup>[5]</sup>与 绝缘体上材料(SOI)优良的抗辐照能力、良好的静 电控制、简单的隔离结构、更高的集成度、更小的寄 生电容等优势,有望获得广泛应用<sup>[6]</sup>。

在新器件结构方面,无结型晶体管(Junction-Less Transistor,JLT)制备工艺简单、电学性能优 良,在纳米工艺下有着独特的应用优势<sup>[7]</sup>。JLT 的 工作原理与传统耗尽型 MOSFET 不同。开态时, JLT 整个沟道完全导通,相当于一个电阻,而传统耗 尽型 MOSFET 的载流子集中在很薄的反型层中。 关态时,JLT 整个沟道处于耗尽状态,传统耗尽型 MOSFET 则依靠反偏 PN 结实现关断。关于 JLT 的第一项专利是由 J. E. Lilienfeld 在 1925 年提 出<sup>[8]</sup>。随着 SOI 技术的发展,在 2010 年,J. P. Colinge 等人利用超薄 SOI 衬底,制备出高性能的 JLT,其电学性能优良,开关比超过 10<sup>6</sup>,亚阈值摆幅 为 64 mV/dec<sup>[7]</sup>。

近年来,GOI-JLT 得到广泛研究。2011 年,D. D. Zhao 等人<sup>[9]</sup> 首次提出背栅 GOI-JLT,在  $V_d =$ -10 mV时,器件开关比约为 10<sup>4</sup>,峰值迁移率约为 100 cm<sup>2</sup> · V<sup>-1</sup> · s<sup>-1</sup>。2013 年,R. Yu 等人<sup>[11]</sup> 首次 提出纳米线 GOI-JLT,相比于大尺寸的顶栅器 件<sup>[10]</sup>,GOI-JLT 电学性能获得明显提升。H. Wu 等人<sup>[12]</sup>直接在 GOI 衬底上,制备出高性能的 GOI-JLT CMOS 器件。S. Ren 等人<sup>[13]</sup>制备了 n 型和 p 型 GOI-JLT,研究了器件的总剂量效应,结果表明, 埋氧化层的电荷俘获效应会造成器件阈值电压的漂 移,减小 Ge 层厚度可以提高器件的抗辐照特性。 H. Y. Ye 等人<sup>[14]</sup>理论分析了纳米线 Ge 沟道 JLT 的电子迁移率,结果表明,Ge 沟道 JLT 具有广阔的 应用前景。

本文采用 TCAD 仿真工具 Sentaurus,研究了 GOI-JLT 的电学特性,分析了工艺与结构参数对关 键电学参数的影响。在此基础上,提出一种通过调 节沟道掺杂分布来优化 GOI-JLT 电学特性的方法。 仿真结果验证了这种方法的有效性。

1 仿真环境及参数

计算机辅助设计(Technology Computer Aided Design, TCAD)在半导体领域得到广泛应用,可对器件结构、参数进行优化设计,大大降低研发成本和周期。本文采用 Sentaurus 软件,对 GOI-JLT 进行

参数仿真与优化设计。图 1 所示为仿真中 GOI-JLT 的结构及参数示意图。采用三栅 FinFET 器件 结构,沿沟道长度方向定义为x轴,垂直于沟道方向 (指向 BOX 层)定义为z轴,y轴为垂直于x轴和z轴的方向。仿真中使用的参数如表 1 所示。由于沟 道为三栅结构,有效沟道宽度  $W_{\text{eff}}$ 定义为 $W+2T_{\text{Geo}}$ 掺杂杂质为硼,掺杂浓度( $N_{a}$ )的范围为 1×10<sup>18</sup>~ 1×10<sup>20</sup> cm<sup>-3</sup>。



图 1 仿真中 GOI-JLT 的结构及参数示意图

表1 仿真中使用的器件参数

器件参数	数值
栅氧化层(HfO <sub>2</sub> )厚度 T <sub>ox</sub> /nm	5
沟道厚度 T <sub>Ge</sub> /nm	6~12
沟道(Fin)宽度 W/nm	$5 \sim 200$
有效沟道宽度 W <sub>eff</sub> /nm	$W+2T_{ m Ge}$
栅长 L/nm	$15\!\sim\!55$
埋 SiO <sub>2</sub> 厚度 T <sub>Box</sub> /nm	50
工作电压 V <sub>dd</sub> /V	1
栅极功函数/eV	4.0
沟道掺杂浓度 $N_{a}$ /nm	$1 \times 10^{18} \sim 1 \times 10^{20}$

Sentaurus 软件中包含多个杂质散射模型 (DopingDependence)。本文仿真采用的是 G. Masetti 等人提出的迁移率模型<sup>[15]</sup>。这是 Sentaurus 软件的默认模型。由于沟道掺杂浓度较高,采用通用的费米-狄拉克分布,而不是非简并情况下的玻尔兹曼分布。除此之外,对于纳米器件,还 需考虑强电场效应产生的迁移率退化问题。考虑到 纵向电场引起的迁移率退化作用,仿真中采用 EnormalDependence模型,相关参数也根据 G. Hellings等人<sup>[16]</sup>给出的实验结果进行了修正。在 电场较大的情况下,陷阱辅助隧穿(Trap Assisted Tunneling, TAT)会导致少数载流子的寿命减小,因此在仿真中采用了 G. A. M. Hurkx 等人提出的 TAT 模型<sup>[16]</sup>。电场强度进一步增大时,声子辅助的带带隧穿(Band To Band Tunneling, BTBT)的影响不可忽略,因此在仿真中采用了 A. Schenk 等人提出的简化模型<sup>[17]</sup>。

2 仿真结果与分析

### 2.1 GOI-JLT 电学特性分析

为了研究 GOI-JLT 关键电学参数( $I_{on}$ 、 $V_t$ 、亚 阈值摆幅  $S_s$ 等)受到工艺与结构参数( $N_a$ 、W、 $T_{Ge}$ 等)的影响规律,对具有不同工艺与结构参数的器件 进行仿真。 $V_d = -1$  V时,在对应的  $I_d$ - $V_g$ 曲线上提 取  $I_{on}$ 和  $I_{off}$ ,分别为 $V_g = -1$  V和  $V_g = 1$  V时的  $I_d$ 。  $V_d = -0.05$  V时,在对应的  $I_d$ - $V_g$ 曲线上提取  $V_t$ 和  $S_s$ 。 $V_t$ 采用恒定电流法来提取,将  $I_d = W_{eff}/L \times 10^{-7}$  A时的  $V_g$ 定义为 $V_t$ 。 $W_{eff}$ 为有效沟道宽度,对 于三栅 JLT, $W_{eff} = W + 2T_{Ge}$ 。

L和 T<sub>ox</sub>分别固定为 50 nm 和 5 nm, I<sub>on</sub>随 N<sub>a</sub>、 W、T<sub>Ge</sub>的变化曲线如图 2 所示。



从图 2(a)可以看出, T<sub>Ge</sub>固定时,随着 N<sub>a</sub>和 W 增加, I<sub>on</sub>单调增加。从图 2(b)可以看出, W 固定 时,随着 N<sub>a</sub>和 T<sub>Ge</sub>增加, I<sub>on</sub>依然单调增加。这是因 为 N<sub>a</sub>、W 和 T<sub>Ge</sub>的增加均会使沟道中载流子总量增 加、沟道电阻降低, 所以 I<sub>on</sub>会单调增加。制作器件 时, 为了增加器件的 I<sub>on</sub>, 可以采用增加沟道掺杂浓 度或者增加沟道尺寸的方法, 但同时会带来沟道夹 断困难、漏电流增加等问题。

L固定为 50 nm 时,开关比  $I_{on}/I_{off}$ 随  $N_a$ 、W、  $T_{Ge}$ 的变化曲线如图 3 所示。从图 3(a)可以看出,  $T_{Ge}$ 固定时,随着  $N_a$ 和W 增加, $I_{on}/I_{off}$ 单调减小,并 且W 越小, $N_a$ 的影响越显著。从图 3(b)可以看出, W 固定时,随着  $N_a$ 和  $T_{Ge}$ 增加, $I_{on}/I_{off}$ 单调减小,并 且  $T_{Ge}$ 越小, $N_a$ 的影响越显著。随着  $N_a$ 和沟道尺寸 的增加,栅极对沟道的控制能力会减弱, $I_{off}$ 会显著 增加,导致  $I_{on}/I_{off}$ 减小。为了增加器件的开关比, 可以减小沟道尺寸或者沟道掺杂浓度,但同时会使  $I_{on}$ 减小。因此,实际制作器件时需要进行权衡。



L 固定为 50 nm 时,  $V_{t}$  随  $N_{a}$ 、W、 $T_{Ge}$ 的变化曲

线如图 4 所示。从图 4(a)可以看出, $T_{Ge}$ 固定时,随 着  $N_a$ 和 W 增加, $V_t$ 单调增加,并且  $N_a$ 越大,W 的影 响越显著。从图 4(b)可以看出,W 固定时,随着  $N_a$ 和  $T_{Ge}$ 增加, $V_t$ 单调增加,并且  $N_a$ 越大, $T_{Ge}$ 的影响 越显著。随着  $N_a$ 和沟道尺寸的增加,沟道中空穴总 量增加,将沟道的空穴完全耗尽需要额外的正向栅 压,则  $V_t$ 会增加。实际制作器件时,可以通过调节  $N_a$ 、W 和  $T_{Ge}$ 来获得合适的  $V_t$ 。



### 2.2 沟道掺杂优化设计

在传统 Si 基 MOSFET 中,研究人员采用沟道 非均匀掺杂的方法来调节器件阈值电压和抑制短沟 道效应<sup>[18]</sup>。根据 JLT 的工作原理,沟道掺杂分布可 能会对 JLT 性能产生显著影响。本文采用 Sentaurus 软件,仿真研究了沟道高斯掺杂分布对 GOI-JLT 关键电学特性的影响。仿真中,沿 z 方向 为高斯掺杂,在 x 与 y 方向为均匀掺杂,掺杂浓度表 示为:

$$N_{a}(x,y,z) = N_{\text{peak}} \exp\left[-\frac{(z-z_{0})^{2}}{2\sigma^{2}}\right]$$
(1)

式中, $N_a(x,y,z)$ 表示在(x,y,z)处的掺杂浓度; $z_0$ 和 $\sigma$ 分别表示峰值浓度位置和高斯分布标准

差;  $N_{\text{peak}}$ 表示高斯分布的峰值掺杂浓度, 仿真中,  $N_{\text{peak}}$ 设置为 1×10<sup>19</sup> cm<sup>-3</sup>。以上分布函数可以通过 简单的离子注入工艺来实现, 并通过调节离子注入 工艺中的注入能量、注入剂量和掩蔽层厚度等来改 变分布函数的参数。图 5 所示为沿 z 方向高斯掺杂 分布的示意图(沿沟道方向截面,  $z_0 = 4 \text{ nm}, \sigma =$ 2 nm), 源漏区掺杂浓度固定为 5×10<sup>19</sup> cm<sup>-3</sup>。实际 制作器件时, 为了简化工艺, 源漏区可以采用与沟道 相同的掺杂分布, 不必单独掺杂。



图 5 沿 z 方向沟道区高斯分布掺杂示意图

在 L=25 nm、 $T_{Ge}=10 \text{ nm}$ 、W=20 nm、 $V_d=-1 \text{ V}$ 的条件下进行仿真,高斯分布的峰值位置为  $z_0=0$ ,位于沟道的表面。不同  $\sigma$  下器件的  $I_d$ - $V_g$ 曲 线如图 6(a)所示,器件源端接地, $V_s=0$  V。提取出 的  $I_{on}/I_{off}$ 和  $S_s$ 如图 6(b)所示。为了进行对比,沟道 均匀掺杂(UD)的掺杂浓度与高斯分布相同,均为  $1\times10^{19} \text{ cm}^{-3}$ 。从图 6(a)可以看出,与均匀掺杂的 器件相比,采用高斯分布可以显著降低  $I_{off}$ ,而对  $I_{on}$ 的影响很小,因此可以增加开关比。随着  $\sigma$ 减小,器 件性能的提升更加明显。从图 6(b)可以看出, $\sigma=$ 3 nm时,相比于均匀掺杂, $I_{on}/I_{off}$ 可以提高约三个 数量级, $S_s$ 也得到明显改善。



(a) 不同  $\sigma$ 下 p型 GOI-JLT 的  $I_d$ - $V_g$ 曲线



以上结果可以结合 JLT 的工作原理进行解释。 器件处于开态时, *I*<sub>on</sub>主要取决于沟道载流子总量和 *V*<sub>d</sub>, 与均匀掺杂相比, 高斯掺杂下沟道载流子总量 变化不大, *I*<sub>on</sub>的变化较小。器件处于关态时, 栅极 通过将沟道中载流子耗尽使沟道夹断, 沟道的耗尽 状况取决于栅极对沟道的控制能力。离栅极越近的 载流子越容易被耗尽, 离栅极越远的区域载流子越 不容易被耗尽, 这也是漏电集中的区域<sup>[19]</sup>。随着 *z* 的增加(靠近 BOX 方向), 顶栅的控制能力逐渐减 弱, 越靠近 BOX 的载流子越不容易被耗尽。而采用 高斯掺杂分布的器件, 沿 *z* 方向载流子浓度逐渐降 低, 与均匀掺杂的器件相比, 栅极对沟道的控制能力 更强, *I*<sub>off</sub>和 *S*<sub>s</sub>均会减小。

在  $V_{d} = -1$  V、 $V_{g} = 1$  V 时,不同掺杂分布的 GOI-JLT 在关态时的  $I_{off}$ 分布(垂直于沟道方向的 截面)如图 7 所示。可以看出, $I_{off}$ 主要分布在沟道 中央靠近 BOX 的区域,高斯掺杂分布器件的  $I_{off}$ 比 均匀分布器件小很多。当峰值浓度和位置均固定 时,σ越小,靠近 BOX 区域的掺杂浓度就越小,栅极 对沟道的控制能力也就越强。因此,σ越小,器件性 能的提升越明显。



(a) σ=3 nm 的高斯分布 (b) 均匀分布

图 7 不同掺杂分布的 GOI-JLT 在关态时的 I<sub>off</sub> 分布(垂直 于沟道的截面)

E L = 25 nm,  $T_{Ge} = 10 \text{ nm}$ , W = 20 nm,  $V_{d} = 10 \text{ nm}$ 

-1 V的情况下,峰值位置  $z_0$  对器件  $I_{on}/I_{off}$ 和  $S_s$ 的影响如图 8 所示。可以看出,不同  $\sigma$  下,当  $z_0$  =0,也就是位于沟道表面时,可以获得最优化的  $I_{on}/I_{off}$ 和  $S_s$ 。这也可以根据栅极对沟道载流子的控制能力来解释。 $\sigma$ 一定时, $z_0$ 越小(越靠近沟道表面),靠近 BOX 区域的载流子浓度越低,栅极对沟道控制能力就越强, $I_{off}$ 和  $S_s$ 的降低则更显著。因为对  $I_{on}$ 的影响较小, $I_{off}$ 减小会导致  $I_{on}/I_{off}$ 增加。因此,采用"表面高、内部低"的掺杂分布更有利于提升器件性能。



当  $T_{Ge}$ =10 nm、W=20 nm、 $V_d$ =-1 V时,不 同沟道长度下,高斯掺杂( $\sigma$ =3 nm)和均匀掺杂对  $S_s$ 和  $I_{on}/I_{off}$ 的影响如图 9 所示。可以看出,采用高 斯掺杂, $I_{on}/I_{off}$ 可以提高约三个数量级,几乎不受沟 道长度变化的影响。高斯掺杂也可以减小  $S_s$ ,并且 随着 L 的减小,高斯掺杂分布的优势更加明显。这 说明,高斯掺杂分布对于抑制 GOI-JLT 的短沟道效 应是十分有效的。



## 3 结 论

本文采用 TCAD 仿真软件 Sentaurus, 仿真研 究了 GOI-JLT 的电学特性。首先研究了器件物理 参数( $N_a$ 、W、 $T_{Ge}$ 等)对关键电学参数( $I_{on}$ 、 $I_{on}/I_{off}$ 、  $V_i$ 等)的影响规律。然后,重点研究了沟道高斯掺杂

111

分布对 GOI-JLT 性能的影响。仿真结果表明,与均 匀掺杂相比,沟道中采用高斯掺杂分布,能够显著降 低器件的  $I_{\text{off}} 和 S_{\text{S}}$ 、提高  $I_{\text{on}}/I_{\text{off}}$ 。随着器件 L减小, 与均匀掺杂相比,高斯掺杂分布能显著减小 GOI-JLT 的  $S_{\text{S}}$ 、提高  $I_{\text{on}}/I_{\text{off}}$ ,表明高斯掺杂分布能显著 抑制器件的短沟道效应。通过机理分析可知,采用 高斯掺杂分布,提高了栅极对沟道的控制作用,采用 "表面高、内部低"的掺杂分布方式,可以提升 GOI-JLT 的性能。

## 参考文献:

- [1] DENNARD R H, GAENSSLEN F H, RIDEOUTV L, et al. Design of ion-implanted MOSFET's with very small physical dimensions [J]. IEEE J Sol Sta Circ, 1974, 9(5): 256-268.
- [2] ERSHOV M, SAXENA S, KARBASI H, et al. Strained Si, SiGe, and Ge channels for high-mobility metal- oxide-semiconductor field-effect transistors [J]. J Appl Phys, 2005, 97(1): 1-5.
- [3] BALL P. The end of the road for silicon? [J]. Nature, 1999, 399(399): 729-730.
- [4] YU E, CHANG L, AHMED S, et al. FinFET scaling to 10 nm gate length [C] // IEEE Int Elec Dev Meet. San Francisco, CA, USA. 2002: 251-254.
- [5] CLAEYS C, SIMOEN E. 半导体锗材料与器件 [M].屠海令,等译.北京:治金工业出版社,2010.
- [6] AKATSU T, DEGUET C, SANCHEZ L, et al. Germanium-on-insulator (GeOI) substrates—a novel engineered substrate for future high performance devices [J]. Mater Sci Semicond Process, 2006, 9(4): 444-448.
- [7] COLINGE J P, LEE C W, AFZALIAN A, et al. Nanowire transistors without junctions [J]. Nature Nanotechnol, 2010, 5(3): 225-229.
- [8] LILIENFELD J E. Method and apparatus for controlling electric current [P]. USA: US1745175, 1925.
- [9] ZHAO D D, NISHIMURA T, LEE C H, et al. Junctionless Ge p-channel metal-oxide-semiconductor field-effect transistors fabricated on ultrathin Ge-oninsulator substrate [J]. Appl Phys Expr, 2011, 4 (3): 031302.
- [10] ZHAO D D, LEE C H, NISHIMURA T, et al.

Experimental and analytical characterization of dualgated germanium junctionless p-channel metal-oxidesemiconductor field-effect transistors [J]. Jpn J Appl Phys, 2012, 51(4S): 04DA03.

- [11] YU R, GEORGIEV Y M, DAS S, et al. Junctionless nanowire transistor fabricated with high mobility Ge channel [J]. Phys Status Sol (RRL)-Rapid Resear Lett, 2014, 8(1): 65-68.
- [12] WU H, YE P D. Fully depleted Ge CMOS devices and logic circuits on Si [J]. IEEE Trans Elec Dev, 2016, 63(8): 3028-3035.
- [13] REN S, BHUIYAN M A, WU H, et al. Total ionizing dose (TID) effects in ultra-thin body Ge-oninsulator (GOI) junctionless CMOS FETs with recessed source/drain and channel [J]. IEEE Trans Nucl Sci, 2017, 64(1):176-180.
- [14] YE H Y, LAN H S, LIUC W. Electron mobility in junctionless Ge nanowire NFETs [J]. IEEE Trans Elec Dev, 2016, 63(11): 4191-4195.
- [15] MASETTI G, SEVERI M, SOLMI S. Modeling of carrier mobility against carrier concentration in arsenic-, phosphorus-, and boron-doped silicon [J]. IEEE Trans Elec Dev, 1983, 30(7): 764-769.
- [16] HELLINGS G, ENEMAN G, KROM R, et al. Electrical TCAD simulations of a germanium pMOSFET technology [J]. IEEE Trans Elec Dev, 2010, 57(10): 2539-2546.
- [17] HURKX G A M, KLAASSEN D B M, KNUVERS M P G. A new recombination model for device simulation including tunneling [J]. IEEE Trans Elec Dev, 2002, 39(2): 331-338.
- [18] SCHENK A. Rigorous theory and simplified model of the band-to-band tunneling in silicon [J]. Sol Sta Elec, 1993, 36(1): 19-34.
- [19] LOPEZ-VILLANUEVA J A, GAMIZ F, ROLDAN J B, et al. Study of the effects of a stepped doping profile in short-channel MOSFETs [J]. IEEE Trans Elec Dev, 2002, 44(9): 1425-1431.
- [20] DUARTE J P, CHOI S J, MOON D I, et al. Simple analytical bulk current model for long-channel doublegate junctionless transistors [J]. IEEE Elec Dev Lett, 2011, 32(6): 704-706.

・动态与综述・

# 声能量收集器的研究综述

杨 磊,薛至诚,何星月,谷新丰,王德波 (南京邮电大学电子与光学工程学院、微电子学院,南京 210023)

## A Review of Research on the Acoustic Energy Harvester

YANG Lei, XUE Zhicheng, HE Xingyue, GU Xinfeng, WANG Debo

(College of Electronic and Optical Engineering & College of Microelectronics, Nanjing University of Posts and Telecommunications, Nanjing 210023, P. R. China)

**Abstract**: Acoustic energy is ubiquitous as a form of energy in the environment. How to collect and apply acoustic energy has become a current research hot issue. The system structure and related optimization schemes of Helmholtz resonator, acoustic crystal resonator, quarter-wave resonator and other non-cavity structure acoustic energy harvester were introduced. The experimental results showed that higher energy harvesting efficiency could be achieved by the use of acoustic crystal resonators rather than Helmholtz resonators with the same size. Compared with the Helmholtz resonator, the advantage of a quarter-wave resonator was that it could collect the same sound energy in a smaller volume. The efficiency of energy harvesting had also been improved by the structural optimization and coupling design. In addition, many non-cavity structures had also a good application prospect.

Key words: acoustic energy collection; Helmholtz resonator; acoustic crystal; quarter-wave resonator; noncavity structure

0 引 言

随着微机电技术和精密加工制造技术的不断发 展,微机电产品日趋微型化和人性化,应用也愈来愈 广泛。目前,微机电产品的能量供给主要依赖于化 学电池。在使用过程中,化学电池存在体积大、寿命 有限、需要定期更换等缺点。能量收集器具有寿命 长、体积小、环境适应性强等优点,是解决传统电池 对各种超低功耗微电子器件与系统供电难的有效技

### 收稿日期:2019-03-17; 定稿日期:2019-05-24

**基金项目:**国家自然科学青年基金资助项目(61704086);国家博士后基金资助项目(2017M621692);江苏省博士后基金资助项目(1701131B);江苏省研究生科研创新计划资助项目(SJKY19\_0816, SJKY19\_0267)

作者简介:杨 磊(1996—),男(汉族),江苏南京人,硕士,研究方向为微机电系统、振动能量收集。

王德波(1983—),男(汉族),山东新泰人,副教授,研究方向为 MEMS 压电能量收集系统。通信作者,E-mail:wdb@njupt.edu.cn。

术途径之一,逐渐成为研究热点[1]。

能量收集器的主要设计思路是从环境中收集能量,如振动能、太阳能、声能等。振动能只能在共振时才会有较高的收集效率。当环境振动源频率发生改变时,振动能的收集效率迅速降低,能量收集过程不稳定<sup>[2]</sup>。太阳能的应用场合具有局限性,容易受到外界条件的影响<sup>[3]</sup>。相比之下,声能在环境中广泛存在,更加容易被收集,同时具有更高的能量转换效率,并且在植入设备、环境监测设备等方面有着广泛的应用前景,逐渐成为研究热点<sup>[4]</sup>。

能量收集技术的转换机理主要有静电效应<sup>[5]</sup>、 电磁效应<sup>[6]</sup>(包括磁致伸缩效应<sup>[7]</sup>)、压电效应<sup>[8]</sup>等。 压电振动能量收集器具有与 MEMS 工艺兼容性好、 易于微型化、输出功率密度高等优点,已成为振动能 量收集器研究方向的热点。本文介绍的声能收集器 结构主要采用压电结构。

1 腔体型声能收集器

目前,声能主要通过腔体来收集。腔体主要包 括亥姆霍兹谐振腔<sup>[9]</sup>、声晶体谐振腔<sup>[10]</sup>、四分之一 波长谐振腔<sup>[11]</sup>等。这些腔体在乐器中用来增声,在 工业中用来消声,在能量收集领域用来进行声压放 大<sup>[12]</sup>。在收集腔中加入一个或多个压电片,由于腔 体在声谐振频率处被入射波激发,形成驻波,利用压 电效应可以实现从声能到电能的转换,并可以被外 加能量俘获电路收集。下面具体介绍这几种声能收 集结构及其转换效率优化方法。

#### 1.1 亥姆霍兹谐振腔

亥姆霍兹谐振腔主要由颈部和腔体组成,如图 1 所示<sup>[13]</sup>。在能量收集的应用中,腔体底板的刚性 背板由柔性 PZT 压电薄膜替代,并在薄膜的两极连 接外接电路<sup>[13]</sup>。



图 1 亥姆霍兹谐振腔

亥姆霍兹谐振腔的主要作用是将入射声波放大

到更高的振幅级。由于入射声波压力的作用,当颈 部空气由静力平衡位置向下移动时,腔内空气压缩, 腔内压力增大,压电薄膜产生正向应变。同理,当颈 部空气向下移动到极端位置时,内部压力将它推回 到向上的方向。由于惯性,当颈部的空气超过平衡 位置时,会使腔内压力下降,压电薄膜产生反向应 变。在这样的周期变化中,压电薄膜的振荡过程通 过压电效应产生电势,从而产生输出电压<sup>[14]</sup>。

由于存在机械共振,为了使输出效率最大化,通 常采用在压电片上增加惯性质量块的方式来减小机 械共振频率,或者调整腔体和颈部的组合及其相对 方向性来改变声学共振,使机械共振与声学共振保 持谐振,从而获得最大的输出功率<sup>[15]</sup>。

建模时,对于第一特征模态,一般将颈部空气作 为质量振动,腔内的静态空气作为弹簧进行压缩和 膨胀。因此在第一特征模态下,模型可等效为质量 弹簧阻尼系统,即可用通用的集总参数模型来进行 参数分析,具体公式为:

 $M_{\rm eq} \ddot{u}(t) + \dot{\xi} \dot{u}(t) + K_{\rm eq} u(t) + \alpha V_0(t) = F(t) \quad (1)$ 

式(1)中,等号左边的4个参数分别代表质量、 阻尼、弹簧、机电耦合作用力,等号右边的F(t)表示 声波激励<sup>[13]</sup>。

为了改善亥姆霍兹谐振器的能量收集效率,F. Khan 等人从腔体结构出发,设计了一种锥形腔体结构,具体如图 2 所示<sup>[16]</sup>。经过试验测试,在同等条件下,相比于传统的圆形亥姆霍兹谐振腔,锥形亥姆 霍兹谐振腔可以更好地对声压进行放大,获得的电 压和输出功率分别提高了 33.33%和 76.26%<sup>[16]</sup>。



图 2 锥形亥姆霍兹谐振腔

X. Peng 等人设计了一种采用双亥姆霍兹谐振 腔的声能收集器,极大地提高了声能收集效率,具体 结构如图 3 所示<sup>[17]</sup>。采用一对空腔和柔性穿孔板 的机械耦合,以增强空腔与柔性穿孔板之间的声耦 合。工作状态下,当外加声场作用于能量收集器的 第一个孔口时,声压的很大一部分被第一个腔放大 并作用于黄铜板和第二个腔口,同时使压电薄膜振 动,从而在薄膜表面产生电压。活塞可在第二个腔 内平稳运动,通过改变第二个腔的体积来控制输出。 在最佳体积下,相比于传统的亥姆霍兹谐振腔,该结 构产生的电压提高了 400%,输出功率为原来的 16 倍。



图 3 双亥姆霍兹耦合谐振腔

#### 1.2 声晶体谐振腔

声晶体谐振腔由声能晶体和压电材料构成,主要采用点缺陷作为谐振腔。在该结构中,点缺陷是 从完美的声速晶体中移除一根棒而产生的,其结构 如图4所示<sup>[10]</sup>。以点缺陷作为谐振腔的优点在于 谐振频率处的声波可以定位在谐振腔内。声能的产 生基于声子晶体腔内波的局化效应和压电材料的压 电效应。



图 4 声晶体谐振腔

L. Y. Wu 等人采用 PMMA 作为材料,并将 40 cm 长的 PMMA 圆柱体固定在穿孔的 PMMA 板上,构成实验模型。在 5×5 结构模型中,相比于 没有声波晶体的谐振腔,以声晶体作为谐振腔,在谐 振频率处,声压增大了 4.94 倍,声功率提高了 24.4 倍。而在 6×7 结构模型中,获得更大的腔内压强, 在相同谐振频率下,输出电压是 5×5 结构的 1.447倍。

为了进一步提高能量收集效率,A. Yang 等人 提出了耦合谐振结构声能收集器,将亥姆霍兹谐振器(含柔性压电薄膜)放入点缺陷声晶体谐振腔的中 心,如图 5 所示<sup>[18]</sup>。

当亥姆霍兹谐振结构与声晶体谐振结构具有相同的谐振频率时,它们之间的声谐振耦合最强。相比于单个谐振腔结构,耦合结构在腔内对共振声波进行了定位和增强,因此具有更大的声压放大倍数。在耦合谐振结构中,共振声压越大,压电复合膜片振动越强,输出电压越高,能量收集效率也越高。实验结果表明,该结构的最大能量收集效率是声晶体谐振腔的 23 倍,是亥姆霍兹谐振腔的 262 倍。



图 5 耦合声晶体谐振器

除了点缺陷结构,X.B. Cui 提出另一种声光 栅结构的声晶体谐振器,结构如图 6 所示<sup>[19]</sup>。声学 光栅主要由金属狭缝光栅、金属薄板和压电材料组 成。金属狭缝光栅将入射声波挤入狭缝光栅和金属 薄板之间的气隙中,从而产生高声压并使金属薄板 振动。金属薄板背面的 PZT 压电材料通过直接的 压电效应,将振动产生的机械能转换为电能,从而产 生输出电压。



实验结果显示,在谐振频率处,狭缝处的最大压 力是入射场声压的 40 倍,具有显著的声压放大效 果,并且可以在压电材料两侧获得 mV 量级的输出 电压,满足微型器件的能源供给要求。可以通过调 节一些结构参数来进一步优化输出效率,如调节光 栅周期、狭缝宽度、金属薄膜厚度等。

### 1.3 四分之一波长谐振腔

为了降低本征频率和增加放大比,需要增加亥 姆霍兹谐振器的颈长,并扩大腔体。在设计小型能 量收集器时,需要一个又长又窄的谐振腔,如四分之 一波长谐振腔<sup>[11]</sup>。四分之一波长谐振器的总体结 构设计如图 7 所示<sup>[20]</sup>。使用 1/2 英寸厚的聚碳酸 酯板作为材料。管子的一端开口,另一端闭合,管长 等于四分之一波长。压电悬臂板垂直于管轴放置。 每个压电悬臂板由碳纤维垫片夹在两个 PZT 压电 层中间构成,两个电极连接到悬臂板的两侧,中间垫 片接地。管中的每一个压电梁具有相同的结构参 数,通过调节结构参数,可以使它们的结构本征频率 与管子的声本征频率相同。这样可以实现超声驻波 与机械波的耦合,从而获得较高的输出效率。



实验结果表明,在最大声压梯度振动的管子开 口附近,压电梁的电压和功率最大,并向管子的末端 方向逐渐减小。这为如何在管内放置压电梁提供了 一些参考。

为了提高该结构的能量收集效率,B. Li 等人在 管内放置了多个压电梁,并考虑其排列方式的影响。 实验结果表明,电子管内压电梁数目并不是越多越 好。这是因为管端附近的附加梁会引起声共振的改 变。为了尽量多地放置压电梁,同时考虑到压电梁会 打断空气粒子延电子管方向的运动,从而降低声共振 压力,B. Li 等人提出了锯齿形排列结构,相比于对齐 排列,锯齿形排列结构具有更多的空气运动开放路 径,能获得更大的输出电压和功率。对齐排列结构与 锯齿形排列结构的对比数据如图 8 所示<sup>[11]</sup>。



# 2 非腔体结构的声能收集器

除了典型的腔体结构,人们还设计了一些声能 收集结构。相比于腔体结构,这些结构在特定的应 用场合有着各自的优势。

Y. Zhu 等人设计了一种双自由度的芯片级声 能收集器,其结构模型如图 9 所示<sup>[21]</sup>。两个质量块 分别沿 *x* 轴和 *y* 轴运动,通过弹簧相互连接。两个 静电梳状可变电容器独立振动并收集能量,将电流 导入负载。沿对角线方向工作时,该器件的带宽是 同类一维谐振器的 2 倍。

A. G. Fowler 等人在此基础上加以扩展,设计 了三自由度<sup>[22]</sup>和四自由度<sup>[23]</sup>的声能收集器,以便更 加有效地从环境中收获声能。三自由度声能收集器 的结构模型如图 10 所示。将质量块固定在基板的 中心,通过质量块在 x、y 方向的运动分离来获得平 面机械振动。同时,通过腐蚀中心结构来创造一个 较小的子质量块,并将一组次级梁弯曲,再与质量块 的其余部分连接,从而创造一个嵌套结构,使系统额 外获得一个平面外 z 方向的机械共振。相比于二自 由度模型,该模型拓展了对平面外部分的能量收集。



图 10 三自由度声能收集器结构模型

四自由度模型在三自由度模型的基础上加入一 个平面外绕 z 轴的旋转模式。旋转收集模式以与 z 轴方向类似的方式嵌套在中心质量块结构内,围绕 设备中心的圆环被设计成使包括平面外部分的整个 中央收集结构具有围绕设备 z 轴旋转的共振模式。 该模型中四种模态的有限元模拟如图 11 所示。



四自由度声能收集器允许在任何方向上发电, 即使外部超声能量发射器没有与设备精确对齐也不 会造成工作效率的下降。这为人体植入设备的电能 供给提供了一种解决方案。

A. Denisov 等人提出一种机械耦合结构,新颖 之处在于驱动直接由超声提供动力,而不是通过压 电转换<sup>[24]</sup>。系统结构如图 12 所示,主要包括振子、 接收膜、耦合臂、支撑梁,使用硅作为材料,采用 SOI 工艺进行制作,通过刻蚀埋藏的二氧化硅实现膜与 振子之间的机械耦合。



图 12 超声驱动的机械耦合结构

通过实验发现,该结构可以实现对无线超声的 机械放大,能应用在仅需要机械运动的植入设备中。 通过增加膜的面积可以获得更多的超声能量,更厚 的氧化层可以提供更好的机械放大,这为系统优化 提供了指导。同时,在薄膜振荡器耦合过程中存在 非线性行为,并随着驱动电压增加而更加明显。这 能提高系统带宽,但会导致频率响应迟滞,在实际应 用中需要考虑这些影响。

J. Jeon 等人提出一种氧化液态金属发电模型,通过声波调制氧化液态金属液滴以及两个电极之间的电双层结构,将声波能量转换为电能<sup>[25]</sup>。 模型工作原理如图 13 所示。该模型由覆盖介电 层的顶部电极、底板电极和置于电极之间的镓基 液态金属液滴组成。在顶部与底部电极之间外加 偏置电压,同时对底部电极施加声波,金属液滴受 力变形,与顶部产生接触,其接触面积随声波大小 变化。这种接触会引起电容以及电荷发生变化, 最终产生输出电流。

镓基液态金属液滴同时具有较高的导电性能和 无限变形性能,已得到广泛应用。实验发现,最大输 出电流发生在谐振频率处,与金属液滴体积成正比, 输出电流与介质层厚度成反比。该设计对发掘液态 金属发电的潜在应用具有一定的指导意义。



## 3 结 论

当前,从环境中获取能量获得越来越广泛的关 注。声能是环境中广泛存在且易于收集的一种能 量,如何收集并应用这一能量成为当下研究的热点。 在声能收集中,应用最广泛的是腔体结构。而在三 种腔体结构中,相比同等尺寸的亥姆霍兹谐振器,声 晶体谐振器能获得更高的能量收集效率,同时,二者 之间的耦合结构比单一谐振器结构有着更高的工作 效率。相比于亥姆霍兹谐振器,四分之一波长谐振 器能以更小的体积收集同样的声能,这使其在特定 的结构中节约了空间。实验结果表明,优化谐振腔 的几何结构或者设计耦合模型有利于提高能量转换 收集效率。除此之外,其他新颖结构也不断被提出, 这些结构拓宽了人们的思路,并且可以解决实际应 用中的特定问题。

随着微型化技术的飞速发展,各种新型结构的 声能收集器势必会不断涌现。它们将会在现有结构 的基础上不断地改进优化。声能收集器将会逐步替 代传统电池,通过合理地收集、利用环境声能,解决 微型化领域的能量供给问题,推动微型化技术走上 永续发展之路。

## 参考文献:

- [1] TWIEFEL J, WESTERMANN H. Survey on broadband techniques for vibration energy harvesting
   [J]. J Intelli Mater Syst & Struc, 2013, 24(11): 1291-1302.
- [2] 刘成龙,孟爱华,陈文艺,等.振动能量收集技术的研究现状与发展趋势[J].装备制造技术,2013(12): 43-47.
- [3] CORKISH R, GREEN M A, PUZZER T. Solar energy collection by antennas [J]. Solar Energy, 2002, 73(6): 395-401.
- [4] FANG L H, HASSAN S I S, RAHIM R B A, et al.

A review of techniques design acoustic energy harvesting [C] // IEEE SCOReD. Kuala Lumpur, Malaysia. 2015: 37-42.

- [5] SUZUKI Y. Recent progress in MEMS electret generator for energy harvesting [J]. IEEJ Trans Electri & Electro Engineer, 2011, 6(2): 101-111.
- [6] BEEBY S P, TUDOR M J, WHITE N M. Energy harvesting vibration sources for microsystems applications [J]. Measure Sci & Technol, 2006, 17 (12): R175-R195.
- [7] WANG L, YUAN F G. Vibration energy harvesting by magnetostrictive material [J]. Smart Mater &. Struc, 2008, 17(4): 1-14.
- [8] ANTON S R, SODANO H A. A review of power harvesting using piezoelectric materials (2003-2006)
   [J]. Smart Mater & Struc, 2007, 16(3): R1-R21.
- [9] MONTEIRO M, MARTI A C, VOGT P, et al. Measuring the acoustic response of Helmholtz resonators [J]. Phys Teach, 2015, 53(4): 247-249.
- [10] WULY, CHENLW, LIUCM. Acoustic energy harvesting using resonant cavity of a sonic crystal [J]. Appl Phys Lett, 2009, 95(1): 013506-1 - 013506-3.
- [11] LI B, LAVIAGE A J, YOU J H, et al. Harvesting low-frequency acoustic energy using quarterwavelength straight-tube acoustic resonator [J]. Appl Acous, 2013, 74(11): 1271-1278.
- [12] MOORES B A, SLETTEN L R, VIENNOT J J, et al. Cavity quantum acoustic device in the multimode strong coupling regime [J]. Phys Rev Lett, 2018, 120 (22): 227701.
- [13] HOROWITZ S B, SHEPLAK M, CATTAFESTA L, et al. A MEMS acoustic energy harvester [J]. J Micromech & Microengineer, 2006, 16 (9): S174-S181.
- [14] COX T J, D' ANTONIO P. Acoustic absorbers and diffusers: theory, design and application [M]. Boca Raton, USA: CRC Press, 2016.
- [15] YUAN M, CAO Z, LUO J, et al. An efficient lowfrequency acoustic energy harvester [J]. Sensors &. Actuat A: Phys, 2017, 264: 84-89.
- [16] KHAN F, IZHAR. Piezoelectric type acoustic energy harvester with a tapered Helmholtz cavity for improved performance [J]. J Renew & Sustain Energy, 2016, 8 (5): 054701.
- [17] PENG X, WEN Y, LI P, et al. Enhanced acoustoelectric coupling in acoustic energy harvester using dual Helmholtz resonators [J]. IEEE Trans Ultrason, Ferroelec, & Freq Control, 2013, 60(10): 2121-2128.

# 基于石墨烯压阻效应的压力传感器研究进展

李方清,李龙飞,王德波

(南京邮电大学电子与光学工程学院、微电子学院,南京 210023)

摘 要: 与传统的硅阻型压力传感器、陶瓷型压力传感器相比,石墨烯压力传感器具有测量灵敏度更高、测量范围更广的优点。对几种石墨烯压力传感器的研究进展进行综述。根据制作工艺的不同,将石墨烯压力传感器分为单层型和多层型。根据两大类型,列举最近六种石墨烯压力传感器的基本制作过程和测量范围、检测灵敏度等特性。根据六种石墨烯压力传感器的对比结果,得到单层型与多层型石墨烯压力传感器的不同工作特性及应用环境。针对单层型和多层型石墨烯 传感器,分别提出提高性能的可行方案,对此类传感器的实际应用与推广具有一定的指导意义。 关键词: 石墨烯;压阻效应;压力传感器

 中图分类号:TN389
 文献标识码:A
 文章编号:1004-3365(2020)01-0118-08

 DOI:10.13911/j.cnki.1004-3365.190152

# Research Progress of Pressure Sensors Based on Graphene Piezoresistive Effect

LI Fangqing, LI Longfei, WANG Debo

(College of Elec. and Optical Engineer. & College of Microelec., Nanjing Univ. of Posts and Telecommun., Nanjing 210023, P. R. China)

**Abstract:** Compared with traditional silicon resistive pressure sensors and ceramic pressure sensors, graphene pressure sensors have the advantages of improved measurement sensitivity and extended dynamic range. The research progress of several graphene pressure sensors was reviewed. Firstly, the graphene pressure sensors were categorized into single layer and multilayer types according to the different fabrication process. On this basis, six kinds of graphene pressure sensors were listed, and the characteristics including basic fabrication process, working range and detection sensitivity were presented. Then, according to the comparison results of six graphene pressure sensors, different working characteristics and application environments of single-layer and multi-layer graphene pressure sensors were obtained. In addition, a feasible scheme was proposed respectively to improve the performance of single-layer and multi-layer graphene sensors, which had certain guiding significance for the practical application and promotion of such sensors.

Key words: graphene; piezoresistive effect; pressure sensor

0 引 言

2004年,安德列·盖姆和康斯坦丁·诺沃肖洛

关采用机械剥离法,获得第一片石墨烯。自此,石墨 烯成为全球研究热点<sup>[1]</sup>。石墨烯具有极大的刚度, 杨氏模量为1 TPa<sup>[2]</sup>,断裂强度约为125 GPa<sup>[3]</sup>。与 其他纳米材料相比,石墨烯具有优异的导电性<sup>[4]</sup>和

收稿日期:2019-03-22;定稿日期:2019-04-15

- 基金项目:国家青年自然科学基金资助项目(61704086);中国博士后科学基金资助项目(2017M621692);江苏省博士后基金资助项目(1701131B);南京邮电大学国自基金孵化资助项目(NY215139,NY217039);南京大学近代声学教育部重点 实验室开放课题资助项目(1704)
- 作者简介:李方清(1998—),男(苗族),贵州安顺人,研究方向为石墨烯压力传感器。

李龙飞(1998-),男(汉族),山东滨州人,研究方向为石墨烯压力传感器。

王德波(1983—),男(汉族),副教授,研究方向为 MEMS 压力传感器。通信作者, E-mail: wdb@njupt. edu. cn。

极强的柔韧性,可拉伸性高达 20%<sup>[5]</sup>,可用作性能 优异的柔性材料。此外,石墨烯的电阻率随压力线 性变化的特性已被应用于各种压力检测场合<sup>[6]</sup>。传 统材料的压阻效应已被广泛应用于 MEMS 智能传 感器领域<sup>[7]</sup>,包括光纤应变计<sup>[8]</sup>、悬臂力传感器<sup>[9]</sup>、 微机械热加速度计<sup>[10]</sup>、惯性传感器<sup>[11]</sup>、压阻式压力 传感器<sup>[12]</sup>和电容式压力传感器<sup>[13]</sup>。石墨烯将给这 些领域带来革命性影响。2010年,G. Cocco等人对 石墨烯的剪切方向和单轴应变力方向施加压力,得 到高达 0.95 eV 的带隙<sup>[14]</sup>。利用此原理,可将石墨 烯的优异性能应用在压力传感器上。基于石墨烯电 阻随压力规律性变化的特性,开发出性能优异的石 墨烯压阻式压力传感器,通过简单直接的转换,在机 械与电气领域之间构建桥梁。

长期以来,国内外压力传感器以电阻应变式为 主,主要包括金属箔式和硅阻式两种形式。金属箔 式传感器的灵敏度低,应变系数仅为2,采用应变胶 粘贴,易受温度湿度等环境条件影响,并随时间老 化,零点漂移和迟滞增大现象明显。硅阻式传感器 的压力感应材料应变系数高,因材料对温度非常敏 感,受环境温度影响较大,工作温度范围窄(一般不 超过 60 ℃),而且测量腐蚀性流体压力需要隔离,结 构复杂,成本高,应用受限。

在压阻式传感器中,感应材料越薄,相同应力下 应变越明显。虽有薄膜应变式等新型压力传感器出 现,但因成本高等多种因素,难以满足日益增长的石 化、冶金、工业等需求<sup>[15]</sup>。单层石墨烯只有一个碳 原子的厚度,即 0.335 nm,相当于一根头发厚度的 20万分之一,是已知最薄的材料。M.S.Fuhrer等 人发现<sup>[16]</sup>,在 50 K~500 K之间测得的石墨烯电子 迁移率不随温度改变,均为 150 000 cm<sup>2</sup>/(V•s)。 硅的电子迁率仅为1 400 cm<sup>2</sup>/(V•s)。因此,与硅 相比,电子在石墨烯中的传输速度快了 100 倍。这 些特性为开发性能优异的传感器提供了有利条件。 与传统传感器相比,石墨烯压力传感器具有高灵敏 度、高量程、纳米尺寸、柔韧性、可穿戴性等优点,有 望应用于声纹识别、可穿戴设备、医疗设备等场合。

本文综述了近年来石墨烯压力传感器的研究进展,介绍其基本制作过程与结构、电力学等特性。根据石墨烯材料的几何结构和制作工艺,将石墨烯压力传感器分为两类,即单层型和多层型。根据六种石墨烯压力传感器的对比结果,得到单层型与多层型石墨烯压力传感器的不同工作特性及应用环境,并分别提出提高传感器性能的可行方案。

# 1 单层型石墨烯压力传感器

制作单层型石墨烯压力传感器时,将单层石墨 烯薄膜作为感应材料。同一片石墨烯薄膜装入不同 结构的压力传感器中,会表现出不同的检测灵敏度, 其灵敏度高低、工作范围大小主要取决于传感器的 结构设计是否优良,与石墨烯薄膜无关。因此,通常 采用物理手段来改善单层型石墨烯压力传感器的结 构,达到提升性能的目的。这类传感器对大压力敏 感,对人类脉搏跳动等微弱运动不灵敏,可穿戴性 差。代表传感器有悬浮型石墨烯压力传感器<sup>[18]</sup>、光 纤型石墨烯压力传感器<sup>[25]</sup>等。

### 1.1 悬浮型石墨烯压力传感器

2007 年,K. S. Novoselov 等人发现,吸附单个 分子而使石墨烯薄膜发生的局部微小应变能被检测 到<sup>[17]</sup>。同年,J. S. Bunch 等人将石墨烯薄膜覆盖 在一个空腔上,建立了悬浮型石墨烯压力传感器的 模型<sup>[18]</sup>。如图1所示,将石墨烯薄膜悬浮在矩形空 腔上方并吸附于 SiO<sub>2</sub> 表面。当石墨烯薄膜内外存 在气压差时,石墨烯将发生形变。由于压阻效应,石 墨烯电阻将改变,通过外部电路可以检测到这种变 化。均布压强为1 kPa 时,中心扰度为 0.006 04 μm,最大应力为1.354×10<sup>8</sup>N/m<sup>2</sup>,这说明石墨烯薄 膜的压力灵敏度很高。



图 1 悬浮型石墨烯压力传感器的模型

2012 年,A. D. Smith 等人给出了悬浮石墨烯 压力传感器的结构和制造工艺<sup>[19]</sup>,并运用 Comsol 软件和拉曼光谱仪,对应力引起的石墨烯形变进行 了分析。外加压力为13 978 Pa时,在1 mm 宽的空 腔上,单层石墨烯形变量高达 280 nm,通过实验测 量,得到的灵敏度为 3.95 μV/V。

2013年,O. K. Kwon等人在传感器中增加了 一个顶板,置于悬浮的石墨烯之上<sup>[20]</sup>。顶板带有一 些圆柱形的突出点,这些突出点直接与石墨烯进行 接触,接触面积较小。从顶板施加压力时,压力通过 圆柱形突出点传递到石墨烯薄膜,即使外界施加的 压力很小,石墨烯薄膜受到的压力也会成倍增大。 图 2 所示为改进后的悬浮型石墨烯压力传感器。改 进后传感器的灵敏度大大提高,可用于低压检测环 境,且低压范围线性度良好。缺点是在高压范围内 线性度较差,而且传感器尺寸大于悬浮型石墨烯压 力传感器。



图 2 改进后的悬浮型石墨烯传感器

## 1.2 光纤型石墨烯压力传感器

传统的光纤压力传感器,如反射式光强调制型 光纤压力传感器<sup>[21]</sup>、微型光纤光栅压力传感器<sup>[22]</sup>, 超快空气孔微结构光纤高温压力传感器<sup>[23]</sup>、全光纤 二氧化硅膜片高灵敏度压力传感器<sup>[24]</sup>等,受到压力 感应材料的限制,其检测灵敏度与使用范围也受到 相应限制。J. Ma 等人利用石墨烯更薄、伸展性更 好等优异特性,将石墨烯作为隔膜材料,制作出高灵 敏度的光纤型石墨烯压力传感器<sup>[25]</sup>。借助显微镜, 在距离拼接接头几十 μm 处切割光纤,在光纤尖端 处构造空腔,再用石墨烯薄膜密封开口腔,石墨烯作 为隔膜,随外部压力变化而形变。制作的石墨烯光 纤压力传感器如图 3 所示。



图 3 光纤型石墨烯压力传感器

将传感器放入密封的压力室,在不同压力下测 量传感器光纤尖端微腔的腔长改变量,结果如图 4 所示。

可以看出,随着外部压力增加,腔长呈现非线性 减小趋势。进一步研究发现,在 0~5 kPa 的压力范 围内,石墨烯的平均压力灵敏度约为 39.4 nm/kPa, 而且石墨烯作为感应材料,可以承受高达 2.5 MPa 的压力。光纤型石墨烯压力传感器具有尺寸小、灵 敏度高、稳定性强等特性,有望应用于生物医学、环 境监测、微系统和纳米系统等领域。



2 多层型石墨烯压力传感器

制作多层型石墨烯压力传感器时,将石墨烯与 其他材料进行复合再经过一定化学手段处理后得到 的材料作为压力传感器的感应部分。借助复合材料 的特殊结构或化学手段带来的新结构,使石墨烯发 生多层重叠,进而增加石墨烯的导电层数和网络数 量,使石墨烯对应变更加灵敏。石墨烯与不同材料 进行复合或经过不同化学手段进行处理后的材料会 表现出不同的检测灵敏性、工作范围以及迟滞性。 因此,可采用与特殊材料复合或者高温处理、冷冻干 燥等化学手段来提升多层型石墨烯压力传感器的性 能。这类传感器对微弱压力灵敏,柔韧性强,可穿戴 性强,但制作工艺较为复杂。代表传感器有纸基石 墨烯压力传感器<sup>[29]</sup>、泡沫状石墨烯压力传感器<sup>[30]</sup>、 石墨烯-硫化镉纳米晶柔性压力传感器<sup>[26]</sup>等。

## 2.1 石墨烯-聚丙烯酸三维多孔压力传感器

近年来,石墨烯与各类多功能柔性材料复合而成 的可穿戴压力传感器成为传统压力传感器感应范围 受限的重要突破口。卢韵静等人将三维聚酯非织造 布作为基材,还原氧化石墨烯作为活性材料,聚二甲 基硅氧烷作为柔性材料,组装出具有三维结构的压阻 式压力传感器<sup>[27]</sup>。2018年,王萍萍等人以氧化石墨 烯为前驱体,制备了石墨烯三维多孔材料(3D-rGO), 并将其破碎,再与聚丙烯酸弹性基底(PAA)进行复 合,制得石墨烯-聚丙烯酸三维多孔复合材料(3D- rGO-PAA)压力传感器<sup>[28]</sup>,如图 5 所示。



图 5 3D-rGO-PAA 压力传感器

通过扫描电镜观察发现,3D-rGO-PAA 压力传 感器呈现微观无序、多孔的导电网络结构,受到外部 应力时,石墨烯导电网络重新构建,引起接触电阻的 变化,而片层间大量的接触点使得 3D-rGO-PAA 压 力传感器具有优异的传感性能。

3D-rGO-PAA 压力传感器电阻随压力的变化 曲线如图 6 所示<sup>[28]</sup>。可以看出,3D-rGO-PAA 压力 传感器对拉伸、压缩应变均具有快速响应特性,响应 时间分别为 75 ms 和 112 ms,无明显滞后现象。在 反复拉伸 3 200 次、反复压缩 7 000 次的过程中,电 阻仍能规律性变化,且变化波形基本保持不变,具有 优异的稳定性和可重复性。拉伸灵敏度系数 GF 高 达 44~100,灵敏度高达 0.013 kPa<sup>-1</sup>。另外,3DrGO-PAA 压力传感器与人体有很强的贴合性,透 气性强,能直接贴附于人体来监测关节运动、声带振 动等,可真正用作柔性可穿戴传感材料。3D-rGO-PAA 压力传感器表现出较高的灵敏度和线性度、快 速的响应性和高的机械稳定性(>7 000 次),可实时 监测关节的运动以及声带的振动情况。



图 6 3D-rGO-PAA 压力传感器电阻随压力的变化曲线

### 2.2 纸基石墨烯压力传感器

传统压阻传感器不能同时具有高灵敏度和大工

作范围,因而未能在实际生活中广泛应用。2018 年,L.Q.Tao等人研制出高灵敏度、大工作范围的 纸基石墨烯压力传感器<sup>[29]</sup>。如图7所示,将薄纸切 成正方形并放入培养皿中,然后将浓度为2mg/mL 的氧化石墨烯(GO)溶液滴入培养皿中,并将纸完全 浸泡。之后,将培养皿放入250℃的烘箱中5h,使 GO还原成rGO,形成纸基石墨烯。最后,将纸基石 墨烯的顶层和底层用导电银胶连接到铜箔电极上, 制得纸基石墨烯压力传感器。

在不同压力下,对纸基石墨烯压力传感器的电 阻进行测试,结果如图 8 所示。可以看出,该压力传 感器具有 0~20 kPa 的大压力检测范围,并具有超 高灵敏度,在 0~2 kPa 范围内,灵敏度高达 17.2 kPa<sup>-1</sup>。此外,纸基石墨烯压力传感器具有柔韧性 强、制造工艺简单、生产规模大、成本低等优点,在呼 吸和手腕脉搏检测、运动监测、语音识别等智能可穿 戴设备领域具有广泛的应用前景。



图 7 纸基石墨烯压力传感器





### 2.3 泡沫状石墨烯泡沫压力传感器

Y. Zhong 等人将 GO 溶液与 ZnCl<sub>2</sub> 混合,然后 将混合物倒入圆柱形模具中冷冻干燥,最后通过肼 还原、热处理和洗涤等过程,得到皱褶状石墨烯泡 沫<sup>[30]</sup>,其扫描电镜图如图 9 所示。



图 9 泡沫状石墨烯扫描电镜图

通过将一片皱褶状石墨烯泡沫夹在两个超薄聚 酰亚胺带之间来制作压阻式压力传感器,碳线用作 导线,以连接皱褶状石墨烯泡沫的顶部和底部。在 石墨烯泡沫中含有石墨烯片,丰富的孔隙分布在具 有小凸起的粗糙、起皱的石墨烯层。挤压、释放后, 石墨烯泡沫可以恢复到初始状态。石墨烯的结构呈 皱褶状且内部相互连接,石墨烯泡沫在外力作用下 压缩变形,并且在释放时可以恢复到初始状态,表现 出优异的机械性能和极高的可靠性,在压力传感器 领域显示出巨大的潜力。

由于皱褶微结构的独特接触面和泡沫结构,基 于泡沫状石墨烯泡沫制作的压阻式压力传感器表现 出优良的性能,如响应时间短(150 ms)、弛豫时间短 (120ms)、可靠性高等。将皱褶状石墨烯泡沫传感 器接入电路,对传感器的顶部施加4个不同的周期 性压力,得到相对电流随时间的变化曲线,如图10 所示。可以看出,该传感器具有良好的动态性能。 皱褶状石墨烯压力传感器在各种应用中表现出令人 满意的效果,如脉冲检测、语音识别、监测指关节运 动等,为各种可穿戴电子器件的开发提供了足够的 可行性。



### 2.4 石墨烯海绵压力传感器

导电多孔海绵具有良好的导电性和柔韧性,被 认为是制作压阻压力传感器的优良材料<sup>[31]</sup>。2013 年,H.B.Yao等人基于断裂微结构,设计了一种石 墨烯-聚氨酯(RGO-PU)海绵压力传感器<sup>[32]</sup>,其制 作流程如图 11 所示。



RGO-PU海绵传感器可以将压力检测灵敏度 提高到人造电子皮肤应用所需的量级,可检测低至 9 Pa的压力。在 10 000次压力循环测试后,RGO-PU海绵传感器仍具有极高的稳定性。因具有高灵 敏度、高稳定性等优异特性,RGO-PU海绵传感器 成为制作低成本人造皮肤的潜在传感器。

在不同周期性压力下,RGO-PU海绵传感器的 电阻响应曲线如图 12 所示。可以看出,该传感器可 以检测低至 9 Pa 的压力,能在 45 Pa 的压力下提供 清晰的输出信号,这与具有复杂纳米结构的压力传 感器所实现的最小可检测压力值相当<sup>[33-34]</sup>。



图 12 周期性压力下 RGO-PU 海绵传感器的电阻响应曲线

基于 RGO-PU 海绵传感器的电子皮肤如图 13 所示<sup>[32]</sup>。基于这类传感器的制作工艺可轻松将 RGO-PU 海绵传感器拓展为人造柔性压力传感器, 并且由于柔软的海绵夹在里面,人造皮肤的触感与 真皮一样。



图 13 基于 RGO-PU 海绵传感器的电子皮肤

使用软件 ABAQUS v6.8,开发了 3D 非线性有限元,对基于 RGO-PU 海绵传感器拓展出的人造皮肤柔性压力传感器进行仿真,结果如图 14 所示。可以看出,石墨烯海绵具有良好的导电性和柔韧性,是制作压阻压力传感器的优良替代材料。

3 石墨烯压力传感器性能比较

本文总结了六种石墨烯压力传感器的研究进

展,分别介绍了它们的检测灵敏度、工作范围、迟滞 性等工作特性。不难看出,石墨烯压力传感器种类 多、应用广。为方便研究各种石墨烯压力传感器的 适用范围及应用场景,对上述六种石墨烯压力传感 器的工作特性进行了总结,结果如表1所示。



图 14 人造皮肤柔性压力传感器的仿真结果

表 1	六种石墨烯压力传感器的工作特性	

传感器类型	最佳工作范围/Pa	最佳灵敏度/kPa <sup>-1</sup>	监测微小运动	柔韧性
悬浮型石墨烯传感器[19]	60 000~90 000	4.43	否	弱
光纤型石墨烯传感器[25]	$0 \sim 5 \ 000$	2.5	否	弱
石墨烯-聚丙烯酸多孔传感器[28]	0~15 000	0.013	能	强
纸基石墨烯传感器[29]	0~20 000	17.2	能	强
石墨烯泡沫传感器[30]	0~3 380	0.32	能	强
石墨烯海绵传感器[32]	$9 \sim 45$	0.26	能	强

根据表1可知,在六种石墨烯压力传感器中, 工作范围最广的是悬浮型传感器,但其灵敏度仅 为纸基石墨烯传感器的 1/4。悬浮型与光纤型石 墨烯压力传感器的柔韧性都很弱,基本不具备可 穿戴性,适用于工作条件恶劣的大压力检测环境。 石墨烯海绵压力传感器的工作检测范围低至9 Pa, 灵敏度仍有 0.26 kPa<sup>-1</sup>,与之同类的泡沫型、纸基 型等三维传感器的可穿戴性都很强,并且都可以 检测到人体脉搏跳动等微弱运动,适用于人体健 康监测等高精度的微弱压力检测环境。纸基石墨 烯传感器的灵敏度高达 17.2 kPa<sup>-1</sup>,检测范围为 0~20 kPa,可作为高精度的大检测范围压力传感 器。悬浮型、光纤型等单层型石墨烯压力传感器 的检测灵敏度不如纸基型、泡沫型等多层型石墨 烯压力传感器,但其制作工艺相对简单,适合大规 模生产及运用。综上分析,不同类型的石墨烯传

感器具有不同的工作特性,其独有的工作特性使 之适用于不同的工作环境。

根据表 1,本文再对单层型与多层型石墨烯压 力传感器的工作特性进行总结,结果如表 2 所示。 通过表 2,可以方便直观地对比两类石墨烯压力传 感器,研究两者的工作特性及适用环境,为石墨烯压 力传感器的实际应用提供了理论指导。

根据表 2 可知,单层型石墨烯压力传感器的压 力检测范围更广、对大压力更敏感,但可穿戴性差, 适用于矿山压力监测、家庭防盗监测系统、注塑模具 等条件恶劣的大压力监测环境。多层型石墨烯压力 传感器的感应部分为石墨烯与柔韧性材料相复合而 得的材料,可穿戴性较高,并且对微小压力更敏感, 可用来检测微弱压力变化,适用于脉搏检测、睡眠状 况检测、聋哑人发声器等柔韧性要求高的微弱压力 监测环境。单层型石墨烯压力传感器的性能主要取 决于其几何结构设计,可采用物理手段来优化结构, 以提升传感器性能。多层型石墨烯压力传感器的性 能主要取决于与石墨烯复合而成的新材料的材料特 性,可采用石墨烯与不同材料进行复合或对石墨烯 采用高温干燥、热处理、肼还原等化学手段,以提升 传感器性能。

表 2 单层型与多层型石墨烯压力传感器的对比

传感器类型	压力检测范围	检测灵敏性	可穿戴性	性能决定因素	性能提升方法	适用环境
单层型石墨 烯 压 力 传	适用于检测 较大压力	对大压力敏感	差	传 感 器 的 几 何结构	物理手段优 化 传 感 器	环境恶劣的大压力监测环境, 如矿山压力监测、家庭防盗监
感器					结构	测系统、注塑模具等
多层型石墨 烯 压 力 传 感器	适用于检测 微小压力	对微小压力 敏感	柔韧性带来 的 高 可 穿 戴性	与石墨烯复 合的材料、化 学处理方法	石墨烯与性 能更优异的 材料复合、不 同 的 化 学 手段	柔韧性要求高的微小压力监测 环境,如脉搏检测、睡眠状况检 测、聋哑人发声器等

# 4 结 论

本文分别对石墨烯压阻式压力传感器的检测范 围、灵敏度等特性进行了介绍,并对各种石墨烯压力 传感器性能进行了对比,进而总结出单层型与多层 型石墨烯压力传感器的工作特性及适用工作环境。 通过分析单层型、多层型的制作工艺,找到影响石墨 烯压力传感器工作性能的主要因素,为不同类型石 墨烯压力传感器的性能提升提供了针对性意见。根 据单层型、多层型传感器的不同工作特性,得到两类 传感器的适用环境及潜在应用,对石墨烯压力传感 器的实际应用具有一定的指导意义。

#### 参考文献:

- [1] 朱宏伟,徐志平,谢丹.石墨烯:结构、制备方法与性能表征 [M].北京:清华大学出版社,2011.
- [2] LEE C, WEI X, KYSAR J W, et al. Measurement of the elastic properties and intrinsic strength of monolayer graphene [J]. Science, 2008, 321(5887): 385-388.
- [3] BOLOTIN K I, SIKES K J, JIANG Z, et al. Ultrahigh electron mobility in suspended grapheme [J]. Sol Sta Commun, 2008, 146(9): 351-355.
- [4] CHEN J H, JANG C, XIAO S, et al. Intrinsic and extrinsic performance limits of graphene devices on SiO<sub>2</sub> [J]. Nature Nanotechnol, 2008, 3(4): 206-209.
- [5] KIM K S, ZHAO Y, JANG H, et al. Large-scale pattern growth of graphene films for stretchable transparent electrodes [J]. Nature, 2009, 457 (7230): 706.
- [6] LEE Y, BAE S, JANG H, et al. Wafer-scale synthesis and transfer of graphene films [J]. Nano

Letters, 2010, 10(2): 490-493.

- [7] BARLIAN A A, PARK W T, MALLON J R, et al. Review: semiconductor piezoresistance for microsystems [J]. Proceed IEEE, 2009, 97 (3): 513-552.
- [8] BUTTER C D, HOCKER G B. Fiber optics strain gauge [J]. Appl Optics, 1978, 17(18): 2867-2869.
- [9] LIAO C D, TSAI J C. A cantilever force sensor combined with a spherical reflecting mirror for sensitivity enhancement of an optical detection system [J]. IEEE J Select Topics Quantum Elec, 2009, 15 (5):1463-1468.
- [10] MAILLY F, GIANI A, MARTINEZ A, et al. Micromachined thermal accelerometer [J]. Sensors & Actua A (Phys), 2003, 103(3): 359-363.
- [11] BARBOUR N, SCHMIDT G. Inertial sensor technology trends [J]. IEEE Sensors J, 2001, 1(4): 332-339.
- [12] 李伟东,吴学忠,李圣怡. 一种压阻式微压力传感器 [J]. 仪表技术与传感器,2006(7):1-2.
- [13] KO W H, BAO M H, HONG Y D. A highsensitivity integrated-circuit capacitive pressure transducer [J]. IEEE Trans Elec Dev, 1982, 29(1): 48-56.
- [14] COCCO G, CADELANO E, COLOMBO L. Gap opening in graphene by shear strain [J]. Phys Rev B, 2010, 81(24): 241412(1-3).
- [15] 马以武,常慧敏,宋箭.厚膜力学量传感器的发展及现状 [J].中国电子商情:基础电子,2003(Z1): 36-39.
- [16] CHEN J H, JANG C, XIAO S, et al. Intrinsic and extrinsic performance limits of graphene devices on SiO<sub>2</sub> [J]. Nature Nanotechnol, 2008, 3(4): 206-209.
- [17] SCHEDIN F, GEIM A K, MOROZOV S V, et al. Detection of individual gas molecules adsorbed on

graphene [J]. Nature Mater, 2007, 6(9): 652-655.

- [18] BUNCH J S, ZANDE A M V D, VERBRIDGE S S, et al. Electromechanical resonators from graphene sheets [J]. Science, 2007, 315(5811): 490-493.
- [19] SMITH A D, VAZIRI S, NIKLAUS F, et al. Pressure sensors based on suspended graphene membranes [J]. Sol Sta Elec, 2013, 88(10): 89-94.
- [20] KWON O K, LEE J H, KIM K S, et al. Developing ultrasensitive pressure sensor based on graphene nanoribbon: molecular dynamics simulation [J]. Phys E: Low-Dimen Syst & Nanostruc, 2013, 47 (5): 6-11.
- [21] 宋磊,刘海滨,任新.反射式光强调制型光纤压力传感器 [J]. 仪表技术与传感器,1994(3):11-12.
- [22] 马彦华, 刘倩, 刘仪琳, 等. 一种微型光纤光栅压力传 感器 [J]. 半导体光电, 2018, 39(2): 197-200.
- [23] JEWART C M, WANG Q, CANNING J, et al. Ultrafast femtosecond-laser-induced fiber Bragg gratings in air-hole microstructured fibers for hightemperature pressure sensing [J]. Optics Lett, 2010, 35(9): 1443-1445.
- [24] DONLAGIC D, CIBULA E. All-fiber high-sensitivity pressure sensor with SiO<sub>2</sub> diaphragm [J]. Optics Lett, 2005, 30(16): 2071-2073.
- [25] MA J, JIN W, HO H L, et al. High-sensitivity fibertip pressure sensor with graphene diaphragm [J]. Optics Lett, 2012, 37(13): 2493-2495.
- [26] PLESCO I, DRAGOMAN M, STROBEL J, et al. Flexible pressure sensor based on graphene aerogel microstructures functionalized with CdS nanocrystalline thin film [J]. Superlat & Microstruc, 2018, 117: 418-422.

- [27] 卢韵静,于星元,田明伟,等.石墨烯/聚二甲基硅氧烷三维非织造结构压阻柔性压力传感器 [J].传感技术学报,2018,31(9):1337-1340,1353.
- [28] 王萍萍, 袁雪, 陈松, 等. 基于石墨烯/聚丙烯酸三维 多孔材料的高灵敏高稳定柔性压阻材料的制备及其应 用[J]. 功能材料, 2018, 49(2): 2214-2220.
- [29] TAO L Q, ZHANG K N, TIAN H, et al. Graphenepaper pressure sensor for detecting human motions [J]. ACS Nano, 2017, 11(9): 8790-8795.
- [30] YAN Z, TAN X H, SHI T L, et al. Tunable wrinkled graphene foams for highly reliable piezoresistive sensor [J]. Sensors & Actua A: Phys, 2018, 9(2): 141-149.
- [31] HAN J W, KIM B, LI J, et al. Flexible, compressible, hydrophobic, floatable, and conductive carbon nanotube-polymer sponge [J]. Appl Phys Lett, 2013, 102(5): 051903-1 - 051903-4.
- [32] YAO H B, GE J, WANG C F, et al. A flexible and highly pressure-sensitive graphene-polyurethane sponge based on fractured microstructure design [J]. Advan Mater, 2013, 25(46): 6692-6698.
- [33] PANG C, LEE G Y, KIM T I, et al. A flexible and highly sensitive strain-gauge sensor using reversible interlocking of nanofibers [J]. Nature Mater, 2012, 11(9): 795-801.
- [34] MANNSFELD S C B, TEE C K, STOLTENBERG R M, et al. Highly sensitive flexible pressure sensors with microstructured rubber dielectric layers [J]. Nature Mater, 2010, 9(10): 859-864.

(上接第 117 页)

- [18] YANG A, LI P, WEN Y, et al. Enhanced acoustic energy harvesting using coupled resonance structure of sonic crystal and Helmholtz resonator [J]. Appl Phys Expr, 2013, 6(12): 127101.
- [19] CUI X B, HUANG C P, HU J H. Sound energy harvesting using an acoustic grating [J]. J Appl Phys, 2015, 117(10): 104502.
- [20] LI B, YOU J H, KIM Y J. Low frequency acoustic energy harvesting using PZT piezoelectric plates in a straight tube resonator [J]. Smart Mater & Struc, 2013, 22(5): 055013.
- [21] ZHU Y, MOHEIMANI S O R, YUCE M R. A 2-DOF MEMS ultrasonic energy harvester [J]. IEEE Sensors J, 2011, 11(1):155-161.

- [22] FOWLER A G, MOHEIMANI S O R, BEHRENS S. A 3-DOF SOI MEMS ultrasonic energy harvester for implanted devices [C] // IEEE SENSORS. Taipei, China. 2012.
- [23] FOWLER A G, MOHEIMANI S O R. A 4-DOF MEMS energy harvester using ultrasonic excitation [J]. IEEE Sensors J, 2016, 16(21): 7774-7783.
- [24] DENISOV A, YEATMAN E M. Micromechanical actuators driven by ultrasonic power transfer [J]. J Microelectromech Syst, 2014, 23(3): 750-759.
- [25] JEON J, CHUNG S K, LEE J B, et al. Acoustic wave-driven oxidized liquid metal-based energy harvester [J]. Europ Phys J Appl Phys, 2018, 81(2): 20902-1 - 20902-5.

# ・半导体器件与工艺・

# PECVD 参数对含氢非晶碳刻蚀特性的影响研究

邹雄峰<sup>1</sup>,董立松<sup>2</sup>,陈志刚<sup>3</sup>,韦亚一<sup>1,2</sup>

(1. 中国科学院大学 微电子学院,北京 100029; 2. 中国科学院 微电子研究所,北京 100029;3. 中芯国际集成电路制造有限公司,上海 201203)

**摘 要:** 分析了射频等离子体增强化学气相淀积(RFPECVD)参数对含氢非晶碳(α-C:H)刻蚀 特性的影响规律。首先,针对射频功率、丙烯流量、反应腔压强、极板间距等工艺参数对膜层刻蚀 特性的影响进行了实验,并通过确定性筛选设计方法产生实验矩阵。然后,采用 RFPECVD 工艺 在硅衬底上淀积 α-C:H。最后,运用多元回归方法对刻蚀速率、刻蚀均匀性进行了研究。结果表 明,淀积工艺参数的变化对膜层的均匀性没有影响,对膜层的刻蚀速率有影响。该工艺参数对刻 蚀特性的影响研究对优化 CVD 工艺具有参考价值。

关键词: 含氢非晶碳;确定性筛选设计;多元回归分析;刻蚀速率
 中图分类号:TN305.8
 文献标识码:A
 文章编号:1004-3365(2020)01-0126-06
 DOI:10.13911/j.cnki.1004-3365.190088

## Influence of PECVD Parameters on Etching Characteristics of α-C : H

ZOU Xiongfeng<sup>1</sup>, DONG Lisong<sup>2</sup>, CHEN Zhigang<sup>3</sup>, WEI Yayi<sup>1,2</sup>

(1. School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, P.R. China;

2. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, P. R. China;

3. Semiconductor Manufacturing International Corporation, Shanghai 201203, P. R. China)

**Abstract:** The influence of RF plasma enhanced chemical vapor deposition (RFPECVD) parameters on the etching characteristics of hydrogenated amorphous carbon ( $\alpha$ -C : H) was revealed. Firstly, experiments about the correlation between process parameters (RF power, propylene flow, chamber pressure and plate spacing) and etching characteristics of this film was performed, and the experimental matrix was generated by definitive screening design method. Then, RFPECVD was adopted to deposit  $\alpha$ -C : H on silicon wafer. Finally, the etch rate and the uniformity of etched  $\alpha$ -C : H were studied by multivariate regression analysis. Results showed that the variation of deposition process parameters did not affect the uniformity of the etched  $\alpha$ -C : H. However, all of this deposition process parameters had impact on etching rate of  $\alpha$ -C : H. The study of the influence of deposition process parameters.

Key words:  $\alpha$ -C : H; definitive screening design; multivariate regression analysis; etch rate

0 引 言

含氢非晶碳膜(α-C:H)属于类金刚石膜,因具 有高硬度、低摩擦系数的优点而被广泛应用于机械、 光学、电学等领域。随着集成电路技术节点的不断 缩小,版图形貌的控制更具有挑战。α-C:H 对多 晶硅、氧化硅等材料具有较高的刻蚀选择比、极低的 反射系数,已被广泛应用于集成电路制造工艺中,以 减轻光刻工艺中的驻波效应,改善版图的形貌<sup>[1]</sup>。

收稿日期:2019-02-23;定稿日期:2019-03-18

基金项目:国家科技重大专项资助项目(2016ZX02301001)

作者简介:邹雄峰(1994一),男(汉族),湖南衡阳人,硕士,研究方向为 PECVD 工艺技术。

在实际产业化应用中,α-C:H 膜主要采用 PECVD 工艺制作,其成分和结构与制作工艺参数紧密相 关<sup>[2-3]</sup>。在研究α-C:H 刻蚀性能的过程中,已有文 献揭示了各种刻蚀工艺参数对膜层刻蚀速率的影 响<sup>[4-6]</sup>。但是,传统干法刻蚀工艺容易产生颈缩、桥 联等缺陷<sup>[7]</sup>。这些缺陷可以通过在刻蚀气体中添加 辅助气体,如羰基硫化物、氮气、氟化物等得到一定 程度的改善<sup>[8]</sup>。事实上,除了刻蚀工艺参数,淀积工 艺参数也会对刻蚀形貌产生影响。如何从淀积工艺 参数的角度来研究α-C:H 的刻蚀特征,这方面的 研究极少。

本文首先通过确定性筛选设计方法(Definitive Screening Design,DSD)选取实验条件。DSD 法是 一种先进的多变量设计方法,能有效地估计所有的 主效应及其耦合项的回归系数,极大地减少实验成 本<sup>[9]</sup>。然后,运用多元回归的方法,研究了射频功 率、丙烯流量、反应腔压强、极板间距等工艺参数对 α-C:H刻蚀速率及均匀性的影响。最后,利用浅 注入模型,从理论上对实验结果进行了分析。

1 实验设计

本次实验选择射频功率(P)、丙烯流量(q,)、反 应腔压强(u)和极板间距(h)作为输入变量,刻蚀速 率、均匀性、光学参数作为评估参数,按照 DSD 法的 规则产生实验矩阵。实验矩阵的内容如表1所示。

实验矩阵包括 4 个工艺参数的 17 种组合。为 了比较不同实验条件下刻蚀速率、均匀性的优化情况,选取 # 14 作为参考基准。膜层厚度、折射率、消 光系数等参数值是在多个波长下的测量均值。

以丙烯作为碳源,高纯氩气、氦气作为载气,采 用 PECVD 工艺,在硅衬底上制备 α-C:H。衬底温 度固定为 550 ℃,淀积时间为 60 s。在 α-C:H 淀 积之后,进行刻蚀工艺。所有样品的刻蚀时间相同。 刻蚀速率则通过刻蚀过程中损失的膜层厚度来计 算,均匀性通过刻蚀后的膜层厚度分布来估算。

本文引入变异系数来评估 α-C:H 膜层的刻蚀 均匀性。变异系数(NU)综合了数据的标准差和均 值,能很好地表征刻蚀后的膜层均匀性。单位厚度 对应的标准差,即变异系数为:

$$r_{\rm NU} = \frac{\Delta d_{\rm STD}}{d} \tag{1}$$

式中, Δ*d*<sub>STD</sub> 为膜层的厚度标准差, *d* 为膜层的 厚度均值。

样品 编号	反应腔 压强/Pa	极板间 距/mm	丙烯流量/ (cm <sup>3</sup> ・min <sup>-1</sup> )	射频功 率/W
#1	813.3	350.0	1 838	1 418.0
#2	813.3	350.0	1 838	1 283.0
#3	893.3	350.0	1 838	1 283.0
#4	893.3	350.0	2 032	1 283.0
#5	813.3	286.0	1 838	1 418.0
#6	893.3	286.0	2 032	1 418.0
#7	813.3	286.0	2 032	1 418.0
#8	893.3	286.0	2 032	1 283.0
#9	853.3	286.0	1 838	1 283.0
#10	853.3	350.0	2 032	1 418.0
#11	813.3	350.0	2 032	1 350.5
#12	813.3	318.2	2 032	1 283.0
#13	813.3	286.0	1 935	1 283.0
#14	853.3	318.2	1 935	1 350.5
#15	893.3	350.0	1 935	1 418.0
#16	893.3	318.2	1 838	1 418.0
#17	893.3	286.0	1 838	1 350.5

表 1 实验矩阵的参数

## 2 结果与讨论

## 2.1 时间序列分析

α-C:H膜层在刻蚀前、后的折射率(n)和消光 系数(k)如表2所示。α-C:H膜层在刻蚀前、后的 厚度(d)和变异系数如表3所示。下文中,所有的下 标"1"表示刻蚀前的参数,下标"2"表示刻蚀后的 参数。

从表 2 可知,α-C:H 膜层在刻蚀工艺后,折射 率和消光系数仍然稳定。这说明刻蚀工艺参数对膜 层的折射率、消光系数的影响不大。

从表 3 可知,经过刻蚀工艺后,变异系数显著增加,且通过 d<sub>1</sub> 与 d<sub>2</sub> 之间的差值可以计算膜层的刻 蚀速率。

α-C:H 膜层在刻蚀前后变异系数的变化曲线 如图1所示。可以看出,刻蚀前,变异系数的幅度变 化值为0.15左右。刻蚀后,变异系数的幅度变化值 远大于0.15,变化幅度较大。

编号	$n_1$	$k_1$	$n_2$	$k_2$
#1	1.407	0.539	1.399	0.536
#2	1.412	0.546	1.436	0.550
#3	1.418	0.553	1.422	0.510
#4	1.420	0.556	1.365	0.539
#5	1.403	0.535	1.389	0.527
#6	1.406	0.537	1.395	0.534
#7	1.404	0.534	1.389	0.527
#8	1.412	0.544	1.427	0.531
#9	1.410	0.542	1.415	0.532
#10	1.412	0.545	1.418	0.535
#11	1.413	0.547	1.429	0.542
#12	1.411	0.544	1.427	0.541
#13	1.408	0.539	1.411	0.531
#14	1.409	0.541	1.410	0.531
#15	1.412	0.544	1.415	0.531
#16	1.409	0.539	1.397	0.534
#17	1.409	0.540	1.372	0.490

表 2 α-C:H 膜层的折射率、消光系数

表 3 α-C:H 膜层的厚度、变异系数

编号	$d_1/\mathrm{nm}$	$NU_1$	$d_2/\mathrm{nm}$	$NU_2$
#1	196.8	0.150	80.8	0.274
#2	158.1	0.155	45.2	0.191
#3	142.8	0.160	29.2	0.351
#4	135.2	0.160	23.4	0.387
#5	223.3	0.147	106	0.249
#6	203.2	0.131	84.5	0.303
#7	220.2	0.135	102	0.233
#8	163.8	0.142	48.6	0.208
#9	174.7	0.142	59.2	0.215
#10	174.8	0.140	60.9	0.240
#11	163.9	0.146	52.1	0.238
#12	163.6	0.147	50.5	0.192
#13	179.2	0.148	63.7	0.234
#14	180.6	0.140	64.4	0.246
#15	176.1	0.141	59.9	0.205
#16	198.2	0.135	79.5	0.290
#17	201.8	0.206	83.4	0.599



为了研究变异系数大幅波动的原因,本文利用 实验序号构建 NU<sub>1</sub> 序列、NU<sub>2</sub> 序列,即为:{0.150, 0.155,…,0.206}和{0.274,0.191,…,0.599}。

计算了序列各自的延迟自相关系数( $r_{\rm D}$ )和 Ljung-Box 统计量( $Q_{\rm LB}$ ),以及  $Q_{\rm LB}$ 对应的显著性概 率值(p 值)。这三个参数用于检验序列的平稳性、 随机性。

r<sub>D</sub>为序列中任意两个距离为 D 的随机变量的 自协方差与延迟为 0 的自协方差(r<sub>o</sub>)之比,用于分 析序列的平稳性。Q<sub>LB</sub>综合考虑了 r<sub>D</sub> 和样本值,用 于检验时间序列的随机性。p 值为对应的Q<sub>LB</sub>的显 著性概率值。p 值越小,表明序列中对应延迟期数 变量之间存在相关性的概率越大。当 p 值小于 0.05,表示对应变量之间存在相关性;当 p 值大于 0.05,表示对应变量之间不存在相关性。

NU<sub>1</sub> 序列、NU<sub>2</sub> 序列的自相关图分别如图 2、 图 3 所示。

两个序列的 r<sub>D</sub> 在滞后 2 阶之后,都落入了 2 倍标准差(图中黑色)范围内。两个序列的 r<sub>D</sub> 均具有明显的短期相关性,即 r<sub>D</sub> 随滞后期数的增加而衰减得很快。两个序列的 r<sub>D</sub> 在滞后 5 阶之后,基本在 0 左右波动,表明两个序列都是平稳序列。



两个序列的 p 值均大于 0.05,所以序列为随机 序列。综上,两个序列都是平稳随机序列。进一步 计算可知, NU<sub>1</sub> 序列的均值为 0.15, 标准差为 0.02; NU<sub>2</sub> 序列的均值 0.27, 标准差为 0.1。



图 3 NU<sub>2</sub> 序列的自相关图

根据平稳随机序列的性质,每个 NU<sub>1</sub> 观察值均 由正态分布 N(0.15,0.02<sup>-</sup>2)产生;每个 NU<sub>2</sub> 观察 值均由 N(0.27,0.1<sup>-</sup>2)产生<sup>[10]</sup>。由于整个实验过 程中,刻蚀工艺参数保持一致,而 PECVD 工艺参数 不同,所以推断 α-C: H 膜层刻蚀后的 NU 值与 PECVD 工艺参数的变化无关。

### 2.2 刻蚀速率分析

为了进一步验证序列的分析结果,本文结合表 1、表 3 的实验条件和结果,对刻蚀速率与各淀积参 数进行多元回归分析。

刻蚀速率的预测值与实测值的关系曲线如图 4 所示。该曲线用于检验拟合模型在统计上是否为显 著的。如果置信区间跨越实际值的均值线,表示输 出变量与输入变量之间存在相关性;如果置信区间 包含实际值的均值线,表示模型是不显著的。图 4 中,散点均匀的分布在拟合线的周围。黑色实线为 拟合线,水平虚线为实际刻蚀速率的均值。可以看 出,95%置信区间跨越水平线,表明拟合效果较好。



刻蚀速率的拟合汇总参数、方差分析参数分别

如表4、表5所示。

表 4 刻蚀速率的拟合汇总参数

参数	数值
$R^2$	0.971 954
调整 R <sup>2</sup>	0.925 211
均方根误差	0.637 429
响应均值	115.46
样本数	17

表 5 刻蚀速率的方差分析参数

差异来源	自由度	平方和	均方	<i>F</i> 值
模型	10	84.487 708	8.448 77	20.793 6
误差	6	2.437 892 0	0.406 32	<i>p</i> 值
校正总和	16	86.925 600	-	0.000 7*

注:\* 表示 p 值<0.05

决定系数 R<sup>2</sup> 为回归平方和与离差平方和之比, 取值范围在(0,1)之间。R<sup>2</sup> 反映了回归模型对样本 数据拟合的优劣程度。R<sup>2</sup> 越大,表明模型拟合效果 越好。

均方根误差是表 5 中误差均方的平方根,用于 表征模型对数据拟合的精细程度。均方根误差越 小,拟合越精细。在回归分析中,如果 R<sup>2</sup> 大于 0.75,表示变量之间存在较强相关性。如果 p 小于 0.05,表明模型的显著性越好。

表 5 中的差异来源指有样本相对于样本均值的 波动,即校正总和。这部分差异由模型和误差两部 分组成。均方则是平方和与对应自由度的比值,而 F 值则是模型均方与误差均方之比,用以检验模型 的拟合效果。p 值则为F 值对应的显著性概率值。

表 4 中,  $R^2 = 0.972$ , 大于 0.75, 同时 p = 0.0007,小于 0.05。这表明线性模型足以拟合刻蚀 速率和 PECVD 参数之间的关系。

从整体上对模型进行分析后,还需要对模型中 的回归系数进行显著性检验。在一定的数学假设 下,所有的回归系数都服从 t 分布。因此,可以通过 计算该分布下各个回归系数的 p 值,以检验回归系 数的显著性。刻蚀速率的拟合回归模型参数如表 6 所示。

可以看出,所有的回归系数(*u*,*P*,*h*,*q<sub>v</sub>*)对应的 *p* 值都小于 0.05,表明这些参数对刻蚀速率都是显 著的。仅有 *q<sub>v</sub>* 和 *h* 存在明显的交互作用。

刻蚀速率与工艺参数的关系曲线如图 5 所示。 可以看出,当各工艺参数取样品 # 14 的值时,刻蚀 速率为 115.4516 nm/min,与刻蚀速率的实际值 (116.2 nm/min)非常接近。刻蚀速率与射频功率、 反应腔压强成正比,刻蚀速率与极板间距、反应气体 流量成反比。

表 6 刻蚀速率的拟合模型回归系数

输入变量	<i>t</i> 值	<i>p</i> 值
h	-9.56	<0.000 1*
Р	8.88	0.000 1*
$q_{ m v}$	-4.05	0.006 8*
U	3.23	0.017 9*
$(q_v - 1935)(h - 318.035)$	-2.96	0.025 2*
(P-1350.5)(u-853.3)	1.18	0.282 0
$(P-853.3)(q_v-1935)$	-0.99	0.362 0
$(q_v - 1935)(P - 1350.5)$	-0.54	0.607 7
(h - 320.035)(u - 853.3)	0.35	0.738 8
( <i>h</i> -320.035)( <i>P</i> -1350.5)	0.04	0.970 5





根据浅注入模型可知<sup>[11]</sup>,功率增加时,离子能 量增加,导致离子对衬底表面的轰击强度增加,表面 温度增加,扩散激活能减少,热弛豫速率增加,使得 衬底碳原子中更多的亚稳态 sp<sup>3</sup>键转化为稳态的 sp<sup>2</sup>键,膜层硬度减少,刻蚀速率增加<sup>[12]</sup>。极板间距 增加,极板之间电场强度减少,导致离子轰击时的能 量减少,使得 sp<sup>3</sup>键向 sp<sup>2</sup>键转化的速率减少,膜层 的耐刻蚀能力增加<sup>[13-14]</sup>。

采用增大腔体压力的方法,使得带电离子平均 自由程减少,离子之间非弹性碰撞增加,离子能量减 少,束流中通过浅注入形成 sp<sup>3</sup> 键的离子数目减少, 膜层的硬度下降。在氩气、氦气流量不变的条件下, 起辉电压不变。此时,丙烯流量的增加导致更多的 反应气体被离化,从而产生更多的活性基团。这些 活性基团促进 sp<sup>3</sup>键的形成,膜层的刻蚀速率 减少<sup>[15]</sup>。

#### 2.3 刻蚀均匀性分析

结合表 1、表 3 的实验条件与结果,以 NU<sub>2</sub> 序 列作为评估参数,对刻蚀的均匀性进行多元回归分 析。NU<sub>2</sub> 的预测值与实测值的关系曲线如图 6 所示。



可以看出,散点之间表现出一定的团聚趋势,基本落在(0.2,0.35)之间。回归得到的拟合线与散点 之间存在较大的差异。置信区间包含实际值均值 线,说明该模型不能较好地表示刻蚀均匀性与工艺 参数之间的关系。

NU2 的拟合汇总参数、方差分析参数分别如表 7、表 8 所示。

表 7 NU<sub>2</sub> 的拟合汇总参数

参数	数值
$R^2$	0.615 555
调整 $R^2$	-0.025 19
均方根误差	0.100 862
响应均值	0.273 824
样本数	17

表 8 NU<sub>2</sub> 的方差分析参数

差异来源	自由度	平方和	均方	<i>F</i> 值
模型	10	0.097 733	0.009 773	0.9607
误差	6	0.061 039	0.010 173	<i>p</i> 值
校正总和	16	0.1587 72	-	0.545 8

可以看出, $R^2$  = 0.615,小于 0.75;p = 0.5458, 远大于 0.05。这表明该模型的相关性、显著性均不 够强,说明该模型对实验数据的拟合存在较大的 误差。

NU2 的拟合回归模型参数如表 9 所示。

表 9 NU<sub>2</sub> 的拟合模型回归系数

输入变量	<i>t</i> 值	<i>p</i> 值
и	1.94	0.100 2
$(q_v - 1935)(h - 318.035)$	1.19	0. 280 3
( <i>h</i> -318.035)( <i>P</i> -1350.5)	-1.18	0.282 5
( <i>u</i> -853.3)( <i>h</i> -318.035)	-1.12	0.306 1
$q_{ m v}$	-0.98	0.366 2
$(u - 853.3)(q_v - 1935)$	-0.95	0.376 6
( <i>u</i> -853.3)( <i>P</i> -1350.5)	-0.89	0.407 2
h	-0.41	0.694 3
$(P-1350.5) * (q_v-1935)$	-0.19	0.855 0
P	0.04	0.966 0

可以看出,所有输入变量的回归系数、输入变量 耦合项的回归系数所对应的 p 值都远大于 0.05。 可知,该模型与各回归系数不够显著。这表明 NU<sub>2</sub> 与工艺参数之间不存在相关性。

## 3 结 论

本文利用 RFPECVD 工艺,在各种工艺参数下 制备了 α-C:H 膜层。采用多元回归的方法研究了 α-C:H 膜层的刻蚀特征与 PECVD 工艺参数之间 的关系。结果表明,腔体压强、射频功率与膜层的刻 蚀速率之间存在正向相关性,极板间距、丙烯流量的 增加导致膜层的刻蚀速率减小。通过序列分析、多 元回归分析得出,无法通过调节 PECVD 工艺参数 来改善膜层的刻蚀均匀性。α-C:H 膜层的刻蚀均 匀性应该通过多个工艺参数的联合优化来控制与 改善。

## 参考文献:

- [1] ROMERO K, STEPHAN R, GRASSHOFF G, et al. A novel approach for the patterning and high-volume production of sub-40-nm gates [J]. IEEE Trans Semicond Manufac, 2005, 18(4): 539-545.
- [2] LEE S, WON J, CHOI J, et al. Comparative study on the properties of amorphous carbon layers deposited from 1-hexene and propylene for dry etch hard mask application in semiconductor device manufacturing [J]. Thin Sol Film, 2011, 519(20): 6683-6687.
- [3] LEE S, WON J, CHOI J, et al. Preparation and analysis of amorphous carbon films deposited from  $(C_6 H_{12})/Ar/He$  chemistry for application as the dry

etch hard mask in the semiconductor manufacturing process [J]. Thin Sol Film, 2011, 519 (20): 6737-6740.

- [4] DORSCH O, WERNER M, OBERMEIER E, et al. Etching of polycrystalline diamond and amorphous carbon films by RIE [J]. Diamond & Related Materials, 1992, 1(2 - 4): 277-280.
- [5] JEON M H, PARK J W, YUN D H, et al. Etch properties of amorphous carbon material using RF pulsing in the O2/N2/CHF3 plasma [J]. J Nanosci & Nanotechnol, 2015, 15(11): 8577.
- [6] RIZQUEZ M, ROUSSY A, BLUE J, et al. Key effects and process parameters extraction on the CD of reactive ion etching (RIE) based on DOE modeling
   [J]. IEEE Trans Semicond Manufac, 2017, 30(4): 539-546.
- [7] PONS M, PELLETIER J, JOUBERT O. Anisotropic etching of polymers in SO<sub>2</sub>/O<sub>2</sub> plasmas: hypotheses on surface mechanisms [J]. J Appl Phys, 1994, 75 (9): 4709-4715.
- [8] KIM J K, CHO S I, KIM N G, et al. Study on the etching characteristics of amorphous carbon layer in oxygen plasma with carbonyl sulfide [J]. J Vacuum Sci & Technol A: Vacuum Surfaces & Films, 2013, 31(2): 021301-1 - 021301-7.
- [9] JONES B, NACHTSHEIM C J. A class of three-level designs for definitive screening in the presence of second-order effects [J]. J Qual Technol, 2011, 43 (1): 1.
- [10] 王燕. 应用时间序列分析 [M]. 第 2 版. 北京: 中国 人民大学出版社, 2008.
- [11] LIFSHITZ Y. Subplantation model for film growth from hyperthermal species: application to diamond
   [J]. Phys Rev B: Condens Matter, 1990, 62(15): 10468-10480.
- [12] KWON J H, PARK S Y L, SEO K C, et al. Relationship between bonding characteristics and etchdurability of amorphous carbon layer [J]. Thin Sol Film, 2013, 531(3): 328-331.
- [13] FOURCHES N, TURBAN G. Plasma deposition of hydrogenated amorphous carbon: growth rates, properties and structures [J]. Thin Sol Film, 1994, 240(1 - 2): 28-38.
- [14] ROBERTSON J. The deposition mechanism of diamond- like a-C and a-C : H [J]. Diamond &. Related Materials, 1994, 3(4): 361-368.
- [15] 苏永要,赵黎宁,王锦标,等. 气体压强对 DLC 薄膜 微观结构及性能的影响 [J]. 中国表面工程, 2013, 26 (5): 31-36.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# 一种内嵌 NMOS 的抗闩锁双向 MHVDDSCR

陈 磊<sup>1</sup>,刘志伟<sup>2</sup>,刘俊杰<sup>1</sup>,陈瑞博<sup>1</sup>,杨 波<sup>1</sup>,李浩亮<sup>1</sup>
 (1.郑州大学 信息工程学院,郑州 450000;
 2.电子科技大学 微电子与固体电子学院,成都 610000)

摘 要: 针对双向可控硅(DDSCR)易发生闩锁效应的问题,提出了一种多路高维持电压 DDSCR (MHVDDSCR)。在器件的两边嵌入 NMOS 管,构成电流通路,抽取阱内的空穴与电子,促使反偏 PN 结内电场增强,提高了维持电压。采用 Sentaurus TCAD 进行了仿真验证。结果表明,相比于 传统 LT\_DDSCR,MHVDDSCR 的触发电压降低了 0.61 V,维持电压从 2.10 V 提高到 7.13 V。 该器件适用于狭窄 ESD 设计窗口的模拟 IC 的双向静电防护。

关键词: 闩锁效应; DDSCR; MHVDDSCR; 静电放电; 维持电压

 中图分类号:TN34
 文献标识码:A
 文章编号:1004-3365(2020)01-0132-05

 **DOI:**10.13911/j.cnki.1004-3365.190097

## An Anti-Latch MHVDDSCR with Embedded NMOS

CHEN Lei<sup>1</sup>, LIU Zhiwei<sup>2</sup>, LIU Junjie<sup>1</sup>, CHEN Ruibo<sup>1</sup>, YANG Bo<sup>1</sup>, LI Haoliang<sup>1</sup>

(1. School of Information Engineering, Zhengzhou University, Zhengzhou 450000, P. R. China;

2. School of Microelec. and Sol-Sta Elec., Univ. of Electronic Science and Technology of China, Chengdu 610000, P. R. China)

**Abstract:** In view of the fact that the dual-direction silicion controlled rectifier (DDSCR) was prone to latching effect, a novel DDSCR (MHVDDSCR) with multi-channel high holding voltage was proposed. By adding two NMOS transistors in both side of the device, current paths were formed to extract the holes and electrons in the well to enhance the electric field in the reverse bias PN junction, which improved the holding voltage of the device. This novel structure was simulated and verified by Sentaurus TCAD. The experimental results showed that compared with the traditional LT\_DDSCR device, the trigger voltage of MHVDDSCR was reduced by 0.61 V while the holding voltage was increased from 2.10 V to 7.13 V, which was suitable for bidirectional ESD protection of analog ICs in narrow ESD design windows.

Key words: latching effect; DDSCR; MHVDDSCR; ESD; holding voltage

0 引 言

随着 IC 制造工艺的快速发展,工艺线宽越来越 小,芯片电路复杂性不断提升,IC 产品遭受 ESD 损 害的风险越来越高<sup>[1]</sup>。可控硅(SCR)因具有最高单 位面积防护效率、小寄生电容而成为 ESD 防护器件 的研究热点[2-3]。

许多模拟 IC,如模数转换器、数模转换器、列驱 动器、接口电路等的 I/O 端,都需要双向 ESD 的防 护功能<sup>[4]</sup>。但是,SCR 仅有正向的 ESD 防护功能。 当有反向 ESD 应力时,SCR 的导通压降如同一个正 偏二极管,不具有良好的钳位电压特性,无法对 IC 进行有效防护<sup>[5]</sup>。

收稿日期:2019-02-25;定稿日期:2019-04-03

基金项目:国家自然科学基金资助项目(61874098)

作者简介:陈 磊(1993一),男(汉族),安徽六安人,硕士研究生,研究方向为集成电路 ESD 防护。

在普通 SCR 的基础上,文献[6]提出了一种具 有双向防护能力的 DDSCR,降低了 I/O 端上的 ESD 防护设计复杂度。文献[7]提出了一种重掺杂 P+ 区跨接在双阱上的低触发双向 SCR(LT\_ DDSCR),以降低触发电压。文献[8]提出了一种跨 接 NMOS 管的改进 DDSCR,降低了触发电压。文 献[9]利用外部触发电路,降低了触发电压。但是, 这些器件的维持电压过低,仍然存在闩锁问题。

在传统 LT\_DDSCR 的基础上,本文提出了一种高维持电压的 MHVDDSCR。在器件的两边嵌入 NMOS 管,将金属导线与跨接 P+区连接,形成额 外的电流通路,抽取阱内的载流子,抑制 SCR 路径 的正反馈,增强 N 阱与 P 阱的反偏 PN 结内电场, 提高了器件的抗闩锁能力。

1 器件的 ESD 防护原理

### 1.1 传统 LT\_DDSCR

传统 LT\_DDSCR 的剖面图如图 1 所示。LT\_ DDSCR 中,有两个重掺杂 P+区跨接在 P-Well 与 N-Well 上,形成对称结构。当正向 ESD 应力发生 在阳极时,LT\_DDSCR 的雪崩击穿位置发生在 N-Well/P+区间的反偏结上,降低了触发电压。





器件发生雪崩击穿后,大量的空穴电流从 P-Well 流入到阴极 P+区,在 P-Well 上会形成一定的 压降。当压降大于 0.7 V 左右时,寄生 NPN 管的 发射结开始导通,并向阱内注入大量的电子,电子电 流会在 P-Well/N-Well(阳极侧)上形成一定的电势 差,促使寄生 PNP 管的发射结导通。

在 PNP 管与 NPN 管都开启后,器件内部形成一条 PNPN 通路。由于 N-Well 与 P-Well 是寄生 NPN 管与 PNP 管共同的基极、集电极,两晶体管互为正反

馈,产生强烈的电导调制效应,使得器件工作在负阻 区,并产生了深回滞电压,导致维持电压过低。

LT\_DDSCR 是 NPNPN 对称结构,当反向 ESD 应力加在阳极时,工作机理与上述类似。

### 1.2 MHVDDSCR设计

基于 LT\_DDSCR,本文的 MHVDDSCR 在 P-Well 左边、右边分别嵌入 NMOS 管,将金属导线与 跨接 P+区连接,形成对称结构。MHVDDSCR 的 剖面图和等效电路分别如图 2、图 3 所示。







图 3 MHVDDSCR 的等效电路

在阳极发生正向 ESD 应力时,MHVDDSCR 发 生雪崩击穿后,会形成两条电流路径,分别是 SCR 路径(P+→P-Well→N-Well→P-Well→N+)和分 流路径(P+→P-Well→N-Well→P+→NMOS)。

为了维持寄生管的开启状态,必须满足:

可知,要提高器件的维持电压,必须破坏寄生 NPN 管与 PNP 管的正反馈闭合回路,降低 β,促使 M 增 高,这需要更高的反偏 PN 结压降来维持。通过分 流路径来抽取 SCR 路径中部分载流子,抑制 SCR 路径中寄生管的正反馈,提高反偏 PN 结内电场所 需的压降,使器件的维持电压得以提高。

2 ESD 特性与分析

### 2.1 仿真测试结果

为获得 MHVDDSCR 的 ESD 防护性能,基于 0.18 μm CMOS 工艺,本文使用 Sentaurus TCAD 软件进行仿真。器件的关键尺寸如表1所示。

反称	尺寸/µm		
石你	LT_DDSCR	MHVDDSCR	
D1	2.5	2.5	
D2	1	1	
D3	1	1	
D4	_	0.8	
D5	-	1	
D6	-	2	
D7	0.8	0.8	
D8	1	1	
D9	1	1	
D10	3.8	-	

表 1 MHVDDSCR 的关键尺寸

D1~D10分别是图 2器件标注的有源区、MOS 管栅极和 STI 隔离槽的长度,面积大小保持一致。

LT\_DDSCR 与 MHVDDSCR 的 *I-V* 曲线如图 4 所示。在正反 ESD 应力脉冲下,MHVDDSCR 的 曲线呈对称形态,表明器件具有良好的双向 ESD 防 护能力。MHVDDSCR 的触发电压为 11.02 V,比 LT\_DDSCR 的触发电压低 0.61 V。LT\_DDSCR 的维持电压为 3.90 V,MHVDDSCR 的维持电压为 7.13 V,提高了 3.39 倍。这表明,通过 NMOS 管组 成的额外导通路径能有效提高维持电压。

### 2.2 机理验证

采用 Sentaurus TCAD 内的 Tecplot 模块对 LT\_DDSCR 与 MHVDDSCR 触发导通后的情况进 行分析。当正向 ESD 应力加在阳极时,LT\_ DDSCR、MHVDDSCR 完全导通后的电流密度分布 和回滞处电场分布分别如图 5、图 6 所示。



图 4 MHVDDSCR 与 LT\_DDSCR 的 I-V 曲线对比



(a)LT\_DDSCR (b)MHVDDSCR 图 6 器件的电场分布

对比图 5(a) 与图 5(b) 可知, MHVDDSCR 的 N-Well 和 P-Well 内的电流密度有一定的减少, 阱 内的部分载流子走分流路径。对比图 5(b) 与图 6 (b) 可知, MHVDDSCR 的 N-Well 与 P-Well 的反 偏 PN 结存在高电场。相比于 LT\_DDSCR, MHVDDSCR 的 SCR 路径的反偏 PN 结内电场明 显增强,达到了预期的设计效果。

MHVDDSCR中的分流路径能增强反偏 PN 结内电场,提高维持电压。但是,器件的两边嵌入

NMOS 管后,能组成多条电流回路。

在大注入,下器件导通后,MHVDDSCR 中寄 生 PNP 空穴注入基区的电流密度分布如图 7(b)所 示。图 7(b)中,寄生管 PNP 部分空穴主要通过两 条路径漂移到右侧,跨接 P+区,电流路径分别是 P-Well→N-Well→右侧跨接 P+区和左侧跨接 P+区 →N-Well→右侧跨接 P+区。

对比图(a)LT\_DDSCR 基区空穴电流密度分 布,可以看出,由于存在 NMOS 管与跨接 P+区的 分流路径,MHVDDSCR 的 N-Well/P-Well 耗尽区 空穴电流密度较小,阱内载流子缺失,因此需要更高 的雪崩倍增因子来维持寄生晶体管开启。



(a)LT\_DDSCR(b)MHVDDSCR图 7 器件寄生 PNP 基区空穴电流密度分布

阴极 N+区既是寄生 NPN 管的发射极,又是 右侧 NMOS 管的源极,在正向 ESD 应力下,右侧 NMOS 管处于开启状态。MHVDDSCR 中寄生 NPN 电子注入基区时的电流密度走向分布如图 8 所示。可以看出,部分电子电流从 NMOS 管栅极下 方的沟道注入到阴极,形成一条从右侧 P+区到右 侧 NMOS 管源极的电子电流通路。



图 8 MHVDDSCR 中寄生 NPN 基区电子电流密度分布 在空穴与电子电流旁路路径的作用下,减少了 寄生管 PNP 与 NPN 的基区少子浓度,削弱了 SCR 路径的正反馈效应,促使 N-Well 与 P-Well 反偏 PN 结内电场的增强,提高了维持电压。 3 闩锁免疫优化与分析

由以上分析可知,降低寄生管 PNP 与 NPN 的 电流增益,可以增强反偏 PN 结的内电场,提高器件 的维持电压。

晶体管的电流增益β为:

$$\beta = \frac{I_{\rm C}}{I_{\rm B}} = \frac{I_{\rm pC}}{I_{\rm nE} + I_{\rm nr}} \tag{2}$$

式中,*I*<sub>c</sub>、*I*<sub>B</sub>为集电极、基极电流,*I*<sub>nE</sub>为基区注 入发射区的少子扩散电流,*I*<sub>nr</sub>为补充与注入基区的 少子复合且流入基区的多子电流,*I*<sub>pc</sub>为基区中到达 集电区的少子电流。

由式(2)可知,减少 $I_{pC}$ ,可降低 $\beta_o$ , $I_{pC}$ 为:

$$I_{\rm pC} = \beta^* \times I_{\rm pE} = \left[1 - \frac{1}{2} \left(\frac{W_{\rm B}}{L_{\rm B}}\right)^2\right] \times I_{\rm pE}$$
(3)

式中, $\beta^*$ 为基区运输系数, $I_{pE}$ 为发射区注入基 区的少子电流, $L_B$ 为基区的扩散长度, $W_B$ 为基区宽 度<sup>[11]</sup>。由式(2)、(3)可得, $W_B$ 与 $\beta$ 呈反比关系。因 此,增加 $W_B$ ,能提高维持电压。

在正向 ESD 应力下,保持其他尺寸参数不变,逐步拉长 D6 的尺寸,能增加内部寄生 NPN 管 Q2、
Q3 的 W<sub>B</sub>。正 向 ESD 应 力 时 不 同 尺 寸 MHVDDSCR 的 *I-V* 曲线如图 9 所示。



图 9 正向 ESD 应力时不同尺寸 MHVDDSCR 的 FV 曲线

当 D6 分别为 2.0, 2.7, 3.5 μm 时, MHVDDSCR 的维持电压分别为 7.13, 7.67, 8.34 V。结果表明,增加寄生管的W<sub>B</sub>,能够提高维 持电压,但芯片面积和设计成本会增加。

## 4 结 论

针对双向可控硅作为 ESD 防护器件的低维持 电压特性,提出了一种新型 MHVDDSCR。在 ESD 的正反应力下,通过内嵌 NMOS 管组成分流路径, 有效抽取阱内载流子,降低了寄生管的电流增益,增 强反偏 PN 结的内电场,从而提高了器件在正反 ESD 应力下的抗闩锁能力。仿真结果表明,在正反 ESD 应力下的抗闩锁能力。仿真结果表明,在正反 ESD 应力斯间,该 MHVDDSCR 具有良好的 *I-V* 对 称特性。与传统 LT\_DDSCR 相比,MHVDDSCR 的维持电压提高了 5.03 V。通过拉长关键尺寸,进 一步提高了维持电压,降低了产生闩锁的风险。该 器件适用于模拟 IC 的双向 ESD 防护。

## 参考文献:

- [1] 韩燕, 董树荣, LIOU J J. 集成电路 ESD 防护设计理 论、方法与实践 [M]. 北京: 科学出版社, 2008: 1-7.
- [2] LIN C Y, CHEN C Y. Resistor-triggered SCR device for ESD protection in high-speed I/O interface circuits
   [J]. IEEE Elec Dev Lett, 2017, 38(6): 712-715.
- [3] CHEN J T, LIN C Y, CHANG R K, et al. On-chip HBM and HMM ESD protection design for RF applications in 40-nm CMOS process [J]. IEEE Trans Elec Dev, 2018, 65(12): 5267-5274.
- [4] VASHCHENKO V A, KUZNETSOV V, HOPPER P J. Implementation of dual-direction SCR devices in

analog CMOS process [C] // 29th EOS/ESD. Anaheim, CA, USA. 2007: 1B. 5-1- 1B. 5-5.

- [5] KER M D, HSU K C. Overview of on-chip electrostatic discharge protection design with SCRbased devices in CMOS integrated circuits [J]. IEEE Trans Dev & Mater Reliab, 2005, 5(2): 235-249.
- [6] WANG A Z H, TSAY C H. On a dual-polarity onchip electrostatic discharge protection structure [J].
   IEEE Trans Elec Dev, 2001, 48(5): 978-984.
- [7] LIU Z W, VINSON J, LOU L F, et al. An improved bidirectional SCR structure for low-triggering ESD protection applications [J]. IEEE Elec Dev Lett, 2008, 29(4): 360-362.
- [8] CHOI Y N, HAN J W, KIM H Y, et al. The design of SCR-based dual direction ESD protection circuit with low trigger voltage [C] // ISOCC. Jeju, South Korea. 2014: 167-168.
- [9] JIANG Z W, CHEN S H, KER M D. Bi-directional SCR device with dual-triggered mechanism for ESD protection in extended-voltage-swing I/O application [C] // Int Conf Sol Sta Dev Mater. Sendai, Japan. 2009: 420-421.
- [10] AMERASEKERA A, VERWEY J. ESD in integrated circuits [M]. 2nd ed. Boston: John Wiley & Sons, 2002: 68-104.
- [11] 陈星弼,张庆中,陈勇,等. 微电子器件 [M]. 第三版.北京:电子工业出版社,2011:62-71.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# 基于介质嵌层的热电式微波功率 传感器特性研究

胡加杨,李龙飞,谷新丰,吉新村,王德波 (南京邮电大学电子与光学工程学院,南京 210046)

# Study on Characteristics of Thermoelectric Microwave Power Sensor Based on Media Embedded Layer

HU Jiayang, LI Longfei, GU Xinfeng, JI Xincun, WANG Debo

(School of Electronics and Optical Engineering, Nanjing Univ. of Posts and Telecommun., Nanjing 210046, P. R. China)

**Abstract:** In order to improve the electro-thermal-electrical conversion efficiency of thermoelectric MEMS microwave power sensors, a novel media embedded layer structure was proposed. Two sample structures were made of conventional material  $Si_3 N_4$  and new material graphene as the media layer respectively. The thermal model of media embedded layer structure was established and its thermal characteristics were simulated by Ansys software. It had been found that the temperature for the hot end of thermocouple increased by 12 K when the graphene was used as the media embedded layer, and the heat transfer efficiency and the temperature difference of the thermopile had been effectively improved. The electromagnetic model of media embedded layer structure was established and its microwave performance was simulated by Hfss software. The simulation results showed that the S parameter was about at -18 dB range from 8 GHz to 12 GHz frequency, and the sensor still had good microwave matching impedance. Therefore, the proposed structure of media embedded layer had certain reference value and guiding significance for the research of thermoelectric MEMS

Key words: thermoelectric type; microwave power sensor; media embedded layer; MEMS; graphene

收稿日期:2019-04-10;定稿日期:2019-05-14

基金项目:国家青年自然科学基金资助项目(61704086,61704088);江苏省青年自然科学基金资助项目(BK20140890);南京邮 电大学国自基金孵化项目(NY215139,NY217039);江苏省研究生科研与实践创新计划项目(SJKY19\_0816)

作者简介:胡加杨(1998—),女(汉族),江苏苏州人,本科,研究方向为热电式 MEMS 功率传感器。

王德波(1983—),男(汉族),山东新泰人,副教授,研究方向为 MEMS 传感器。通信作者, E-mail: wdb@njupt. edu. cn。

# 0 引 言

微波技术在无线电技术领域中占有越来越重要 的地位<sup>[1]</sup>。微波功率测量在微波信号的产生、传输 及接收中是必不可少的环节<sup>[2-3]</sup>。为满足雷达、微波 发射接收机/发射机等领域的应用要求,必须有快速 响应、高灵敏度、高精度、宽频带的高性能微波功率 传感器<sup>[4]</sup>。

传统微波功率传感器是一种热电式 MEMS 微 波功率传感器,它将微波功率转换为直流电压,具有 零 直 流 功 耗、优 良 线 性 度 等 优 点 , 但 灵 敏 度 低 。 文 献 「5]提出了一种热电堆优化设计模型,能求解最优的 热电偶长度与热电偶数目。文献[6]提出了一种二 维热分布解析模型,获得了高灵敏度。文献[7]提出 了一种新型三明治结构,减小了热损耗。文献[8]提 出了一种热隔离式结构,进一步减少了热量耗散。 文献「9〕针对衬底空腔结构下的悬浮热电堆长度,量 化了灵敏度。文献[10]提出了一种改进型三明治结 构微波功率传感器。文献「11]研究了4种掺杂浓度 的 n±GaAs 对灵敏度和信噪比的影响。文献「12] 采用 p 型硅/铝的对称螺旋结构热电堆,提高了红外 探测率。这些研究大多集中于匹配特性 S 参数,在 微波功率传感器的热-电转换方面,还未提出较为直 接的设想。

针对上述问题,本文通过在终端负载电阻与热 电偶的中间衬底上嵌入比衬底材料的导热系数更好 的介质层,以有效提高基于热电堆的热电式微波功 率传感器的热-电转换效率。本文选择普通材料 Si<sub>3</sub>N<sub>4</sub>和新型材料石墨烯作为介质嵌层。采用 Ansys软件对传感器的温度分布进行仿真,采用 Hfss软件对S参数进行仿真,分析了介质嵌层的结 构及材料选择对热电式 MEMS 微波功率传感器的 影响。

1 传感器原理

热电式 MEMS 微波功率传感器由共面波导中 心信号线、共面波导地线、终端负载电阻、衬底、热电 堆、直流电压输出端构成,结构如图 1 所示。图 1 中,1 为共面波导中心信号线,2 为共面波导地线,3 为终端负载电阻,4 为衬底,5 为热电堆,6 为直流电 压输出端。 两种不同半导体的温度差异引起两种材料间有 电压差的热电现象称为塞贝克效应。传感器利用热 电偶的塞贝克效应实现微波信号"电-热-电"的转 换<sup>[13]</sup>。微波功率信号沿共面波导中心信号线传输, 输入到终端负载电阻。一方面,负载电阻实现微波 阻抗匹配,使得共面波导中心信号线上的微波信号 无反射损耗,提高传输效率。另一方面,负载电阻吸 收微波功率,转换为热能,传输给热电堆,使热电偶 热端温度升高,冷端置于室温下,两端形成温差。因 此,基于塞贝克效应的输出端会产生正比于输入微 波功率的直流电压。通过测试直流电压,即可间接 得到待测微波信号功率。



图 1 热电式微波功率传感器的结构

2 传感器特性研究

## 2.1 介质嵌层结构

引入介质嵌层的热电式微波功率传感器的结构 如图 2 所示。图 2 中,7 为介质嵌层。结构参数 x<sub>0</sub> 为介质嵌层距离两侧终端负载电阻和热电偶热端的 长度,L<sub>1</sub> 为介质嵌层高出衬底平面的距离,L<sub>2</sub> 为介 质嵌层埋在衬底中的深度。

介质嵌层是在终端负载电阻与热电偶中间的衬

底上挖的一个沟槽,填入选定的介质材料。当微波 功率信号从共面波导传输过来且负载电阻加热后, 负载电阻积累的热量经过衬底和介质嵌层传导至热 电偶热端。因此,介质嵌层所选用材料的热学特性 起着关键作用。本文分别选择了普通材料 Si<sub>3</sub>N<sub>4</sub> 和 新型材料石墨烯。为避免石墨烯导电时与负载电阻 和热电偶导通,嵌层与两边都保持适当距离。







(b) 侧视图 图 2 基于介质嵌层的热电式微波功率传感器的结构

## 2.2 热学特性仿真

微波功率信号由共面波导中心信号线向终端负 载电阻传输,通过加热负载电阻使热量进一步传导 到热电偶热端。因为热电偶热端与冷端有温差,所 以输出端输出正比于微波功率的直流电压,提高了 热量的传输效率。

为了有效观测介质嵌层对热电式微波功率传感 器热学性能的影响,采用 Ansys 软件对不含、含介 质嵌层的传感器的传热效果进行了仿真。为了研究 不同介质材料的影响,本文分别采用 Si<sub>3</sub>N<sub>4</sub> 材料(导 热系数为 16 W/(m・K)、电阻率为  $1 \times 10^{16} \Omega$ ・ cm)<sup>[14]</sup>和石墨烯材料(导热系数为 5 300 W/(m・ K)、电阻率为  $1 \times 10^{-6} \Omega$ ・cm)<sup>[15]</sup>。

Si<sub>3</sub>N<sub>4</sub>的热膨胀系数低,是一种具有一定热导 率、弹性模量较高的高强度硬陶瓷<sup>[16]</sup>。2016年,文 献[10]在新型三明治结构中,采用 Si<sub>3</sub>N<sub>4</sub> 作为导热 绝缘材料,位于终端负载电阻与热电偶的中间。

石墨烯是只有一个碳原子厚度的二维材料,导 热系数高达5 300 W/(m・K),常温下电子迁移率 高(超过 15 000 cm<sup>2</sup>/(V・s)),电阻率低(约 1× 10<sup>-6</sup> Ω・cm)。

针对图 2(b)的结构,通过改变结构参数  $x_0$ 、 $L_1$ 、  $L_2$  来进行优化。介质嵌层为石墨烯。条件一、二、 三下的热电偶热端温度分布曲线如图 3、图 4、图 5 所示。条件一: $x_0 = 1 \ \mu m$ , $L_1 = 0 \ \mu m$ , $L_2 = 1,2,3,4$ , 5  $\mu m$ 。条件二: $x_0 = 1 \ \mu m$ , $L_1 = 0, 0.5, 1, 1.5, 2 \ \mu m$ , $L_2 = 4 \ \mu m$ 。条件三: $x_0 = 0.2 \ \mu m$ , $L_1 = 0 \ \mu m$ ,  $L_2 = 0.1, 0.2, 0.3, 0.4 \ \mu m$ 。





可以看出, $L_2$  越大,热电堆的热端温度越低,传 热效率越差。介质嵌层散热传到衬底的热量是随着 介质嵌层与衬底接触面积的增大而增大。在仿真精 度允许的范围内,存在一个最大值,即 $L_2=0.3 \mu m$ 。  $L_1$ 的大小也存在热辐射的问题,但影响程度不大。 最终,本文选择 $x_0=0.3 \mu m$ , $L_1=0 \mu m$ , $L_2=0.3 \mu m$ 





无介质嵌层、Si<sub>3</sub>N<sub>4</sub>介质嵌层、石墨烯介质嵌层 的传感器的 Ansys 仿真温度分布模型分别如图 6 (a)、(b)、(c)所示。从负载电阻到热电偶热端的温 度分布曲线如图 7 所示,从热电偶的热端到冷端的 温度分布曲线如图 8 所示。



(a) 无介质嵌层



(b) Si<sub>3</sub>N<sub>4</sub> 介质嵌层



从图 6、图 7 可知,介质嵌层的实际工作效果很 大程度上依赖于材料的电热特性。该传感器采用的 衬底材料均为 GaAs(导热系数 46 W/(m•K)、电 阻率为 200 Ω•cm)。无介质嵌层可视为介质嵌层 即为衬底材料。从图 7 可以看出,各类材料的温度 曲线均近似为直线。其中,石墨烯材料的斜率最小, Si<sub>3</sub>N<sub>4</sub> 材料的斜率最大。结合负载电阻温度,可以 发现传热性能越好,电阻越不易积累热量,温度也相 对较低。从图 8 可以看出,具有良好传热性能的介 质嵌层,如石墨烯,可以提高热电堆热端温度,减少 热传导过程的热量耗散,从而提升热电偶的热端与 冷端的温差,使得输出电压值更精确。

### 2.3 微波特性分析

传感器的回波损耗,即反射系数 S<sub>11</sub>,表示的是 反射到输入端的能量,为衡量微波传输性能的重要 指标。S 参数的值可以反映出共面波导传输和负载 电阻的匹配性能。

为研究介质嵌层是否对传感器的微波传输性能 产生影响,采用 Hfss 软件建立热电式微波功率传感 器模型。无介质嵌层、有介质嵌层的传感器模型如 图 9 所示。热电式微波功率传感器的 Su 曲线如图 10 所示。







图 9 Hfss 仿真的热电式微波功率传感器模型

可以看出,S11维持在-17.9 dB,比较稳定。因

为 Hfss 软件着重体现模型的电磁仿真,而介质嵌层 是通过材料的导热系数来提升传热效率。因此,从 电磁模型的角度来看,介质嵌层的引入依然能保证 热电式微波功率传感器的正常工作,回波损耗的误 差保持稳定,表现出良好的匹配特性。这表明该介 质嵌层的结构是切实可行的。



图 10 热电式微波功率传感器 S11 曲线

## 3 结 论

为了提升热电式微波功率传感器的工作性能, 本文提出了一种新型介质嵌层结构,材料分别选用 了 Si<sub>3</sub>N<sub>4</sub> 和石墨烯。通过 Ansys 软件在热学方面的 仿真,验证了 Si<sub>3</sub>N<sub>4</sub> 和石墨烯作为介质嵌层的结构 对热电堆热端温度的提升作用,提高了传感器的热 传导性能。通过 Hfss 软件在微波传输匹配方面的 仿真,验证了介质嵌层依然能保证传感器良好的匹 配特性。

### 参考文献:

- [1] 姜凌珂,张琪,潘林兵,等. 单通带微波光子滤波器泵 浦响应性能研究法 [J]. 电子学报,2017,45(7): 1620-1626.
- [2] 王德波. 对称式微波功率传感器的设计 [J]. 光学精 密工程, 2011, 19(1): 110-117.
- [3] DEHE A, FRICKE-NEUDERTH K, KROZER V. Broadband thermoelectric microwave power sensors using GaAs foundry process [C] // IEEE MTT-S. Seattle, WA, USA. 2002: 1829-1832.
- [4] 廖小平,范小燕. 间接加热终端式 MEMS 微波功率传 感器的温度模拟 [J]. 微纳电子技术,2005,42(12): 566-570.

141
第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# 高压 BCD 工艺优化对 NLDMOS 管的性能影响

代 钢1,牛 健2, 姬濯宇1

(1. 中国科学院大学 微电子学院,北京 100029; 2. 中芯国际集成电路制造有限公司,天津 300385)

摘 要: 基于 SMIC 0.18  $\mu$ m HVBCD 工艺,移除了 3 层掩模板。调整器件的结构参数,对横向 双扩散 MOS 管(NLDMOS)进行了分批流片。该 NLDMOS 通过了电学性能合格测试。对源漏击 穿电压  $BV_{ds}$ 、比导通电阻  $R_{on}$ 进行了测试和分析。结果表明, $BV_{ds}$ 达到 59.2 V, $R_{on}$ 为 50.5 m $\Omega$ •mm<sup>2</sup>。与原有的 HVBCD 工艺的电参数保持一致。该 NLDMOS 的栅极耐压值达到 40 V,同时降低了成本,缩短了生产周期。

# Effect of High Voltage BCD Process Optimization on NLDMOS Performance

DAI Gang<sup>1</sup>, NIU Jian<sup>2</sup>, JI Zhuoyu<sup>1</sup>

School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, P. R. China;
 Semiconductor Manufacturing International Corporation, Tianjin 300385, P. R. China)

**Abstract**: Based on the SMIC 0.18  $\mu$ m high voltage bipolar-CMOS-DMOS(HVBCD) process, three masks were removed. By adjusting the structure parameters of the device, the N-lateral double diffused metal oxide semiconductor (NLDMOS) was fabricated in batches. The NLDMOS passed the wafer acceptance test (WAT). The source-drain breakdown voltage( $BV_{ds}$ ) and specific on-resistance ( $R_{on}$ ) were tested and analyzed. The results showed that  $BV_{ds}$  was 59.2 V and  $R_{on}$  was 50.5 m $\Omega \cdot mm^2$ . It was consistent with the electrical parameters of the original HVBCD process. The gate withstand voltage of the NLDMOS was enhanced to 40 V, which had reduced the cost and shortened the production cycle.

Key words: high voltage BCD process; NLDMOS; structural parameter; breakdown voltage; specific on-resistance

0 引 言

BCD 工艺广泛用于电源管理、LED 驱动等功率 IC 的制作。随着功率 IC 的性能提高<sup>[1]</sup>,BCD 工艺 正向多功能集成、低功耗、高智能化等方向发展。 NLDMOS 器件的优化、BCD 工艺成本的降低是功 率 IC、高压 IC 的主要发展方向。

1969 年, Y. Tarui 等人提出了 LDMOS 结构<sup>[2]</sup>。*R*<sub>on</sub>与 *BV*<sub>ds</sub>呈现指数增长关系,即(*R*<sub>on</sub> • *A*)

 $\infty(BV_{ds}^n)$ , n 为指数幂<sup>[3]</sup>。通过降低 n, 可调制  $R_{on}$ 与  $BV_{ds}$ 之间的变化关系, 但难以提升  $BV_{ds}$ 和降低  $R_{on}$ 。因此, 需要对 LDMOS 的几何结构、工艺流程、 杂质分布等进行系统研究, 更好地提升器件性能。

文献[4]在 LDMOS 栅极和局部硅氧化层上方 形成场板结构,增加了击穿电压。文献[5]提出一种 虚拟栅场板结构(DGFP)。文献[6]提出一种多段 浮空场板结构。文献[7-8]利用多次掩模步骤,对漂 移区进行分步离子注入,提高了器件的耐压能力。 文献[9]利用叠层轻掺杂源漏区结构(LDD),既提高

#### 收稿日期:2019-04-13;定稿日期:2019-05-10

基金项目:国家自然科学基金资助项目(61674167);国家重点研发计划资助项目(2018YFB1500500,2018YFB1500200) 作者简介:代 钢((1995—),男(汉族),四川攀枝花人,硕士,研究方向为功率器件及工艺整合技术。

了击穿电压,又具有较低的导通电阻和输出电容。 文献[10]基于降低表面电场(RESURF)技术,利用 薄层外延工艺制作了 SOI LDMOS<sup>[10]</sup>。文献[11]制 作了 Double-RESURF、Triple-RESURF 的 SOI LDMOS。文献[12]基于标准 5 V CMOS 工艺平 台,运用 Double RESURF、LDD 技术,搭建了 HVBCD工艺平台。文献[13]基于 0.18 μm LV CMOS 工艺平台,增加了包括高压栅极层、高压阱 区层、高压漂移区层等的六层掩模板,搭建了 HVBCD工艺平台<sup>[13]</sup>。但是,业界对于降低成本、 缩短生产周期等方面的研究较少。

本文在现有的 HVBCD 工艺平台上,移除 3 次 掩模板,调整 NLDMOS 的结构参数,并进行了实际 的流片。分析了各结构参数对 BV<sub>ds</sub>和 R<sub>on</sub>的影响, 最终找到最优值。对 NLDMOS 的 FV 曲线进行了 测试,结果表明性能良好。NLDMOS 的栅极能承 受 40 V 的工作电压。该 NLDMOS 的制作工艺在 保持 LDMOS 电性能的条件下,减少了掩模板数量, 降低了制作成本。

# 1 工艺流程调整

0.18 μm 标准 BCD 工艺采用 200 mm P 型 <100>晶向的单晶硅衬底,经过十几层掩模板和数 百次工艺步骤,制作出 CMOS、LDMOS 等有源器 件,以及电阻、电容等无源器件,再通过金属连线、外 围封装,形成最终的功率 IC。

图 1 所示为标准 HVBCD 工艺中 LDMOS 的制 作主流程,包括工艺流程所需的掩模板及关键工艺 步骤。



图 1 LDMOS 的制作主流程

本文在主流程基础上,移除 N 型深阱(Deep N-Well, DNW)掩模板、N 型漂移区(NDrift)掩模板、 P 型漂移区(PDrift)掩模板,实现降低制作成本、缩 短生产周期的目的。

#### 1.1 移除 DNW 掩模板

首先,在原始晶圆上淀积一层复合介质层,再开 始进行两次深阱离子注入掺杂,形成 DNW 和 P 型 深阱(Deep P-Well, DPW)。流程图如图 2(a)所示。 可知,DNW、DPW 的形成需要 2 次模板(光刻)和 2 次离子注入。

为了优化工艺流程,本文进行了改进,即移除了 1次 DNW 掩模板。工艺步骤为:在原始晶圆上进 行深阱 N 型掺杂,再进行深阱 P 型掺杂,利用 P 型 杂质,对 N 型区进行反型。流程图如图 2(b)所示。 可知,移除了一次掩模板后,仍可通过调整后续掺杂 能量、剂量来保证各区的杂质分布,从而保证器件的 性能。因此,直接降低了制作成本。



(b) 移除了1次DNW 掩模板图2 有2次、移除了1次DNW 掩模板的 NLDMOS 剖面

# 1.2 移除 NDrift、PDrift 掩模板

形成局部硅氧化层(Local Oxidation of Silicon, LOCOS)后,即定义了有源区,之后进行 N型、P型漂移区的掺杂,漂移区离子注入后,再进行 N阱、P阱的掺杂。

定义漂移区能更精确地控制各掺杂区的浓度分 布梯度。在线宽较宽的工艺条件下,本文移除了 NDrift、PDrift这2次掩模板。在后续的2次阱区 注入工艺中,通过调整离子注入的能量、剂量来调节 阱区的杂质分布。

有 NDrift、移除了 NDrift 掩模板的 NLDMOS 剖面图分别如图 3(a)、图 3(b)所示。对于移除 PDrift 的 PLDMOS 的工艺步骤,原理类似,不再 详述。



(b) 移除了 NDrift 掩模板图 3 有 NDrift 、移除了 NDrift 掩模板的 NLDMOS 剖面图

# 2 NLDMOS 的结构参数

工艺流程不能一味地进行精简。在移除 3 次掩 模板之后,需要对 LDMOS 进行分组实验流片,分析 结构参数对 LDMOS 性能的影响,通过 HCI(Hot Carrier Injection)和 WAT(Wafer Acceptance Test)测试,得到最优结构。再通过改进工艺流程, 使器件达到与原流程同样的性能。

NLDMOS标准工艺的剖面图如图 4 所示。图 4 中, *D*<sub>LB</sub>为 N+掺杂右边界到 P-well 右边界的距 离, 即定义了器件的沟道长度。*D*<sub>s</sub>为 P-well 右边 界到 FOX(场氧层) 左边界的投影距离。当 N-well

包裹住整个 FOX 时, $D_s$  为 P-well 右边界到 N-well 左边界的距离。 $D_{DX}$ 为 FOX 左边界到 N-well 左边 界的投影距离。当 N-well 完全包裹住 FOX 时, $D_{DX}$ 为正值;当 N-well 不完全包裹 FOX 时(即图 4 所 示), $D_{DX}$ 为负值。 $D_{FX}$ 为 FOX 左边界到多晶硅右边 界的投影距离。



图 4 NLDMOS标准工艺的剖面图

通过  $D_{LB}$ 、 $D_{S}$ 、 $D_{DX}$ 、 $D_{FX}$ 这 4 个结构参数,可以 对 LDMOS 的沟道长度、漂移区长度和浓度、场板长 度、场氧层宽度等进行调整和控制,从而调控 LDMOS 的  $BV_{ds}$ 和  $R_{on}$ 。

# 3 实验与结果讨论

本次实验流片选取数片 P 型衬底晶圆,每片晶圆上包含所有待测试器件。不同晶圆之间使用不同的工艺参数,如离子注入剂量、能量。同一晶圆上的工艺流程保持一致,以保证实验结果的可靠性。本文通过分析同一晶圆上不同尺寸器件的 BV<sub>ds</sub>和 R<sub>on</sub>,得到各结构参数对器件性能的影响趋势。

LDMOS标准工艺中, $BV_{ds}$ 的标准为: $BV_{ds}$ > 130% ·  $V_{op}$ 。 $V_{op}$ 为器件的工作电压, $V_{op} = 40$  V,则  $BV_{ds}$ 大于 52 V。在  $BV_{ds}$ 达标的同时,需要尽可能降低器件的 $R_{on}$ ,以提高器件的工作性能。

# 3.1 $D_{LB}$ 对 $BV_{ds}$ 和 $R_{on}$ 的影响

*D*<sub>LB</sub>对 *BV*<sub>ds</sub>、*R*<sub>on</sub>的影响曲线如图 5 所示。*D*<sub>LB</sub> 为均值。当 *D*<sub>LB</sub>从 0.3 μm 渐变到 1.5 μm 时,进行 WAT 测试,得到 *BV*<sub>ds</sub>,再计算出 *R*<sub>on</sub>。可以看出, *BV*<sub>ds</sub>和 *R*<sub>on</sub>均随 *D*<sub>LB</sub>的增加而增加。当 *D*<sub>LB</sub>从 0.3 μm 渐变到 1.5 μm 时, *BV*<sub>ds</sub>的平均增长率为 1.83%,*R*<sub>on</sub>的平均增长率为 64.14%。

可知, D<sub>LB</sub>的增加对 BV<sub>ds</sub>影响甚微, 而 R<sub>on</sub>的增加对 BV<sub>ds</sub>的影响较大。因此, 当 BV<sub>ds</sub>达到设计的目标值时, 可适当降低 D<sub>LB</sub>来降低 R<sub>on</sub>。因为 D<sub>LB</sub>定义了 LDMOS 的沟道长度, 所以降低 D<sub>LB</sub>, 可提高器件的饱和电流, 增强驱动能力, 从而降低阈值电压和功耗。LDMOS 可看作是一个短沟道 MOS 与漂移区的长沟道 MOS 的串联<sup>[14]</sup>, 如果一味地降低 D<sub>LB</sub>, 会

带来短沟道效应、漏致势垒降低效应等二级效应,使 器件的性能下降。

图 5 还显示了  $D_s$  对 NLDMOS 性能的影响。 可以看出, $D_s$  为 1.2 时的  $BV_{ds}$ 比  $D_s$  为 1.5 时的  $BV_{ds}$ 稍高, $D_s$  为 1.2 时的  $R_{on}$ 比  $D_s$  为 1.5 时的  $BV_{ds}$ 稍低。后文将会对  $D_s$ 进一步讨论。



3.2  $D_s$  因子对  $BV_{ds}$ 和  $R_{on}$ 的影响

 $D_{\rm s}$ 对  $BV_{\rm ds}$ 、 $R_{\rm on}$ 的影响曲线如图 6 所示。



可以看出,当 $D_s > 1.1 \mu m$ 时,在有 DNW 的情况下, $BV_{ds}$ 随 $D_s$ 增大而小幅震荡,基本不变; $R_{on}$ 随 $D_s$ 增大而增大。当 $D_s \leq 1.1 \mu m$ 时,在没有 DNW 的情况下, $BV_{ds}$ 、 $R_{on}$ 随 $D_s$ 增大而减小,总体的  $BV_{ds}$ 远小于 $D_s > 1.1 \mu m$ 时的  $BV_{ds}$ 。原因是 DNW 的引

入使 DNW 与 P 型衬底形成了反偏 PN 结,减少了 漏电,隔离了外界噪声干扰,提高了器件的击穿 电压。

图 6 中,  $BV_{ds}$ 与  $R_{on}$ 的最大差值取自  $D_{s}$ 为 1.1  $\mu$ m 附近。此时,  $BV_{ds}$ 相对较高,  $R_{on}$ 相对较低。此 时,  $BV_{mean}$  = 47.7 V, 仍达不到规定的击穿电压最低 值。降低  $D_{s}$ 到 0.3  $\mu$ m 附近, 此时  $BV_{ds}$ 的提升有 限,  $R_{on}$ 很大, 不符合设计要求。

3.3  $D_{\text{DX}}$ 对  $BV_{\text{ds}}$ 和  $R_{\text{on}}$ 的影响

为了使 BV<sub>ds</sub>尽可能高,需要尽可能加长漂移区 或降低漂移区掺杂浓度。D<sub>DX</sub>对 BV<sub>ds</sub>、R<sub>on</sub>的影响曲 线如图 7 所示。



可以看出,当 $D_{DX} > 0$ ,即 NW 将整个 FOX 都 包裹时, $BV_{ds}$ 、 $R_{on}$ 均随 $D_{DX}$ 增大而增大,但 $BV_{ds}$ 的增 加非常有限。当 $D_{DX} \leq 0$ 时, $BV_{ds}$ 、 $R_{on}$ 均随 $D_{DX}$ 减小 而增大。 $D_{DX}$ 从一1.2  $\mu$ m(负号仅表示 NW 与 FOX 的相对位置)减小到一2  $\mu$ m 时, $BV_{ds}$ 平均增长率为 16.28%, $R_{on}$ 的平均增长率为 6.72%。这表明 $D_{DX}$ 减小时, $BV_{ds}$ 增加得更快。因此,略去工艺参数的影 响,应尽可能降低 $D_{DX}$ ,使 $BV_{ds}$ 到达目标值。

## 3.4 *D*<sub>FX</sub>因子对 *BV*<sub>ds</sub>和 *R*<sub>on</sub>的影响

同样地,  $BV_{ds}$ 、 $R_{on}$ 与 $D_{FX}$ 呈正相关。 $D_{FX}$ 对  $BV_{ds}$ 、 $R_{on}$ 的影响曲线如图 8 所示。可以看出,  $D_{FX}$ 的 增大虽然对 $BV_{ds}$ 和 $R_{on}$ 都有提升, 但增长有限。而  $D_{S}$ 的变化对 $BV_{ds}$ 和 $R_{on}$ 的影响更大。当 $D_{S}$ 从 0.3  $\mu$ m 增加到 0.7  $\mu$ m 时,  $BV_{ds}$ 的平均增长率提高了 16.7% ( $D_{FX}=2 \mu$ m)。当 $D_{FX}$ 从 1  $\mu$ m 增加到 2  $\mu$ m 时,  $BV_{ds}$ 的平均增长率提高了 11.34% ( $D_{S}$  = 0.5  $\mu$ m)。因此,  $D_{S}$  对 $BV_{ds}$ 的提高所起的作用更

80 70 <sup>m</sup> 60 G 50 E 40 ~ 30 ≈ 20 , K  $^{42}_{\Lambda^{e} 40}$  $R_{\rm onl}$ , Ĩ 38 , 36 32 34 , 34 Ag 32 30 1111 1.2 1.2 1.2 1.5 1.5 1.5 1.8 1.8 1.8 2 2 2 2 2 2  $D_{\rm FX}$  /  $\mu{
m m}$ ■ $BV_1(D_s=0.3)$  ● $BV_2(D_s=0.5)$  ● $BV_3(D_s=0.7)$  $\mathbf{V}R_{ou1}(D_{s}=0.3)$   $\mathbf{A}R_{ou2}(D_{s}=0.5)$   $\mathbf{V}R_{ou3}(D_{s}=0.7)$ 图 8 D<sub>FX</sub>对 BV<sub>ds</sub>和 R<sub>on</sub>的影响曲线

## 3.5 最优的结构参数

在上文讨论  $D_{DX}$  对  $BV_{ds}$  和  $R_{on}$  的影响时,已经 接近最优的结构参数值。因此,需要在保证  $BV_{ds}$  > 130% ·  $V_{op}$ 的同时,使  $R_{on}$ 尽可能小。综上所述, $D_{LB}$ 应较小,但又不能太小,避免器件性能退化,本文选 取  $D_{LB}=0.8 \ \mu m$ 。 $D_{S}$  是主要的决定因素,应在 1.1  $\mu m$  附近取值,考虑到工艺容差,本文选取  $D_{S}=1.2 \ \mu m$ 。 $D_{DX}$ 应尽量小,本文选取  $D_{DX}=-2 \ \mu m$ 。 $D_{FX}$ 影响不大,但可较大些,本文选取  $D_{FX}=1.8 \ \mu m$ 。

4 个结构参数取得典型优值后,选取该优值重 新进行一批流片实验。选择 4 片晶圆,每片晶圆上 的器件结构、工艺流程相同。最优结构参数情况下 的 NLDMOS WAT 测试结果如表 1 所示。可以看 出, $BV_{ds}$ 和  $R_{on}$ 无明显波动,均值分别为 59.2 V 和 50.5 m $\Omega \cdot mm^2$ ,饱和电流  $I_{ds}$ 和关态漏电流  $I_{off}$ 也 符合相关标准。

表 1 最优结构参数情况下的 NLDMOS WAT 测试结果

会 粉	数值			
参数	#1	#2	#3	#4
$V_{ m TL}/{ m V}$	3.22	3.23	3.19	3.23
$I_{\rm dsat}/(\mu { m A} ullet \mu { m m}^{-1})$	529.1	530.4	530.4	527.4
$I_{\rm off}/({ m pA} \cdot \mu { m m}^{-1})$	4.24	5.12	36.53	2.49
$BV_{ m ds}/{ m V}$	59.2	59.2	59.0	59.4
$R_{ m on}/({ m m}\Omega\cdot{ m mm}^2)$	50.64	50.35	50.51	50.81

通过 WAT 测试, 汇总了 BV<sub>ds</sub>和 I<sub>ds</sub>在 V<sub>gs</sub>以步 进 10 V 增加时的相关数据。40 V NLDMOS 的*I*-V

曲线如图 9 所示。器件的栅极能承受 40 V 的电压, 使得阈值电压达到 3.2 V,充分体现了该 SOI 器件 的耐高压特性。



# 4 结 论

本文基于 0.18  $\mu$ m 标准 BCD 工艺,通过移除 3 次掩模板,降低了 0.18  $\mu$ m BCD 工艺的生产成本和 生产周期。调整结构参数  $D_{LB}$ 、 $D_{S}$ 、 $D_{DX}$ 、 $D_{FX}$ ,进行 流片实验。结果表明: $D_{S}$  对削弱  $BV_{ds}$ 和  $R_{on}$ 的关联 起着重要作用; $D_{DX}$ 能有效影响  $BV_{ds}$ ; $D_{LB}$ 对  $R_{on}$ 的影 响较大,但不能太小; $D_{FX}$ 对  $BV_{ds}$ 和  $R_{on}$ 的调节作用 不大,起着微调作用。

该 40 V NLDMOS 在最优参数值下进行试验。 WAT 测试结果表明, *BV*<sub>ds</sub>达到 59.2 V, *R*<sub>on</sub>为 50.5 mΩ•mm<sup>2</sup>。该器件的 *I*-V 特性良好, 与行业标准器件性能具有可比性<sup>[15]</sup>。该器件的栅极能承受 40 V电压, 能适用于各类高压高功率 IC 领域。工艺的结构参数对 *BV*<sub>ds</sub>和 *R*<sub>on</sub>的影响仍需进一步研究和优化。

#### 参 考 文 献:

- [1] OHASHI H. Power devices now and future, strategy of Japan [C] // Int Symp Power Semicond Dev & IC's. Bruges, Belgium. 2012; 9-12.
- [2] TARUI Y, HAYASHI Y, SEKIGAWA T. Diffusion self-aligned : a new approach for high speed devices [C] // Proc Conf Sol Sta Dev. Tokyo, Japan. 1969: 105-110.
- [3] AMATO M, RUMENNIK V. Comparison of lateral and vertical DMOS specific on-resistance [C] // IEEE Int Elec Dev Meet. Washington D C, USA. 1985: 736-739.
- [4] CONTI F, CONTI M. Surface breakdown in silicon planar diodes equipped with field plate [J]. Sol Sta

大, D<sub>FX</sub>对 BV<sub>ds</sub>和 R<sub>on</sub>所起的作用较小。

Elec, 1972, 15(1): 93-105.

- [5] SHIBIB A, XU S M, XIE Z J, et al. Control of hot carrier degradation in LDMOS devices by a dummy gate field [C] // Power Semicond Dev & IC's Proceed. Kitakyushu, Japan. 2004: 233-235.
- [6] TERASHIMA T, YOSHIZAWA M, FUKUNAGA M, et al. Structure of 600 V IC and a new voltage sensing device [C] // Int Symp Power Semicond Dev & IC's. Monterey Bay, CA, USA. 1993: 224-229.
- [7] STENGL R, GOSELE U. Variation of lateral doping a new concept to avoid high voltage breakdown of planar junctions [C] // IEEE Int Elec Dev Meet. Washington D C, USA. 1985: 154-157.
- [8] STENGL R, GOSELE U, FELLINGER C, et al. Variation of lateral doping as a field terminator for high-voltage power devices [J]. IEEE Trans Elec Dev, 1986, 33(3): 426-428.
- [9] CAI J, REN C H, BALASUBRAMANIAN N, et al. A novel high performance stacked LDD RF LDMOSFET [J]. Elec Lett, 2001, 22 (5): 1676-1680.
- [10] HUANG Y, BALIGA B J. Extension of RESURF

(上接第141页)

- [5] 黄从朝,黄庆安,廖小平.一种新型 MEMS 微波功率 传感器的理论模型与优化设计 [J].传感技术学报, 2006,19(5b):1938-1944.
- [6] 韩磊,黄庆安,廖小平. 热电式微波功率传感器的优 化设计 [J]. 半导体学报, 2008, 29(4): 789-793.
- [7] 田涛,廖小平.一种新型 MEMS 微波功率传感器的设计与模拟 [J]. 传感技术学报,2008,21 (4):611-614.
- [8] 周锐. MEMS 热电式微波功率传感器的研究 [D]. 南京:东南大学, 2013.
- [9] ZHANG Z Q, LIAO X P. Suspended thermopile for microwave power sensors based on bulk MEMS and GaAs MMIC technology [J]. IEEE Sensors J, 2015, 15(4): 2019-2020.
- [10] ZHANG Z Q, GUO Y, LI F, et al. A sandwich-type thermoelectric microwave power sensor for GaAs MMIC-compatible applications [J]. IEEE Elec Dev Lett, 2016, 37 (12): 1639-1641.

principle to dielectrically isolated power devices [C] // Int Symp Power Semicond Dev & IC's. Baltimore, MD, USA. 1991: 27-30.

- [11] HU X R, ZHANG B, LUO X R, et al. Analytical models for the electric field distributions and breakdown voltage of triple RESURF SOI LDMOS [J]. Sol Sta Elec, 2012, 69: 89-93.
- [12] HUANG T Y, HUANG C H, HUANG C F, et al. Demonstration of a HV BCD technology with LV CMOS process [C] // IEEE 27th Int Symp Power Semicond Dev & IC's. Hong Kong, China. 2015: 193-196.
- [13] MICHAEL T M G, HU Y H, DEB K P, et al. Design and optimization of 40 V, 0.18 µm versatile HVL-DMOS device with DOE [C] // Int Conf Semicond Elec. Johor Bahru, Malaysia. 2008: 1-5.
- [14] 陈星弼. 功率 MOSFET 与高压集成电路 [M]. 南京: 东南大学出版社, 1990: 228-248.
- [15] CHEN Y M, LEE C L, TSAI M H, et al. A 150 V novel high-voltage LDMOS in a 0.18 μm BCD plug-in process [C]. Int Symp Power Semicond Dev & IC's. Chicago, IL, USA. 2018: 331-334.
- [11] ZHANG Z Q, LIAO X P. Characteristics of doped n+ GaAs thermopile-based RF MEMS power sensors for MMIC applications [J]. IEEE Elec Dev Lett, 2017, 38(10): 1473-1476.
- [12] LI W, NI Z, WANG J C, et al. A front-side microfabricated tiny-size thermopile infrared detector with high sensitivity and fast response [J]. IEEE Trans Elec Dev, 2019, 66(5): 2230-2237.
- [13] 范小燕, 廖小平, 黄庆安. MEMS 微波功率传感器的 研究与进展 [J]. 微波学报, 2005, 21(2): 63-70.
- [14] 余雷,余建祖,王永坤. SiN<sub>x</sub> 薄膜热物性参数实验测 量与分析研究 [J]. 物理学报,2004,53(2):401-405.
- [15] 雷慧茹,张立宏.石墨烯的物理性质及应用研究[J]. 上饶师范学院学报,2017,37(6):37-40.
- [16] 刘浪. 微波介质薄膜材料的应用研究 [D]. 成都: 电子科技大学, 2017.

第 50 卷 第 1 期	微电子学	Vol. 50, No. 1
2020年2月	Microelectronics	Feb. 2020

# ・产品与可靠性・

# LDO 单粒子闩锁效应及维持电流的特性研究

夏 鹏<sup>1,2</sup>,杨少华<sup>1,2</sup>,吴福根<sup>1</sup>,雷志锋<sup>2</sup>,张战刚<sup>2</sup>

(1. 广东工业大学 材料与能源学院, 广州 510006;

2. 工业和信息化部 电子第五研究所 电子元器件可靠性物理及其应用技术重点实验室,广州 510610)

摘 要: 针对一种 LDO,研究了重离子 Cl、Ge 辐照触发的单粒子闩锁(SEL)效应。实验结果表明,输入 1.8 V时,SEL 电流范围为 850~950 mA;输入 3.3 V时,SEL 电流范围为 6.2~6.4 mA。随着限制电流值的增高,退出 SEL 的时间逐渐增大,最终无法退出。该 LDO 的 SEL 维持电流范围为 350~400 mA,可通过正常工作电流和允许的中断时间来选择合适的限制电流值。

关键词: 单粒子效应; SEL; 维持电流; 限制电流; LDO
 中图分类号:TN406; TN432
 文献标识码:A
 文章编号:1004-3365(2020)01-0148-05
 DOI:10.13911/j.cnki.1004-3365.190149

# Study on Single Event Latchup and Maintenance Current Characteristics of LDO

XIA Peng<sup>1, 2</sup>, YANG Shaohua<sup>1, 2</sup>, WU Fugen<sup>1</sup>, LEI Zhifeng<sup>2</sup>, ZHANG Zhangang<sup>2</sup>

 School of Materials and Energy, Guangdong Univ. of Technology, Guangzhou 510006, P. R. China; 2. Key Lab. of Reliab. Phys. and Appl. Technol. for Elec. Compon., Fifth Inst. of Elec., Ministry of Industry and Inform. Technol., Guangzhou 510610, P. R. China)

**Abstract:** Single event latch-up (SEL) effects of a LDO ttriggered by Cl and Ge irradiation were studied. The experimental results showed that the SEL current range was  $850 \sim 950$  mA when the input voltage was 1.8 V, and the SEL current range was  $6.2 \sim 6.4$  mA when the input voltage was 3.3 V. As the limit current value was increased, the time to exit the SEL gradually increased and eventually could not be exited. The holding current range of the LDO device's SEL was  $350 \sim 400$  mA. A suitable limiting current value could be selected based on the device's normal operating current demand and the allowable interrupt time.

Key words: single-event effect; SEL; holding current; limiting current; LDO

0 引 言

随着航天科技的迅速发展,越来越多的电源芯 片被应用于卫星、飞船等领域<sup>[1-2]</sup>。空间环境中有大 量重离子、质子等粒子,辐射效应问题特别是 SEL 效应显著<sup>[3]</sup>。SEL 效应是指 CMOS 集成电路中,寄 生可控硅管在辐射粒子轰击下,在电源与地之间形 成了低阻抗大电流通路而导致电路无法正常工作乃 至失效的现象<sup>[46]</sup>。电源性能的优劣直接关系到整 个电子系统能否可靠地工作<sup>[7]</sup>。LDO 因其输出稳 定而被广泛应用于供电系统,研究 LDO 在辐射环 境中的 SEL 特性显得非常重要。

文献[8]提出了一种空间信息处理系统的抗 SEL保护网络,它能检测到SEL效应,但断电后无 法自动复原,且无过流保护措施。文献[9]设计了一 种可恢复式抗SEL电源接口电路,对微小卫星上的 系统进行防闩锁和过流保护,利用脉冲激光模拟了

# 收稿日期:2019-03-20;定稿日期:2019-04-15

基金项目:广东省省级科技计划项目(2017B090921001,2017B090901068);广州市科技计划项目(201707010186)

作者简介:夏 鹏(1993—),男(汉族),安徽宣城人,硕士研究生,研究方向为电源芯片的辐射效应。

张战刚(1986—),男(汉族),高级工程师。通信作者,E-mail:zhangangzhang@163.com。

单粒子效应,但未对重离子辐射进行地面模拟实验。

针对一种 LDO,研究了器件的 SEL 效应、SEL 维持电流特性。本文进行了重离子 Cl、Ge 的单粒 子实验,获得该 LDO 的 SEL 电流值。重点研究了 电源限流对 SEL 效应的影响。结果表明,采用电源 限流的方法,能稳定可靠地消除 SEL 效应。该方法 具有简单、响应速度快的优点。

1 重离子单粒子实验

#### 1.1 实验参数

本文选用 2 只型号相同的 LDO 样品。该 LDO 有两种供电电压:V<sub>IN</sub> = 3.3 V,V<sub>LDOIN</sub> = 1.8 V。在 辐照前,对样品都进行了开封处理。2 只均使用 Cl 离子辐照,再对第 1 只器件增加一次 Ge 离子辐照。 本次实验采用中国原子能科学研究院(北京)的串列 静电加速器 HI-13。实验使用的重离子参数如表 1 所示。

表1 实验使用的重离子参数表

参数	数值		
	Cl 离子	Ge 离子	
能量/MeV	110	210	
LET $\text{(MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$ )	15	37.3	
在硅中的射程/μm	30.6	30.5	
注量率/(cm <sup>-2</sup> • s <sup>-1</sup> )	$5 \times 10^3$	$1.0 \times 10^{4}$	

#### 1.2 实验系统

单粒子效应实验系统由电路板、程控电源、示波 器和控制计算机组成。电路板放置在靶室内,由母 版和子板组成,与外部示波器和程控电源连接。作 用是为待测器件提供电源和激励信号,采集待测器 件的输出数据。待测器件焊接在子板上。靶室外的 测试仪器包括数字示波器、程控电源、控制计算机 等。采用控制计算机,实现程控电源和示波器的远 程控制和数据采集。

采用监测工作电流突然增加的方法,测试 SEL 效应。采用计算机控制的可编程电源,对 SEL 效应 进行测试。当电源电流超过规定值时,立即限流,并 切断电源开关,保护被试器件。实时地记录、保存待 测器件的工作电流值。

2 实验结果与分析

本次实验中,Cl离子、Ge离子的能量分别为110

MeV、210 MeV,在硅中的射程分别为 30.6 μm、30.5 μm。 经过计算可得,LET 值分别为 15 MeV • cm<sup>2</sup> • mg<sup>-1</sup>、37.3 MeV • cm<sup>2</sup> • mg<sup>-1</sup>。实验中,监测到了 SEL 现象。

在重离子 Cl 辐照下,1 # 样品、2 # 样品负载输 出电流曲线分别如图 1、图 2 所示。在重离子 Ge 辐 照下,1 # 样品负载输出电流曲线如图 3 所示。可以 看出,无论是在 Cl 离子,还是在 Ge 离子的辐照下, 束流开启后,器件的工作电流几乎瞬间改变。

从图 1、图 2 可知, 3.3 V 输入电压下,负载电流 从 0.5/0.5 mA 迅速增至 6.2/6.4 mA。1.8 V 输 入电压下,负载输出电流从 0.7/0.8 mA 迅速增至 862/907 mA。从图 3 可以看出,在 Ge 离子辐照下, 在 1.8 V 输入电压下,1 # 样品负载输出电流从 0.7 mA迅速增至 852 mA,在 3.3 V 输入电压下负 载输出电流从 0.5 mA 迅速增至 6.3 mA。重离子 辐照导致在电源与地之间形成极大的电流,此时的 负载电流称为 SEL 电流。



图 2 Cl离子辐照下 2 # 样品负载输出电流曲线 对不同离子下的 SEL 电流进行对比。1.8 V 输入电压时,Cl离子、Ge离子辐照下,SEL电流分别为862mA、852mA。3.3V输入电压时,Cl离子、Ge离子辐照下,SEL电流分别为6.2mA、6.3mA。这表明,器件的SEL电流变化很小,即Cl离子、Ge离子对SEL电流的影响不明显。

由图 1 至图 3 可以看出, 3.3 V 输入电压时, SEL 电流增大了 12.5 倍, 1.8 V 输入电压时, SEL 电流的增大倍数超过 1 000。这表明, 在不同供电电 压下, SEL 电流值的差异很大。





LDO 芯片的电路图如图 4 所示。V<sub>IN</sub>端(为 3.3 V)与1个运算放大器的输入端相接致使该电路 呈现高阻态,有很强的电流限制作用。在发生 SEL 效应时,SEL 电流的增加值较小。然而,在与V<sub>LDOIN</sub> 端(为1.8 V)连接的区域电路中,在发生 SEL 效应 时,SEL 电流急剧增大。



#### 图 4 LDO 芯片的电路图

如果 SEL 电流远远超过了器件的正常工作电流,器件将不能正常工作,甚至失效。因此,迫切需要采取一些防护措施,对器件进行保护。

3 SEL 效应的防护

本文通过调节电源的最大输出电流,观察 SEL

效应的退出、维持状态,研究 SEL 维持电流的特性, 最终实现对 LDO 的有效保护。

# 3.1 SEL 触发要素

对于 CMOS 器件,SEL 效应的产生需要同时满 足三个条件<sup>[9-11]</sup>:1)单粒子在器件中的能量形成微 电流,流经衬底形成压降,使可控硅管中任一管导 通;2)两个双极管的共发射极电流放大系数之积大 于1;3)电源电流不能小于 SEL 维持电流。

#### 3.2 电源限流机理

基于 SEL 触发的三要素,本文采用电源限流的 方法,即对电源的输出电流进行调节,使其低于 SEL 维持电流。通过这种方法,使得 SEL 状态不能 维持,在一定时间内退去,恢复到未发生 SEL 效应 时的正常输出水平,在保证正常输出的同时对 SEL 效应进行防护,从而保护整个器件。器件的正常工 作电流、限制电流和 SEL 电流的关系如图 5 所示。



图 5 正常工作电流、限制电流和 SEL 电流的关系

可以看出,一旦粒子辐照触发了 SEL 效应,此 时的 SEL 电流远远大于正常工作电流。如果在此 时采用的限制电流值大于 SEL 电流值,根据 SEL 触发要素可知,此时依然满足第三条,SEL 效应仍 无法退去,处于维持状态。只有电源输出电流调节 到小于 SEL 的维持电流时,才能起到防护作用。因 此,需要确定 SEL 维持电流,研究在维持电流下,限 流值对 SEL 效应的影响。

#### 3.3 不同限流值对 SEL 效应的影响

本文对器件在 1.8 V 输入电压、 $t_1$  时刻进行限 流处理,不同限流值下的输出电流、输出电压曲线分 别如图 6、图 7 所示。限流值分别为 50,100,200, 300,350,400 mA。本文中,退出 SEL 的时刻为  $t_2$ ;  $\Delta t$  为 $t_2$  与  $t_1$  的差值,即为 SEL 退出时间。限流值 与退出时间的关系如表 2 所示。

正常情况下,负载输出电流为 0.7 mA,输出电

压为 23 mV。当发生 SEL 效应时,输出电流上升到 852 mA,输出电压下降到 10 mV。在 t<sub>1</sub> 时刻,对器 件进行限流处理。各种限流值处理后的情况如下。



图 6 1.8 V 输入电压、不同限流值下的输出电流曲线



时间 / s

图 7 1.8 V 输入电压、不同限流值下的输出电压曲线

表	2	限流值与退出时间的关系	Ę
-			

限流值/mA	$\Delta t/s$	限流值/mA	$\Delta t/s$
50	0.5	300	2
100	1	350	10
200	1.5	400	$+\infty$

当限流值为 50 mA 时,经过 0.5 s 后,退出 SEL 状态,输出电流恢复到 0.7 mA,输出电压恢复到 23 mV。当限流值为 100 mA 时,经过 1 s 后,退出 SEL 状态,输出电流和输出电压恢复到正常值。当 限流值为 200 mA 时,经过 1.5 s 后,退出 SEL 状 态,输出电流恢复到 0.7 mA,电压恢复到 23 mV。 当限流值为 300 mA 时,经过 2 s 后,退出 SEL 状 态。当限流值为 350 mA 时,经过长达 10 s 的时间, 退出 SEL 状态。当限流值为 400 mA 时,无法退出 SEL 状态。此时,输出电流维持在 400 mA,输出电 压维持在 10 mV,无法恢复到辐射前的正常输出 23 mV。

以上表明,随着限流值的增大,退出 SEL 的响应时间有一定程度增加。当限流值为 350 mA 时,退出 SEL 状态的时间过长,超过了器件可允许的中断时间。这在实际应用中不能起到保护作用。当限流值为 400 mA 时, $\Delta t$  趋向于+ $\infty$ ,无法退出 SEL 状态。因此,该 LDO 器件的 SEL 维持电流范围为 350~400 mA。

针对该类器件,综合考虑器件的正常工作电流 需求和应用中消除 SEL 的及时响应,将限流值定为 300 mA 是比较理想的,在消除 SEL 效应的同时,还 能保证正常工作电流有较大的输出范围。

本文对器件在 3.3 V 输入电压、t<sub>1</sub> 时刻进行限 流处理。3.3 V 输入电压、不同限流值下的输出电 压、输出电流曲线分别如图 8、图 9 所示。限流值分 别为 1,2,3 mA。



图 8 3.3 V 输入电压、不同限流下的输出电压曲线



图 9 3.3 V 输入电压、不同限流下的输出电流曲线

2020 年

可以看出,当限流值为1mA时,输出电压和输 出电流能够恢复正常,但SEL状态退出时间过长; 当限流值为2,3mA时,一直维持在SEL状态。这 表明在3.3V输入电压时作限流处理后,仍不能有 效退出SEL状态。

# 4 结 论

本文针对一种 LDO 器件,进行了重离子辐照 实验,研究了 SEL 效应产生及 SEL 维持电流的特 性研究。实验结果表明,在 Cl 离子、Ge 离子辐照 下,出现了 SEL 效应。在 1.8 V 输入电压下进行限 流处理后,能有效退出 SEL 状态,在 3.3 V 输入电 压下进行限流处理后,效果极不理想。随着限流值 的增大,退出 SEL 状态所需的时间增加,最终无法 退出。通过实验得出,该类 LDO 器件的 SEL 维持 电流范围为 350~400 mA。采用限流处理的方法, 能有效地消除 SEL 现象,使得器件恢复正常输出水 平。该研究结果对 LDO 器件的抗 SEL 效应有一定 的参考价值。

# 参考文献:

 BECKER H N, MIYAHIRA T F, JOHNSTN A H.
 Latent damage in CMOS devices from single-event latchup [J]. IEEE Trans Nucl Sci, 2002, 49(6): 3009-3030.

- [2] 王蕴辉,于宗光,孙再吉.电子元器件可靠性设计[M].北京:科学出版社,2007.
- [3] 吴驰,毕津顺,滕瑞.复杂数字电路中的单粒子效应 建模综述[J]. 微电子学,2016,46(1):117-123.
- [4] 余永涛,封国强,陈睿,等. SRAM K6R4016V1D单 粒子闩锁及防护试验研究 [J]. 原子能科学技术, 2012,46:587-591.
- [5] 秦军瑞,陈书明,陈建军,等.180 nm CMOS 工艺下
   SEL 敏感性关键影响因素 [J]. 国防科技大学学报, 2011,33(3):72-76.
- [6] 张伟功,蒋轩祥,唐雪寒,等. 基于 LDO 限流技术的 辐射闩锁防护技术 [J].西安电子科技大学学报,2004 (4):565-568.
- [7] 贾霞. 卫星器件 DC/DC 抗单粒子效应的研究 [J]. 航 天器环境工程,2004,21(1):51-56.
- [8] LI Y, LI R, HUANG Y, et al. The implement of single event latchup protection technology in space information processing system based on COTS [J]. J Astronaut, 2007, 28(5): 1283-1287.
- [9] 张昊,王新升,李博,等. 微小卫星单粒子闩锁及其防 护技术研究 [J]. 红外与激光工程, 2015, 44(5): 1444-1449.
- [10] 陈睿, 余永涛, 董刚, 等. 不同工艺尺寸 CMOS 器件 单粒子闩锁效应及防护方法 [J]. 强激光与粒子束, 2014, 26(7): 270-275.
- [11] 李燕妃,吴建伟,谢儒彬,等. 0.18 μm CMOS 器件 SEL 仿真和设计 [J]. 电子与封装, 2017, 17(2): 43-47.