ISSN 1004-3365 CODEN:WEIDFK CN 50-1090/TN



ISSN 1004-3365

微电子学 MICROELECTRONICS 全国中文核心期刊



Sichuan Institute of Solid-State Circuits 期刊网址:www.microelec.cn

微电子学

微电子学

Weidianzixue

第50卷 第5期 2020年10月

目 次

·电路与系统设计·

一种基于 0.13 μm SiGe BiCMOS 工艺的 Ka 波段宽带有源移相器	
······-袁 刚,郭宽田,周小川,叶力群,范 超,田 泽,耿 莉,桂,	小瑛(615)
基于特定相移匹配的连续类双频 Doherty 放大器 徐 拓,孔 娃,鲍 煦,夏	景(621)
一种多旋转坐标系下的死区谐波电压补偿方法	静(626)
基于 GaAs HBT 的 J 类射频功率放大器 黄继伟,黄;	思巍(632)
基于 0.15 μm GaAs pHEMT 工艺的 X 波段自混频三倍频器 何勇畅, 毛小庆, 陈志巍, 喻 青, 曹 军, 高;	海军(637)
一种用于心电信号检测的低噪声斩波放大器	琦(643)
一种基于 LTCC 工艺的兆赫兹变压器设计	小林(649)
采用采样开关线性增强技术的 12 位 100 MS/s SAR ADC	
	健安(653)

・模型与算法・

MOS 器件开启电压值的贝叶斯统计推断	严利人,	刘道广,	刘志弘,	梁仁荣(659)
IGBT 老化状态下基于 BAS-SVM 模型的结温预测方法	刘伯颖,	胡佳程,	李玲玲,	李志刚(664)
一种时间交织 ADC 采样时间误差校正方法	曹 宇,	苗 澎,	黎飞,	王 欢(669)

・动态与综述・

先进工艺下的版图邻近效应研究进	長			
	王英菲,张青淳,	苏晓菁,董立松,陈	睿,张利斌,盖天洋,	粟雅娟,韦亚一,叶甜春(675)

・半导体器件与工艺・

新型独立三栅 FinFET 单粒子瞬态效应 TCAD 分析		韩燕燕,	孙亚宾,	李小进,石艳玲(683)
一种具有鳍状阳极的垂直 GaN 功率二极管 欧阳东法,杨 超,	孙涛,	邓思宇,	魏杰,	张 波,罗小蓉(688)
基于 PSO-SVM 模型的 Cu CMP 抛光液组分优化 ······	何 平,	罗 萌,	韩欣玉,	郭文艺,潘国峰(694)
底部填充物对 CSP-LED 芯片抗跌落性能研究 ······	傅志红,	田有锵,	武宁杰,	郭鹏程,王 洪(699)
一种带 P 型埋层的 4H-SiC PiN 二极管	王帅,	张有润,	罗佳敏,	罗茂久,陈 航(704)
GaN 高压 LED 在极小电流与极低温度下的光电特性 田 媛,	陈雷雷,	赵琳娜,	陈珍海,	闫大为,顾晓峰(709)
牵引用 3300 V 平面栅 IGBT 栅极台面结构研究	肖 强,	梁利晓,	朱利恒,	覃荣震,罗海辉(715)
一种集成 RC 吸收器的低 EMI 分离栅 VDMOS ······	王玲,	成建兵,	陈 明,	张才荣,邓志豪(720)
栅极电阻对 GaN MOSFET 瞬态特性的影响研究	蒋丽华,	罗霞,	廖勇,	罗海军,龙兴明(726)

・产品与可靠性・

针对更精确电迁移预测应用的热耦合模型建模
杨 双,石新新,伍 宏,粟雅娟,董立松,陈 睿,张利斌,苏晓菁,陈 颖,盖天洋,郭 成,屈 通,韦亚一(732)
LDD 注入工艺对 40 nm 中压 NMOS 器件 HCI-GIDL 效应的优化 …… 闫翼辰,蔡小五,魏兰英,蔡巧明,曹 杨,杜 林(738)
多失效机理下基于 FIDES 的 MEMS 失效率预计研究 …… 高 成,陈炳印,黄姣英,张改丽(743)
CQFP 封装引线成形形状及其力学性能研究 …… 易文双,叶 达,张峪铭(750)
埋栅型 SIT 和 VDMOS 的单粒子烧毁效应对比研究 …… 森仕豪,化 宁,张 震,王茂森,王 佳(761)
1.2 kV 碳化硅 MOSFET 瞬态可靠性研究 …… 钟 炜,张有润,李坤林,杨 啸,陈 航(766)

Microelectronics Vol. 50, No. 5 Oct. 2020

Contents

Circuit and System Design •

An Active Phase Shifter for Ka-Band Phased Arrays Based On 0.13-µm SiGe BiCMOS Process
A Continuous Class Dual-Band Doherty Amplifier Based on Specific Phase Delay Matching Network
A Dead Time Harmonic Voltage Compensation Method in Multiple Rotating Coordinates PEI Jing (626)
A Class-J RF Power Amplifier Based on GaAs HBT
A X-Band Self Mixing Frequency-Tripler Based on 0. 15 µm GaAs pHEMT Process
A Low Noise Chopper-Stabilized Amplifier for ECG Signal Detection
Design of a Megahertz Transformer Based on LTCC Process RAN Jianqiao, YIN Hua, ZHANG Xiaolin(649)
A 12 bit 100 MS/s SAR ADC with Sampling Switch Linearity Enhanced Technique
DAI Yonghong, XU Daiguo, PU Jie, et al (653)

Modeling and Algorithms

Features and Review

Semiconductor Device and Technology

• Product and Reliability •

Thermal Coupling Modeling for More Accurate Electromigration Prediction YANG Shuang, SHI Xinxin, WU Hong, et al (732)
Optimization of 40 nm MV NMOS Device with LDD Injection Process for HCI-GIDL Effects
······· YAN Yichen, CAI Xiaowu, WEI Lanying, et al (738)
Research on Failure Rate Prediction of MEMS Based on FIDES with Multiple Failure Mechanisms
Research on Forming Shape and Mechanical Properties of CQFP Package Lead Forming
Comparative Study on Single-Event Burnout Effect of Buried-Gate Static Induction Transistor and Vertical Double-Diffused MOSFET
CAI Hao, ZHANG Xia, WANG Bin, et al (755)
Gate Degradation Mechanism of 0.25 μm GaAs pHEMT Under High Temperature and Off-State Stress
MA Shihao , HUA Ning , ZHANG Liang , et al (761)
Study on Transient Robustness of 1.2 kV SiC MOSFETs

・电路与系统设计・

一种基于 0.13 μm SiGe BiCMOS 工艺的 Ka 波段 宽带有源移相器

袁 刚¹,郭宽田²,周小川²,叶力群³,范 超³,田 泽^{4,5},耿 莉¹,桂小璞^{1,2}
(1. 西安交通大学 微电子学院,西安 710049; 2. 广东顺德西安交通大学研究院,广东 佛山 528000;
3. 成都振芯科技股份有限公司,成都 610000; 4. 航空工业西安航空计算技术研究所,西安 710049;
5. 集成电路与微系统设计航空科技重点实验室,西安 710049)

摘 要: 采用 0.13 µm SiGe BiCMOS 工艺,设计了一种工作在 32~38 GHz 的 Ka 波段有源移相器,采用矢量合成的方法实现移相功能。该移相器电路包括输入无源巴伦、多相滤波网络、矢量合成单元、射随器和输出有源巴伦。后仿结果表明,输入输出反射系数均小于-9.5 dB,反向隔离度小于-80 dB,插入损耗优于-6.5 dB。在-55 ℃~125 ℃宽温范围内相对相移最大误差小于 2.2°,全频带 RMS 移相误差小于 1.5°, RMS 增益误差小于 0.35 dB。总功耗为 18.2 mW,芯片核 心面积为 0.21 mm²。

关键词: 有源移相器; 矢量合成; 多相滤波网络; BiCMOS 工艺; 宽温
 中图分类号: TN623; TN433
 文献标识码: A 文章编号: 1004-3365(2020)05-0615-06
 DOI: 10.13911/j. cnki. 1004-3365. 200181

An Active Phase Shifter for Ka-Band Phased Arrays Based On 0. 13-µm SiGe BiCMOS Process

YUAN Gang¹, GUO Kuantian², ZHOU Xiaochuan², YE Liqun³, FAN Chao³, TIAN Ze^{4,5}, GENG Li¹, GUI Xiaoyan^{1,2}

 School of Microelectronic, Xi'an Jiaotong University, Xi'an 710049, P. R. China; 2. Guangdong Xian Jiaotong University Academy, Foshan, Guangdong 528000, P. R. China; 3. Chengdu Corpro Technology Co., Ltd, Chengdu 610000, P. R. China;

 AVIC Computing Technology Research Institute, Xi'an 710049, P. R. China; 5. Aviation Key Laboratory of Science and Technology on Integrated Circuit and Microsystems Design, Xi'an 710049, P. R. China)

Abstract: An active phase shifter based on vector-sum technique for the frequency band from 32 GHz to 38 GHz was designed in a 0.13- μ m SiGe BiCMOS process. Passive balun, poly-phase filter, vector-sum cell, buffer and active balun were included in the proposed phase shifter. Simulation results showed that S_{11} and S_{22} were better than -9.5 dB, S_{12} was better than -80 dB, and S_{21} was less than -6.5 dB. The maximum relative phase error was less than 2.2° , and the RMS phase error was less than 1.5° within a wide temperature range from -55° C to 125° C. The RMS gain error was better than 0.35 dB. The total power consumption was 18.2 mW with a core chip size of 0.21 mm^2 .

Key words: active phase shifter; vector-sum; poly phase filter; BiCMOS process; wide temperature range

基金项目:广东省基础与应用基础研究基金资助项目(2020A1515010001);航空科学基金资助项目(20184370006) 作者简介:袁 刚(1996—),男(汉族),陕西渭南人,硕士研究生,主要研究方向为射频集成电路设计。

桂小琰(1981—),男(汉族),安徽舒城人,博士,副教授,研究领域为高速宽带和射频集成电路设计。通信作者。

收稿日期:2020-04-24;定稿日期:2020-05-29

0 引 言

移相器是相控阵系统中最重要的模块之一,广 泛应用于卫星通讯、雷达、汽车驾驶辅助系统以及第 五代移动通信技术(5G)等。传统的移相器主要由 无源器件组成,结构有开关线式、加载线式、铁氧体 式、高低通式和反射式等,统称为无源移相器^[1-4]。 随着系统朝着芯片小型化和高集成度的方向发展, 无源移相器由于精度低和体积大等缺点而面临技术 瓶颈。相比于无源移相器,有源移相器具有插损小、 体积小、成本低和可靠性高等优点,逐渐成为近年来 的研究热点。

有源移相器主要采用矢量叠加的方式实现移 相功能。文献[5]的输入巴伦采用有源结构,较无 源巴伦增益有所提升,但加入了无源匹配网络及 峰值电感,面积没有显著减小,还引入了额外噪 声,且增加了功耗。文献[6]-[8]的正交信号电路 采用全通滤波器,但该结构对温度及后级电路的 寄生参数敏感,会恶化正交信号的精度,增大 RMS 相位误差,还使用了两个无源电感,使芯片面积增 加。文献[9]的正交信号电路采用1阶多相滤波 网络,带宽窄,受工艺波动影响较大。本文设计了 一种应用于 Ka 波段的六位有源移相器,输入端采 用无源巴伦的结构,使用了2阶多相滤波器产生 正交信号,在提高正交信号精度的同时增大了工 作带宽,在 32 GHz~38 GHz 频段内, RMS 相位误 差小于 1.5°, RMS 增益误差小于 0.35 dB, 芯片核 心面积为 0.21 mm²。

文章第1节介绍有源移相器的整体结构,第2 节为相关电路模块的设计与分析,第3节是移相器 电路的版图以及后仿结果,第4节给出结论。

1 有源移相器整体架构

提出的有源移相器架构如图1所示。前级电路 输出的单端信号通过巴伦转化为差分信号,经过2 阶多相滤波器产生四路正交信号,吉尔伯特单元对 产生的正交信号提供增益,实现正交信号的矢量合 成。六位数字控制码中的高两位用于选择矢量合成 象限,后四位控制两个吉尔伯特单元电流大小。输 出级射随器和有源巴伦完成差分转单端的功能,射 随器作为缓冲级,降低了后级有源巴伦对吉尔伯特 单元输出阻抗的影响。考虑到功耗、噪声及线性度 限制,输入端巴伦采用无源结构。



2 电路设计

2.1 无源巴伦

无源巴伦可以采用对称绕线或层叠绕线结构。 对于对称绕线结构,需要上下两层金属交叉走线,然 而两层金属存在特性上的差异,会恶化差分输出信 号的相位及幅度不对称性,增大 RMS 相位误差。 本设计中输入巴伦采用图 2 所示的层叠绕线结构, 由两层绕线和尺寸相同的金属组成,一方面具有较 大的耦合系数,可节省面积,另一方面输出端口具有 良好的对称性。调整中心抽头位置可使相位和幅度 的不对称性在可控范围内。





输入无源巴伦相位及幅度不对称性的仿真结果 如图 3 所示,在 32~38 GHz 频段内,相位不对称性 误差在 1.4°以内,幅度不对称性误差小于 0.2 dB, 这可确保次级电路多相滤波器产生的正交信号的相 位误差满足设计要求。



2.2 正交信号产生电路

正交信号产生电路用于产生四路正交信号,其 相位误差直接影响有源移相器的性能。常用的正交 信号产生电路有基于 L-C 谐振网络的正交全通滤 波器和基于 R-C 的多相滤波网络。LC 谐振滤波器 对后级寄生参数以及温度变化较敏感,无法满足低 相位误差正交信号的要求。为实现 32 GHz 到 38 GHz 的宽带工作频率的要求,同时尽量降低插损, 采用 2 阶多相滤波网络,如图 4 所示。



2 阶多相滤波网络的传输函数为:

$$\begin{bmatrix} V_{1\pm} \\ V_{Q\pm} \end{bmatrix} = \begin{bmatrix} \pm \frac{(1-R_1R_2C_1C_2s^2) - (R_1C_1 + R_2C_2)s}{R_1R_2C_1C_2s^2 + (R_1C_1 + R_2C_2)s + 1} \\ \pm \frac{(1-R_1R_2C_1C_2s^2) + (R_1C_1 + R_2C_2)s}{R_1R_2C_1C_2s^2 + (R_1C_1 + R_2C_2)s + 1} \end{bmatrix}$$
(1)

由式(1)可知,四路正交信号的幅值在同频率处 相等。当频率 ω_1 为 1/(R_1C_1)或 ω_2 为 1/(R_2C_2) 时,四路正交信号的相位差为 90°。通过调整电阻及 电 容 值,使得 1/($2\pi R_1C_1$)为 33.5 GHz, 1/ ($2\pi R_2C_2$)为 36.5 GHz,实现对 32~38 GHz 频段内 正交信号相位误差的优化。

典型工艺角分别为高温 125 ℃、室温 27 ℃和低 温-55 ℃时的正交相位差仿真结果如图 5 所示。 在高温和低温工艺角下,电阻阻值会有±10%的变 化,导致 ω_1 和 ω_2 同时向低频或高频处偏移,但仍然 能保证单频点 ω_1 或 ω_2 处于 32~38 GHz 频段内, 抑制了温度对频段内相位误差的影响。



图 5 高温,低温和常温状态下正交相位差图

常温状态下多相滤波器正交相位误差和插入损 耗仿真结果如图 6 所示,本设计在 32~38 GHz 频 段内正交信号相位误差小于 0.5°,I 路径和 Q 路径 信号的插损均小于 5.5 dB。





2.3 矢量合成电路

矢量合成电路采用模拟差分加法器,电路图如 图 7 所示。电路主要由两个吉尔伯特单元和共用的 负载电阻实现,输入端分别接入正交信号产生电路 所生成的同相差分信号 V₁₊、V₁₋与正交差分信号 V_{Q+}、V_{Q-}。由于 I、Q 两路吉尔伯特单元的输出端 共用负载电阻,因此通过改变流入吉尔伯特单元各 放大管的电流大小就可以在输出端合成不同相移的 输出信号。通过对开关管 SI+,SI-,SQ+,SQ-进行控制,可以实现信号在四个象限的合成,从而使 移相器的移相范围覆盖 360°。在任何开关状态下, I、Q两路吉尔伯特单元有且仅有一对差分放大器处 于工作状态。



图 7 模拟差分加法器电路图

对电路进行分析,当 SI+和 SQ+开关闭合时, 放大管 Q_{3.4}和 Q_{5.6}导通,差分放大器的增益可以表 示为:

 $A_{\rm v} = 2R_{\rm D}\sqrt{g_{\rm m3,4}^2 + g_{\rm m5,6}^2} = R_{\rm D}\sqrt{I_{\rm I}^2 + I_{\rm Q}^2}V_{\rm T} \quad (2)$

式中, $R_{\rm D}$ 为输出负载电阻, $V_{\rm T}$ 热电势,当温度 为 300 K时, $V_{\rm T}$ 约为 26 mV。负载端输出相位 θ 可 以表示为:

 $\theta = \arctan(A_{\rm VQ}/A_{\rm VI}) = \arctan(I_{\rm Q}/I_{\rm I})$ (3)

因此为了得到相应的移相状态,需要调整尾电流 I_1 与 I_Q 的比值大小。由于在工程设计中较难实现 $\sqrt{I_1^2 + I_Q^2}$ 恒为常数,为了方便工程应用,本设计中矢量合成的总电流值保证不变,即 $I_1 + I_Q$ 为恒定值。

2.4 数控单元

本文设计的移相器由六位数字码 ABCDEF 来控制,其中 EF 两位通过控制开关管 SI+,SI-,SQ+, SQ-来选择合成的象限,剩下的四位 ABCD 分别控制图 8 所示的数控电流源电路。该电路由六组共源共栅电流镜组成,每组电流镜阵列是基准电流 *I*_{REF}的整数倍,各组 MOS 管宽长比为 2:4:7:15: 20:48。每组电流镜阵列有两条通路,为了得到 64 个不同的移相状态,通过阵列上状态相反的两个单 刀双掷开关来控制阵列所复制的电路流入 I 通路或 Q 通路。其中,*Sn*(*n*=1, 2, 3, 4, 5, 6)为选择流 入 I 通路 MOS 管的单刀双掷开关的控制信号, Sn (n=1, 2, 3, 4, 5, 6)为选择流入 Q 通路 MOS 管的单刀双掷开关的控制信号。数控电流源电路的总电流为 I 通路的电流 I_1 与 Q 通路的电流 I_Q 之和。



2.5 输出有源巴伦

本设计输出级采用有源巴伦,如图 9 所示。 V_N 和 V_P 为矢量合成电路生成的差分信号,通过射随 器减小有源巴伦对吉尔伯特单元负载的影响,提升 电路性能。输出巴伦的核心部分为 Q_{11} 和 Q_{12} ,工作 在线性区, Q_{11} 和 Q_{12} 的集电极电流相等,且两个晶 体管尺寸相同,因此它们的跨导 g_{m11} 和 g_{m12} 也相等。



V₂ 到输出端的小信号增益可以表示为:

$$A_{\rm V2} = \frac{V_{\rm out2}}{V_2} = \frac{-g_{\rm m12}}{g_{\rm m11} + 1/r_{\rm o12}} \tag{4}$$

由于 1/r_{o12}≫g_{m11},Q₁₁和 Q₁₂的跨导相等,故增

益
$$A_{V2} \approx \frac{-g_{m12}}{g_{m11}} = -1$$
,相位同输入信号 V_2 相反。

V1 到输出的小信号增益可表示为:

$$A_{\rm V1} = \frac{V_{\rm outl}}{V_1} = \frac{g_{\rm m11} r_{\rm o12}}{1 + g_{\rm m11} r_{\rm o12}} \tag{5}$$

当 $g_{m11}r_{o12} \gg 1$ 时, $A_{V1} \approx 1$ 。由式(4)和式(5)两 式可得:

$$|A_{\rm V1}| \approx |A_{\rm V2}| \tag{6}$$

信号 V_1 经过 Q_{11} 后不改变极性,信号 V_2 经过 Q_{12} 后在输出端反相,实现了差分转单端的功能。通 过调整晶体管尺寸和优化偏置电压,输出阻抗在工 作频段内接近 50 Ω 。

3 版图设计和后仿

本文设计的 6 位有源移相器采用 0.13 μm SiGe BiCMOS 工艺,电路整体版图如图 10 所示。 版图尺寸为 0.624 mm × 0.77 mm,其中核心尺寸 为 0.55 mm × 0.39 mm(不含测试焊盘),电路总 功耗为 18.2 mW。



图 10 电路整体版图

64 个移相响应后仿结果如图 11 所示,在全频 段内本设计的各个步进相位无交叠,相对相移最大 误差小于 2.2°。S 参数仿真结果如图 12 所示,其中 S₁₁和 S₂₂均小于一9.5 dB, S₂₁大于一6.5 dB, 最大移 相附加衰减小于±0.6 dB。在 32~38 GHz 内本文 电路的 RMS 移相误差小于 1.5°, 增益 RMS 误差小 于 0.35 dB。



本文电路与近年发表的有源移相器的性能对比 如表1所示。本文设计的有源移相器在实现较高的 工作频率和较宽的工作带宽的同时,其相位 RMS 误差和增益 RMS 误差指标均优于已有的移相器设 计,此外,本文电路还具有较低的功耗和较高的集 成度。

指标	文献[5]	文献[6]*	文献[7]	文献[10]	文献[11]	文献[12]	本文*
工艺	0.25 μm BiCMOS	0. 18 μm BiCMOS	0. 13 μm BiCMOS	0.18 μm BiCMOS	0. 13 μm CMOS	40 nm CMOS	0.13 μm BiCMOS
工作频段/GHz	8~12	6~18	15~26	$15 \sim 35$	12~18	$52 \sim 57$	32~38
增益/dB	>-2.5	20.8~23.6	$-4.6 \sim -3$	1~2.2	$-2.5 \sim 1$	$-19 \sim -9$	$-6.5 \sim -4.3$

表 1 本文电路与近年有源数控移相器的性能比较

续	表
	~~~

指标	文献[5]	文献[6]*	文献[7]	文献[10]	文献[11]	文献[12]	本文*
移相精度/bit	6	4	4	6	6	6	6
RMS 相位误差/(°)	<6.4	4	6.5~13	4.2~13	1.8~4	2.8~3.76	1.5
RMS 增益误差/dB	$<\!\!2$	1.1	1.1~2.1	1~2.2	$-2.5 \sim 1$	2.07~2.23	<0.35
功耗/mW	110	-	11.7	25.2	37.5	17.6	18.2
芯片面积/mm ²	1.64	-	0.45	0.19	0.57	0.15	0.21

注:* 表示后仿结果

### 4 结 论

本文采用 0.13 μm BiCMOS 工艺,设计了一种 应用于 32 GHz~38 GHz 频段的六位数控有源移相 器。采用层叠型巴伦,在输入端抑制差分信号的相 位和幅度不对称性,利用 2 阶多相滤波器在较宽频 带内降低了正交相位误差,输出端采用有源巴伦,在 实现输出信号差分转单端的同时,减小了芯片面积。 后仿结果表明,本设计在 32 GHz~38 GHz 频段内 实现了较低的相位及增益 RMS 误差,在功耗和面 积上也有一定优势。

### 参考文献:

- [1] LI T W, WANG H. A millimeter-wave fully integrated passive reflection-type phase shifter with transformer-based multi-resonance loads for 360° phase shifting [J]. IEEE Trans Circ Syst I: Reg Papers, 2018, 65(4): 1406-1419.
- [2] TOUSI Y, VALDES-GARCIA A. Ka-band digitallycontrolled phase shifter with sub-degree phase precision [C] // IEEE RFIC. San Francisco, CA, USA. 2016: 356-359.
- [3] CHEN C Y, WANG Y S, LIN Y H, et al. A 36-40 GHz full 360° ultra-low phase error passive phase shifter with a novel phase compensation technique [C] //47th EURAD. Nuremberg, Germany. 2017: 1245-1248.
- [4] WANG C W, WU H S, TZUANG C C. CMOS passive phase shifter with group-delay deviation of 6.3 ps at K-band [J]. IEEE Trans Microw Theory

Techniques, 2011, 59(7): 1778-1786.

- [5] CETINDOGAN B, OZEREN E, USTUNDAG B, et al. A 6 bit vector-sum phase shifter with a decoder based control circuit for X-band phased-arrays [J].
   IEEE Microw Wirel Compon Lett, 2016, 26 (1): 64-66.
- [6] 王巍,徐巍,钟武,等.一种基于 0.18 μm SiGe BiCMOS 工艺的 X/Ku 波段数字有源移相器 [J].微 电子学,2014,44(1):59-63.
- [7] KOH K J, REBEIZ G M. 0.13-μm CMOS phase shifters for X-, Ku-, and K-band phased arrays [J]. IEEE J Sol Sta Circ, 2007, 42(11): 2535-2546.
- [8] YAO Y, LI Z Q, CHENG G X, et al. A 6-bit active phase shifter for X-and Ku-band phased arrays [C] // ICTA. Beijing, China. 2018; 124-125.
- [9] SETHI A, AIKIO J P, SHAHEEN R A, et al. A 10bit active RF phase shifter for 5G wireless systems [C]
   // NORCAS. Linkoping, Sweden. 2017: 1-4.
- [10] SAH S P, YU X M, HEO D H. Design and analysis of a wideband 15-35 GHz quadrature phase shifter with inductive loading [J]. IEEE Trans Microw Theory Techniques, 2013, 61(8): 3024-3033.
- [11] DUAN Z M, WANG Y, LV W, et al. A 6-bit CMOS active phase shifter for Ku-band phased arrays [J] IEEE Microw Wirel Compon Lett, 2018, 28(7): 615-617.
- [12] QUAN X, YI X, BOON C C, et al. A 52-57 GHz 6bit phase shifter with hybrid of passive and active structures [J]. IEEE Microw Wirel Compon Lett, 2018, 28(3): 236-238.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

# 基于特定相移匹配的连续类双频 Doherty 放大器

徐拓¹,孔娃¹,鲍煦¹,夏景^{1,2}

(1. 江苏大学 计算机科学与通信工程学院, 江苏 镇江 212013;

2. 东南大学 毫米波国家重点实验室,南京 211189)

摘 要: 为了实现 Doherty 功率放大器在双频模式下的宽带高效工作,设计了一种基于特定相移 匹配的连续类双频 Doherty 放大器。利用相移周期重复性原理,通过确定两个目标频段上所需要 的特定相移,结合连续类放大器技术,对匹配网络进行设计,解决了传统双频 Doherty 放大器带宽 受限的问题。设计和实现了一个 2.2~2.7 GHz 和 3.1~3.4 GHz 的双频 Doherty 放大器。测试 结果表明,该功率放大器两个频段的饱和效率分别为 64.1%~68% 和 60.1%~66.3%,6 dB 回退 效率分别达到了 45.2%~52.1% 和 44.1%~48.5%,能满足未来移动通信系统多频段同时工作的 需求。

关键词: 双频 Doherty 放大器;特定相移;连续类;宽带;高效率
 中图分类号:TN722
 文献标识码:A
 文章编号:1004-3365(2020)05-0621-05
 DOI:10.13911/j.cnki.1004-3365.190618

### A Continuous Class Dual-Band Doherty Amplifier Based on Specific Phase Delay Matching Network

XU Tuo¹, KONG Wa¹, BAO Xu¹, XIA Jing^{1, 2}

School of Computer Science and Communication Engineering, Jiangsu University, Zhenjiang, Jiangsu 212013, P. R. China;
 State Key Laboratory of Millimeter Waves, Southeast University, Nanjing 211189, P. R. China)

**Abstract:** In order to achieve broadband efficient operation of Doherty power amplifier (DPA) in dual-band mode, a continuous class dual-band DPA based on specific phase delay matching was designed. By using the phase delay period repeatability principle, the specific phase delay required on the two target frequency bands was determined. Combined with the continuous class amplifier technology, the matching network was designed to solve the bandwidth limitation problem of the traditional dual-band DPA. A 2. 2~2.7 GHz and 3. 1~3.4 GHz dual-band DPA was designed and fabricated. The measurement results showed that the efficiency at saturation at the two frequency bands was 64. 1%-68% and 60. 1%-66. 3%, and the 6 dB back off efficiency was 45. 2% ~ 52. 1% and 44. 1% ~ 48.5\%, respectively, which could meet the demand of multi-frequency band applications in future mobile communication systems.

Key words: dual-band Doherty amplifier; specific phase delay; continuous class; broadband; high efficiency

作者简介:徐 拓(1994—),男(汉族),江苏盐城人,硕士研究生,研究方向为无线通信电路设计。

夏 景(1982—),男(汉族),湖南永州人,博士,副教授,研究方向为无线通信电路设计。通信作者。

收稿日期:2019-10-30;定稿日期:2019-12-03

基金项目:国家自然科学基金资助项目(61701199);江苏省重点研发计划(BE2018108);毫米波国家重点实验室开放课题 (K201816)

### 0 引 言

随着人们对无线通信速率和质量要求的提高, 现代无线通信系统得到快速发展。一方面,为了提 高传输速率,普遍采用正交频分复用(OFDM)调制, 使得调制信号峰均比(PAPR)显著提高。为了提高 功率回退时的效率,Doherty功率放大器(DPA)受 到了研究人员的广泛关注^[1-3]。另一方面,通信标准 的增加使得工作频率间隔越来越大,甚至达到数个 倍频程。传统宽带功率放大器已无法有效覆盖上述 频段,因此需要能够支持双频/多频工作模式的高效 率功率放大器^[4-6]。

目前,工业界和学术界普遍采用 T 型或 π 型结 构的双频阻抗变换器来实现 DPA 的双频工作^[7]。 但是,其结构自身的谐振特性限制了 DPA 在各个频 段的工作带宽,带宽通常小于 100 MHz。因此,如 何扩展各个工作频段的带宽是一个巨大的挑战。与 此同时,宽带连续类高效功率放大器也成为研究热 点之一^[8-9]。但是,该类功率放大器的高效率通常只 在饱和状态下出现,用于回退功率场景时效率下降明 显,难以满足系统对高峰均比调制信号放大的要求。

为了解决上述问题,本文提出了一种基于特定 相移匹配的双频 DPA 设计方法,并将该方法与连续 逆 F 类功率放大器设计方法相结合。通过分析载 波和峰值阻抗变换网络需要满足的相移要求,在此 约束条件下,采用低通滤波结构设计连续逆 F 类匹 配网络,实现了 DPA 在双频模式下的宽带高效 工作。

1 双频 DPA 理论分析

#### 1.1 基于特定相移匹配的双频 DPA 匹配网络设计

传统双频 DPA 如图 1(a)所示。为了展宽双频 DPA 的工作带宽,本文提出了一种基于特定相移匹 配的宽带高效双频 DPA,如图 1(b)所示。考虑到传 输线的相移随频率变化的周期重复性,本设计采用 具有特定相移和宽带特性的阻抗变换网络,在两个 频率处实现所需的阻抗变换,克服了传统 T 型网络 带宽窄的不足。以下对双频 DPA 所需的阻抗变换 和阻抗变换网络相移进行分析。

对于对称式 DPA,在功率饱和状态下,载波和 峰值阻抗变换网络需要将  $Z_{C1,Sat} = Z_{P1,Sat} = 2R_L$  变换 到晶体管电流源平面的最优负载  $Z_{C,Sat} = Z_{P,Sat} =$  R_{opt}。在功率回退状态下,载波阻抗变换网络需要将 Z_{C1,B0}=R_L变换到 Z_{C,B0}=2R_{opt},此时峰值功率放 大器处于未开启状态,其输出阻抗 Z_{P1,OUT}需要为无 穷大。

为实现上述阻抗变换,载波和峰值阻抗变换网络需要满足的频率比与相移比的关系分别为:

$$\frac{f_{\text{High}_{\rm C}}}{f_{\text{Low}_{\rm C}}} = \frac{\theta_{\text{High}_{\rm C}}}{\theta_{\text{Low}_{\rm C}}} = \frac{-m_2 \times 180^\circ - 90^\circ}{-m_1 \times 180^\circ - 90^\circ}$$
(1)

$$\frac{f_{\text{High}_{P}}}{f_{\text{Low}_{P}}} = \frac{\theta_{\text{High}_{P}}}{\theta_{\text{Low}_{P}}} = \frac{-n_2 \times 180^{\circ}}{-n_1 \times 180^{\circ}}$$
(2)

整理得到:

$$n_2 = \frac{1}{180^{\circ}} \left( \frac{f_{\text{High}_C}}{f_{\text{Low}_C}} (m_1 \times 180^{\circ} + 90^{\circ}) - 90^{\circ} \right) \quad (3)$$

$$n_2 = \frac{f_{\text{High}_P}}{f_{\text{Low}_P}} n_1 \tag{4}$$

式中, $\theta_{Low}$ 和 $\theta_{High}$ 分别为低、高目标频段上的相移, $f_{Low}$ 和 $f_{High}$ 分别为低、高目标频段上的设计频率,下标 C和P分别表示载波和峰值阻抗变换网络。 $m_1$ 、 $m_2$ 、 $n_1$ 和 $n_2$ 为正整数,分别是载波和峰值阻抗变换网络的相移参数,且 $m_2 > m_1$ , $n_2 > n_1$ 。



选定低、高目标频段上的设计频率之后,根据式 (3)和(4)可以计算载波和峰值阻抗变换网络的相移 参数,进而得到满足双频 DPA 工作的特定相移,并 用于阻抗变换网络的设计。

#### 1.2 连续逆 F 类功率放大器工作原理

连续逆 F 类功率放大器是一种谐波控制类宽 带高效率功率放大器,其所需要的 2 次谐波负载分 布在 Smith 圆图圆周上一个连续变化的阻抗区域 内,如图 2 所示。



图 2 连续逆 F 类放大器电流源面负载阻抗及常用匹配电路

输出匹配网络采用较为复杂的低通滤波匹配网 络^[8-9],以实现功率放大器的宽带工作。

上述低通滤波匹配网络在不同匹配网络阶数下 具有不同的相移。因此,在设计低通滤波匹配网络 时应选择满足式(1)和(2)的特定相移,用于双频 DPA 的输出匹配网络设计。

### 2 双频 DPA 设计与仿真

为了验证所提出的设计方法,采用 Wolfspeed 公司的 CGH40010F GaN 晶体管设计并仿真了一种 双频 DPA。该 DPA 的低、高工作频段的中心频率 分别为 2.45 GHz、3.25 GHz。采用的介质基板为 Taconic RF35,相对介电常数为 3.5,厚度为 0.76 mm。

#### 2.1 载波与峰值阻抗变换网络相移设计

对于载波阻抗变换网络所需要的相移,考虑到低、高工作频段中心频率分别为 2.45 GHz、3.25 GHz,根据式(3)计算,得到不同相移参数下的三种设计频率组合,如表1所示。表1中, $f_{Low_C}$ 和 $f_{High_C}$ 分别为低、高频段的载波阻抗变换网络设计频率。为尽可能有效覆盖整个设计频段,选取的设计频率应尽可能接近各自频段的中心频率。为了保证阻抗变换网络实现最小的相移^[3],选取的  $m_1$ 和  $m_2$  应尽可能小。因此,根据表1数据可知,当 $f_{Low_C}$ 、 $f_{High_C}$ 分别选取为 2.32 GHz、3.24 GHz 时,相移和频偏均能实现最小化。将  $m_1 = 2$ 、 $m_2 = 3$ 代入式(1)计算,可得到载波阻抗变换网络在低、高工作频段上所需的相移,分别为-450°和-630°。

对于峰值阻抗变换网络的相移,根据式(4)计算,得到如表1所示的三组设计频率组合。f_{Low_P}和

f_{High.P}分别为低、高频段的峰值阻抗变换网络设计频率。

表1 载波/峰值阻抗变换网络频率组合

$f_{\rm Low_C}/f_{\rm High_C}(\rm GHz)$	$m_1/m_2$	$f_{\rm Low_P}/f_{\rm High_P}(\rm GHz)$	$n_1/n_2$
2.32/3.24	2/3	2.26/3.39	2/3
2.58/3.31	3/4	2.33/3.1	3/4
2.68/3.27	4/5	2.56/3.2	4/5

考虑到峰值阻抗变换网络在低功率时的主要目的是实现高输出阻抗,对频率偏差要求不高,因此,选择设计频率为 2.26 GHz、3.39 GHz,使相移达到最小。将  $n_1=2$ 、 $n_2=3$ 代入式(2)计算,得到峰值阻抗变换网络在两个设计频段上所需的相移,分别为 $-360^{\circ}$ 和 $-540^{\circ}$ 。

通过以上分析可知,载波和峰值阻抗变换网络 在目标频段上所需的特定相移比较大。以下将采用 连续逆 F 类功率放大器的设计方法,并结合相移条 件,进行阻抗变换网络设计。

### 2.2 阻抗变换网络设计

考虑到计算得到的载波和峰值阻抗变换网络的 相移相差 90°,先设计峰值阻抗变换网络,在此基础 上,再增加相位补偿线,实现载波阻抗变换网络。

首先,根据 Datasheet 得到晶体管的封装参数, 考虑目标频段为 2. 2~2.7 GHz 和 3. 1~3.4 GHz。 本设计采用 LC 低通滤波结构来设计峰值输出匹配 网络。在实际微波电路中,集总元件在高频处存在 寄生效应,实际电容和电感器件通常为固定值,需要 将 LC 集总参数转换成相应的传输线结构^[10]。接 着,结合图 2 所示的连续逆 F 类放大器电流源面基 波和谐波负载,在使用晶体管封装模型的基础上,对 目标频段上的相移和阻抗匹配进行优化,从而满足 峰值阻抗变换网络在功率饱和以及回退状态下所需 的阻抗变换条件。最终,得到的电路如图 3(a) 所示。

对于载波阻抗变换网络,由于具有与峰值阻抗 变换网络类似的负载,载波输出匹配网络和峰值输 出匹配网络采用的结构和设计参数是类似的。因 此,增加了一段相位补偿线来满足相位要求,原理图 如图 3(b)所示。





仿真得到的载波和峰值阻抗变换网络在饱和、 回退状态下的输入输出阻抗如图 4(a)所示。可以 看出,饱和时基波负载阻抗  $Z_{P,Sat}$ 和  $Z_{C,Sat}$ 在两个频 带内均接近最优阻抗值  $R_{opt}$ (30  $\Omega$ )。在回退状态 下,输出阻抗  $Z_{P1,OUT}$ 一直处于高阻抗区域,而  $Z_{C,BO}$ 靠近中心频率时分布在  $2R_{opt}$ (60  $\Omega$ )附近。载波和 峰值阻抗变换网络的相移如图 4(b)所示。可以看 出,在 2.26 GHz、3.39 GHz 频率处,峰值阻抗变换 网络的相移分别为-350°和-550°。在 2.32 GHz、 3.24 GHz 频率处,载波阻抗变换网络的相移分别为



#### 2.3 双频 DPA 仿真结果

在载波和峰值阻抗变换网络设计基础上,采用 阶跃阻抗微带电路设计输入匹配网络,采用3dB定 向耦合器进行功率分配,对饱和与回退时 DPA 的效 率进行了仿真,结果如图5所示。可以看出,该 DPA 可以在2.2~2.7 GHz、3.1~3.4 GHz 两个频 段上均获得较好性能。6dB 回退效率均高于45%, 饱和时效率高于60%。

仿真得到的 2.5 GHz、3.4 GHz 时电流源平面 的电压及电流波形如图 6 所示。可以看出,电压波 形近似为半正弦波,电流波形近似为方波。这表明, 该双频 DPA 满足连续逆 F 类模式。



### 3 双频 DPA 加工和测试

为了测试验证仿真设计,对本文的双频 DPA 进行了加工,实物照片如图 7 所示。在 2.2~2.7 GHz、3.1~3.4 GHz 频段上,对该 DPA 进行了连续 波测试和调制信号测试。



图 7 双频 DPA 实物照片

3.1 连续波测试

双频 DPA 的效率和增益随输出功率的变化曲 线如图 8 所示。可以看出,在两个设计频段上,该 DPA 在 6 dB 功率回退点处保持较高效率,分别达 到了 45.2% ~ 52.1% 和 44.1% ~ 48.5%,符合 DPA 的工作特征。在饱和状态下,效率达到了 64.1%~68%和 60.1%~66.3%,与仿真结果基本 吻合。各频点上的增益具有一致性,小信号增益超 过 10 dB,饱和输出功率超过 43.5 dBm。



### 3.2 调制信号测试

为了验证本文双频 DPA 在实际无线通信系统 中的工作性能,采用 6.5 dB 峰均比、20 MHz 带宽 的 LTE 信号,对功放进行了测试。采用了数字预失 真(DPD)技术进行了线性化矫正。

在 2.45 GHz、3.25 GHz 频率处,分别采用 DPD 前后的 DPA 频谱图如图 9 所示。可以看出, 在进行 DPD 矫正后,频谱的相邻信道泄漏比 (ACLR)低于-48 dBc,功放产生的非线性效应得 到改善,达到了良好的线性化效果。



### 4 结 论

本文主要介绍了一种基于特定相移匹配的连续 类宽带高效双频 DPA 的设计方法,并用此方法设计 了一个 2.2~2.7 GHz 和 3.1~3.4 GHz 的宽带高 效双频 DPA。测试结果表明,该 PDA 在 500 MHz、 300 MHz 工作频带内,实现了较高的饱和效率与回 退效率。结合采用数字预失真技术,该双频 DPA 呈 现优良的线性性能,能满足未来移动通信系统多频 段同时工作的需求。

### 参考文献:

- [1] 方杨,南敬昌,王鑫.一种非对称 Doherty 功率放大器 设计 [J]. 微电子学, 2013, 43(2): 162-165.
- [2] 吕关胜,陈文华,冯正和. Ka 波段非对称 MMIC Doherty 功率放大器设计 [J]. 微波学报, 2017(s1): 94-96.
- [3] XIA J, CHEN W H, MENG F, et al. Improved three-stage Doherty amplifier design with impedance compensation in load combiner for broadband applications [J]. IEEE Trans Microwave Theo &-Techniq, 2019, 67(2); 778-786.
- [4] 李瑞阳,刘太君,叶焱,等.并发双波段 Doherty 射频 功率放大器 [J].固体电子学研究与进展,2015,35
   (1):52-55.
- [5] 李国金,吴凡,南敬昌,等.并发双波段可重构功率放 大器仿真设计 [J]. 微电子学,2019,49(1):49-54.

(下转第631页)

# 一种多旋转坐标系下的死区谐波电压补偿方法

裴 静

(江苏省锡山中等专业学校,江苏无锡 214191)

**摘 要:** 分析了死区时间对逆变器输出电压谐波的影响,结合逆变器在旋转坐标系上的数学模型,提出了多旋转坐标系下死区谐波电压补偿策略,即在旋转坐标系下在线检测死区谐波电压,通 过谐波电压的反馈控制对死区谐波电压进行消除。该策略无需对桥壁电流极性进行判断即能达 到消除死区电压的目的。最后,在工频逆变器上通过实验验证了该补偿方法对谐波电压检测以及 死区谐波电压消除的有效性。

关键词: 多旋转坐标系; 死区补偿; 谐波电压检测; 反馈补偿

中图分类号: TN786; TM464 文献标识码:A 文章编号: DOI:10.13911/j.cnki.1004-3365.200164

**文章编号:**1004-3365(2020)05-0626-06

### A Dead Time Harmonic Voltage Compensation Method in Multiple Rotating Coordinates

### PEI Jing

(Jiangsu Xishan Technical Secondary School, Wuxi, Jiangsu 214191, P. R. China)

**Abstract:** The impact of the dead time on the inverter output voltage was analyzed. Combined with the inverter's mathematical model in the rotating coordinate system, a compensation strategy for dead zone harmonic voltage was proposed. The dead zone harmonic voltage was detected online in the rotating coordinate system, and the dead zone harmonic voltage was eliminated by harmonic voltage feedback control. This strategy could eliminate the dead zone voltage without judging the current polarity of the bridge current. Finally, the effectiveness of this compensation method for harmonic voltage detection and dead zone harmonic voltage elimination was verified by experiments on power frequency inverters.

Key words: multiple rotating coordinate; dead zone compensation; voltage harmonics calculation; feedback compensation

0 引 言

工业上用于大功率电机的变流器、逆变器和整 流器都是由 MOSFET、IGBT 等大功率元件构成的 H 桥或三相桥。以两电平为例,对于每一个桥壁的 上下功率管,从一个功率管关断到另一个功率管开 通的时间段内需要加入延时来防止桥壁的直通击 穿^[1]。同时,需要加入额外的算法来补偿死区时间 造成的输出电压或电流畸变。

目前,国内外学者对死区补偿方法进行了广泛 研究,提出的死区效应补偿方法可分为两类。第一 类补偿方法是根据桥壁电流的极性来调整开关管的 脉冲,以达到补偿死区的目的。该类方法存在 PWM噪声、电流多次穿越零点、零电流箝位以及控 制延时等问题,过零点难以判断^[2]。文献[3-4]通过 桥壁电流坐标变换法获取同步旋转坐标系下的电流 矢量角,判断出桥壁电流极性,从而补偿死区。文献

收稿日期:2020-04-18;定稿日期:2020-05-26

基金项目:江苏省自然科学基金资助项目(BK20170436)

作者简介:裴 静(1974—),男(汉族),江苏宜兴人,副教授,工程硕士,高级技师,研究方向为逆变技术及自动化控制技术。

[5]通过 SVPWM 调制中零矢量,对时间分配进行 调整,以补偿死区。文献[2,4,6-7]对零电流箝位现 象的原因以及影响进行了分析,提出了基于脉冲的 死区补偿方法。文献[8]研究了逆变器 IGBT 的开 关过程,得到 IGBT 的等效开通关断延时与电流幅 值之间的关系,能精准地补偿死区。第二类补偿方 法是将死区引起的谐波作为控制对象,通过反馈或 前馈来消除由死区引起的谐波。文献[9]在电机逆 变器进行双闭环控制时,在同步旋转坐标系下将谐 波电压前馈到电流 PI 调节器中,以此来补偿死区造 成的电流谐波。文献[10]采用 APF(Active Power Filter)控制方式,基于多同步旋转坐标系,控制指定 次谐波电流,在与谐波电流旋转速度同步的坐标系 下将谐波转化成直流量,结合 PI 控制器,对谐波的 直流分量进行无静差跟踪控制。

本文对三相两电平逆变器及其输出滤波器在 旋转坐标系下的数学模型进行了推导,分析了死 区对逆变器输出电压基波和谐波造成的影响。在 此基础上,提出了多旋转坐标系下死区谐波电压 的补偿方法。该补偿方法分为两部分,第一部分 为与指定次谐波角速度同步的旋转坐标下死区谐 波电压的检测,第二部分为谐波电压的闭环补偿 控制。最后,对实验结果进行分析,验证了该补偿 方法的有效性。

1 死区效应的机理及影响

图 1 所示为两电平 PWM 逆变器中一个桥壁在 死区时间段内的续流示意图。在死区时间段内,桥 壁上、下开关管均关断。



当*i*_a<0时,桥壁电流方向如图1(a)中长箭头 方向所示。此时,通过上开关管反并联二极管来续 流,续流路径如图中灰色部分所示,输出电压与P 点电位相同。当*i*_a>0时,桥壁电流方向如图1(b) 中长箭头方向所示。此时,通过下开关管反并联二 极管来续流,续流路径如图中灰色部分所示,输出电 压与 N 点电位相同。

因此,在死区时间这一控制盲区时间段内,输出 电压由桥壁的电流极性决定。死区时间之后,输出 电压波形与理想输出波形并不一致。每一个开关过 程都可能产生误差电压脉冲。通过 PWM 调制之 后,死区时间造成的电压误差波形为一连串的电压 脉冲串,结合伏秒平衡原理进行平均之后的等效误 差电压波形为一与桥壁电流极性相反的方波。

接无源负载的三相两电平逆变器如图 2 所示。 使用 LC 滤波器对输出电压进行滤波,滤波电容采 用三角形接法。r 为线路阻抗、电感损耗和功率开 关死区时间造成的等效电阻之和。逆变器接无源阻 感负载,负载电阻为 R_{Load},负载电感为 L_{Load}。逆变 器滤波前输出线电压分别为 u_{ab}、u_{bc}、u_{ca},滤波后,输 出线电压分别为 e_{ab}、e_{bc}、e_{ca};滤波前输出电流为 i_a、 i_b、i_c,滤波后输出电流为 i_A、i_B、i_C。开关频率 为 f_{sw}。



图 2 三相两电平逆变器结构

每一次开关过程中,死区造成的误差电压是一种时长为死区时长 T_d、幅度为直流侧电压 U_{de}的电压脉冲。对于图 2 所示的三相逆变器,A 相相对于 直流侧中点 N 的输出误差电压为:

$$u_{\rm ao\ err} = -T_{\rm d} U_{\rm dc} f_{\rm sw} \times {\rm sign}\ (i_{\rm a}) \tag{1}$$

A 相相对于直流侧中点 N 与交流侧 0 点的输 出电压的关系为:

$$u_{\rm a0} = \frac{2}{3} u_{\rm aN} - \frac{1}{3} u_{\rm bN} - \frac{1}{3} u_{\rm cN}$$
(2)

因此,三相逆变器死区时间对 A 相输出电压的 影响可表示为:

$$u_{a0_err} = \frac{2}{3} u_{aN_err} - \frac{1}{3} u_{bN_err} - \frac{1}{3} u_{cN_err} = -T_{d} U_{dc} \times f_{sw} \left(\frac{2}{3} \text{sign} (i_{a}) - \frac{1}{3} \text{sign} (i_{b}) - \frac{1}{3} \text{sign} (i_{c})\right)$$
(3)

死区对三相逆变器 A 相输出电压的影响如图 3 所示。





对式(3)进行傅里叶分解。由于三次谐波为零 序谐波,可以忽略,因此分解结果为:

$$u_{a0_err} = \frac{2}{3} u_{aN_err} - \frac{1}{3} u_{bN_err} - \frac{1}{3} u_{cN_err} = -T_{d} U_{dc} \times f_{sw} \left(\frac{2}{3} \operatorname{sign}(i_{a}) - \frac{1}{3} \operatorname{sign}(i_{b}) - \frac{1}{3} \operatorname{sign}(i_{c})\right) = -\frac{4}{\pi} \times T_{d} U_{dc} f_{sw} \left(\operatorname{sin}(\omega t) - \frac{1}{5} \operatorname{sin}(5\omega t) + \frac{1}{7} \operatorname{sin}(7\omega t) - \frac{1}{11} \cdots\right)$$
(4)

由式(4)可知,死区时间主要影响基波和 6k+1 或 6k-1 次谐波。

综上所述,死区效应对电压、电流波形的影响可 归纳为:1)死区效应对输出基波电压的影响与死区 时间 *T*_d、开关频率 *f*_{sw}、直流侧电压 *U*_{dc}成正比,功率 因数越大,死区效应对输出基波电压的影响越大; 2)死区效应使得输出电压产生 5 次、7 次、11 次、13 次等谐波,*LC* 滤波器对高次谐波的衰减倍数较大, 所以高次谐波影响可以忽略。因此,本文方法忽略 11 次、13 次谐波,主要考虑 5 次和 7 次谐波。

### 2 多指定角速度同步旋转坐标系下死 区谐波电压的补偿策略

#### 2.1 三相逆变器的双闭环谐波控制策略

对于图 2 所示的带无源负载的三相逆变器,从 三相静止坐标系转换到旋转坐标系 d、q 轴上后,得 到三相逆变器在角速度为 ω 的坐标系中的数学模 型,滤波前后的电压及电流的关系可以表示为:

$$\begin{bmatrix} \stackrel{\bullet}{e_{d}} \\ \stackrel{\bullet}{e_{d}} \end{bmatrix} = \begin{bmatrix} \frac{1}{3c_{f}} & 0 \\ 0 & \frac{1}{3c_{f}} \end{bmatrix} \begin{bmatrix} i_{d} \\ i_{q} \end{bmatrix} + \begin{bmatrix} -\frac{1}{3c_{f}} & 0 \\ 0 & -\frac{1}{3c_{t}} \end{bmatrix} \begin{bmatrix} i_{D} \\ i_{Q} \end{bmatrix} - \begin{bmatrix} 0 & -\omega \\ \omega & 0 \end{bmatrix} \begin{bmatrix} e_{d} \\ e_{q} \end{bmatrix}$$
(5)

$$\begin{bmatrix} \mathbf{i}_{d} \\ \mathbf{i}_{q} \end{bmatrix} = \begin{bmatrix} \frac{1}{L_{f}} & 0 \\ 0 & \frac{1}{L_{f}} \end{bmatrix} \begin{bmatrix} v_{d} \\ v_{q} \end{bmatrix} + \begin{bmatrix} -\frac{1}{L_{f}} & 0 \\ 0 & -\frac{1}{L_{t}} \end{bmatrix} \begin{bmatrix} e_{d} \\ e_{q} \end{bmatrix} + \begin{bmatrix} -\frac{r}{L_{f}} & \omega \\ -\omega & -\frac{r}{L_{t}} \end{bmatrix} \begin{bmatrix} i_{d} \\ i_{q} \end{bmatrix}$$
(6)

式中,  $[e_d, e_q]$ 、 $[v_d, v_q]$ 、 $[i_D, i_Q]$ 、 $[i_d, i_q]$ 分别为  $e_{ph} = [e_a, e_b, e_c]$ 、 $v_{ph} = [v_a, v_b, v_c]$ 、 $i_{Load} = [i_A, i_B, i_C]$ 、  $i_{Lf} = [i_a, i_b, i_c]$ 。通过转换矩阵  $e_{3s-2r}$ , 将三相静止 a、b、c 坐标系转换到指定角速度为 $\omega$ 的旋转坐标系 中的d、q 轴分量。

逆变器的控制采用电压外环、电流内环的双闭 环控制,增加了控制的响应速度和抗扰动能力^[11]。 系统模型在 *d*、*q* 轴上存在耦合量,通过前馈解耦,对 电流内环进行 PI 控制^[12],可得到电流内环控制方 程,为:

$$\begin{cases} v_{\rm d}^{*} = \left(k_{\rm ip} + \frac{k_{\rm il}}{s}\right)(i_{\rm d}^{*} - i_{\rm d}) + e_{\rm d} + ri_{\rm d} - \omega L_{\rm f}i_{\rm q}, \\ v_{\rm q}^{*} = \left(k_{\rm ip} + \frac{k_{\rm ii}}{s}\right)(i_{\rm q}^{*} - i_{\rm q}) + e_{\rm q} + ri_{\rm q} + \omega L_{\rm f}i_{\rm d} \end{cases}$$

$$(7)$$

式中,k_i和 k_i分别为电流内环的比例和积分系数,i^{*}_d、i^{*}_q为电流内环的指令值,由电压外环给出。 v^{*}_d、v^{*}_q为电流内环的输出。同理,对电压外环解 耦,然后进行 PI 控制,可得到电压外环控制方程,为:

$$\begin{cases} i_{\rm d}^* = \left(k_{\rm vp} + \frac{k_{\rm vi}}{s}\right) \left(e_{\rm d}^* - e_{\rm d}\right) + i_{\rm D} - 3\omega C_{\rm f} e_{\rm q}, \\ i_{\rm q}^* = \left(k_{\rm vp} + \frac{k_{\rm vi}}{s}\right) \left(e_{\rm q}^* - e_{\rm q}\right) + i_{\rm Q} + 3\omega C_{\rm f} e_{\rm d} \end{cases}$$

$$\tag{8}$$

式中,k_{vp}和 k_{vi}分别为电压外环的比例系数和积分系数,e^d和 e^a_q为电压外环的指令值。

### 2.2 指定角速度同步旋转坐标下的死区谐波电压 检测

由于死区时间主要影响逆变器输出电压的 5 次、7次谐波,5次谐波为负序,7次谐波为正序^[13], 因此可假设逆变器滤波后的输出电压为:

$$\begin{cases} e_{a} = U_{1}\sin(\omega_{0}t) + U_{5}\sin(-5\omega_{0}t + \theta_{5}) + U_{7}\sin(7\omega_{0}t + \theta_{7}) \cdots, \\ e_{b} = U_{1}\sin(\omega_{0}t - \frac{2\pi}{3}) + U_{5}\sin(-5\omega_{0}t + \theta_{5} - \frac{2\pi}{3}) + U_{7}\sin(7\omega_{0}t + \theta_{7} - \frac{2\pi}{3}) \cdots, \\ e_{c} = U_{1}\sin(\omega_{0}t + \frac{2\pi}{3}) + U_{5}\sin(-5\omega_{0}t + \theta_{5} + \frac{2\pi}{3}) + U_{7}\sin(7\omega_{0}t + \theta_{7} + \frac{2\pi}{3}) \cdots \end{cases}$$
(9)

式中, $U_1$ 、 $U_5$ 、 $U_7$ 分别为基波、5次、7次谐波的 电压幅值, $\theta_5$ 、 $\theta_7$ 分别为5次、7次谐波的电压初始 相位。 $\omega_0$ 为基波电压的旋转角速度。

通过转换矩阵 T_{3s2r}将逆变器滤波后的输出相 电压 e_a、e_b、e_c 从三相静止 a、b、c 坐标系转换到旋转

角速度为
$$-5\omega_0$$
的同步旋转坐标系上,得:  

$$\begin{cases}
e_{d5} = U_{5d} + U_1 \sin(6\omega_0 t + \theta_1) + U_7 \sin(12\omega_0 t + \theta_7) + \cdots, \\
e_{q5} = U_{5q} + U_1 \sin(6\omega_0 t + \theta_1) + U_7 \sin(12\omega_0 t + \theta_7) + \cdots
\end{cases}$$

(10)

通过转换矩阵  $T_{3s2r}$ 将逆变器滤波后输出相电 压  $e_a$ 、 $e_b$ 、 $e_c$ 从三相静止 a、b、c 坐标系转换到旋转角 速度为  $7\omega_0$ 的同步旋转坐标系上,得:

 $\begin{cases} e_{d7} = U_{7d} + U_1 \sin(-6\omega_0 t + \theta_1) + U_7 \sin(-12\omega_0 t + \theta_7) + \cdots, \\ e_{q7} = U_{7qs} + U_1 \sin(-6\omega_0 t + \theta_1) + U_7 \sin(-12\omega_0 t + \theta_7) + \cdots \end{cases}$ (11)

如图 4 所示,根据式(10)、式(11)转化后的 5 次、7 次旋转坐标系上的电压在通过低通滤波器之 后,得到 5 次、7 次谐波在其对应旋转坐标系上的直 流分量。在所得旋转坐标系下的输出电压  $e_{d5}$ 、 $e_{q5}$ 、  $e_{d7}$ 、 $e_{q7}$ 中,幅度较大的基波电压变成了 6 次谐波电 压分量,需要通过低通滤波器将 6 次谐波分量和其 他分量滤除。 $e_{d5}$ 、 $e_{q5}$ 、 $e_{d7}$ 、 $e_{q7}$ 滤波后得到的在 d、q 轴 下的 5 次、7 次谐波电压分量为  $e_{d5th}$ 、 $e_{q7th}$ 、 $e_{q7th}$ 。



图 4 指定角速度为ω的旋转坐标系下死区谐波电压检测

### 2.3 死区谐波电压的闭环谐波补偿控制

本文提出的死区电压谐波补偿策略如图 5 所示,输出电压基波采用了电压外环、电流内环的双闭 环控制结构。该补偿策略相对于电压平均值和单环 电压控制有更好的动态性能和一定的谐波抑制 能力^[14]。

本文补偿策略是在不改变基波控制的基础上增加了5次、7次谐波电压的控制环路。该闭环控制 结构采用输出电压外环反馈控制,分别对5次谐波 电压、7次谐波电压进行独立控制,不会对基波控制 环路造成干扰。

在-250 Hz、350 Hz 旋转坐标系上,首先通过 式(10)和式(11)的坐标系变换和滤波,得到逆变器 输出电压的 5 次谐波分量、7 次谐波分量。将 5 次、 7 次旋转坐标系下输出电压指令值 e^{*}_{5d}、e^{*}_{5q}、e^{*}_{7d}、e^{*}_{7q}设 置为 0,通过 PI 控制器得到 5 次谐波、7 次谐波在其 对应旋转坐标系上的补偿量 v^{*}_{5d}、v^{*}_{5q}、v^{*}_{7d}、v^{*}_{7q}。然后 通过 d、q 轴转换到 a、b、c 轴坐标,得到 5 次、7 次谐 波的补偿量,该补偿量与基波的控制回路输出量叠 加,得到 SVPWM 调制方式的指令值  $e_a^*$ 、 $e_b^*$ 、 $e_c^*$ ,经 调制后得到最终的脉冲。



图 5 多旋转坐标系下死区电压谐波补偿策略图

### 3 实验结果

将本文提出的多旋转坐标系下死区谐波电压补 偿策略用于大功率逆变器平台。控制系统使用了 TI公司 TMS320F28335 芯片,包含模拟量采样、软 件保护、SVPWM 逆变控制、接触器控制和死区补 偿等功能块。逆变器的参数如表 1 所示。

表1 逆变器参数表

参数	数值
开关频率/Hz	2 450
滤波电感/mH	0.2
滤波电容(∆接法)/mF	0.15
直流侧电压/V	800
输出线电压有效值/V	400
输出电压频率/Hz	50

#### 3.1 逆变器带阻感负载

阻感负载为 32 kVA 时,未加入补偿算法时的 输出线电压、输出电流曲线如图 6 所示,图中,深色 曲线为输出电压 u_{AB},浅色曲线为 A 相输出电流 i_A。 可以看出,输出电压的总谐波失真值为 4.89%,5 次 谐波电压为基波电压的 2.10%,7 次谐波电压为基 波电压的 1.65%。



图 6 未加入补偿算法时输出电压、输出电流曲线

使用本文的死区电压补偿算法后,输出电压、输 出电流曲线如图 7 所示。



图 7 加入本文补偿算法后输出电压、输出电流曲线

可以看出,输出电压的总谐波失真值为 2.05%,5次谐波电压为基波电压的0.22%,7次谐 波电压为基波电压的0.34%。结果表明,5次、7次 电压谐波均得到有效抑制,总谐波失真值减小 了2.84%。

### 3.2 逆变器带不控整流负载

三相逆变器带不控整流器负载时,输出电压与 死区造成的输出电压谐波相似^[10,15]。因此,本文对 不控整流负载进行了实验。当阻感负载为 32 kVA、三相不控整流负载为 30 kVA时,未加入谐波 抑制算法时输出电压、输出电流曲线如图 8 所示。 图中,深色曲线为输出电压 u_{AB},浅色曲线为 A 相输 出电流 *i*_A。可以看出,输出电压的总谐波失真值为 6.82%,5次谐波电压为基波电压的 3.72%,7次谐 波电压为基波电压的 2.48%。



图 8 未加入补偿算法时输出电压、输出电流曲线

加入本文谐波电压抑制的补偿算法后,输出电 压、输出电流曲线如图9所示。



图 9 加入本文补偿算法后输出电压、输出电流曲线

可以看出,输出电压的总谐波失真值为 3.04%,5次谐波电压为基波电压的1.2%,7次谐 波电压为基波电压的0.7%。结果表明,该算法不 仅对死区造成的谐波能有效抑制,而且对整流负载 的5次、7次谐波电压也有良好抑制作用。

### 4 结 论

本文在对死区造成的谐波电压提取后,采用反 馈控制方式,在多旋转坐标下对死区谐波电压进行 补偿,克服了常规基于脉冲的死区补偿方法对桥壁 电流极性判断准确性的依赖。在不干扰基波电压控 制环路的基础上,增加谐波电压的 PI 控制环路,对 特定次数的谐波进行抑制。该补偿方法对谐波抑制 的响应较快,能对谐波进行无静差跟踪控制。

该补偿方法选取应用工况中幅度较大的5次、7 次谐波电压进行补偿,可以对单次谐波和多次谐波 进行补偿。该补偿方法不仅能补偿死区时间造成的 输出电压谐波,还能抑制其他因素造成的输出电压

谐波,如不控整流负载造成的谐波电压。该补偿方 法具有较好的通用性。

### 参考文献:

- [1] RATHNAYAKE D B, SAMARASINGHE S, MEDA-GEDARA C I, et al. An enhanced pulse-based deadtime compensation technique for PWM-VSI drives [C] // 9th ICIIS. Gwalior, India. 2014: 1-5.
- [2] 周华伟,温旭辉,赵峰,等. 一种抑制 VSI 零电流箝 位效应的死区补偿方法 [J]. 电机与控制学报,2011, 15(1):26-32.
- [3] XU Z, YUAN Q. Dead-time compensation strategy of three-phase SVPWM inverter [C] // Int Conf Image Analy & Signal Process. Hangzhou, China. 2012: 1-3.
- [4] 程小猛,陆海峰,瞿文龙,等.用于逆变器死区补偿的 空间矢量脉宽调制策略[J].清华大学学报(自然科学 版),2008,48(7):1077-1080.
- [5] LEE D H, AHN J W. A simple and direct dead-time effect compensation scheme in PWM-VSI [J]. IEEE Trans Indus Appl, 2014, 50(5): 3017-3025.
- [6] 李洪亮,许奔,贺诚,等. 死区补偿零电流箝位现象的 研究 [J]. 电测与仪表,2013,50(2):121-124.
- [7] 刘伟增,张新涛,邵帅.光伏并网逆变器中的零电流 箝位分析与补偿[J].电力电子技术,2012,46(7):

(上接第 625 页)

- [6] MENG X Y, YU C P, WU Y L, et al. Design of dualband high-efficiency power amplifiers based on compact broadband matching networks [J]. IEEE Microwave &. Wireless Compon Lett, 2018, 28(2): 162-164.
- [7] 彭瑞敏. 高效率双带 Doherty 功率放大器的研究 [D]. 成都:电子科技大学,2015.
- [8] MENG X Y, YU C P, LIU Y A, et al. Design approach for implementation of class-J broadband power amplifiers using synthesized band-pass and low-

1-3.

- [8] 陈斌,王婷,吕征宇,等. 电压型逆变器非线性的分析 及补偿[J]. 电工技术学报,2014,29(6):24-30.
- [9] RYU H S, LIM I H, LEE J H, et al. A dead time compensation method in voltage-fed PWM inverter [C] // IEEE Indus Appl Conf 41th IAS Annu Meet. Tampa, FL, USA. 2006; 911-916.
- [10] 师洪涛,张巍巍,潘俊涛,等. 电容滤波的单相不控整 流器输入阻抗特性研究 [J]. 电工电气,2014,29(6): 24-30.
- [11] 李东旭,黄灿水,汤宁平,等. 基于 DSP 双闭环控制 的单相逆变电源设计与实现 [J]. 电工电气,2011 (3):21-23.
- [12] 熊蕊,王国锋.工频 SPWM 逆变电源输出电压的变结
   构控制 [J].华中理工大学学报,1999,27(11):
   31-33.
- [13] 张树全,戴珂,谢斌,等.多同步旋转坐标系下指定次 谐波电流控制 [J].中国电机工程学,2010,30(3): 55-62.
- [14] 李莲,林松霖. 基于 *d-q* 坐标系的有源电力滤波器双 闭环控制策略的研究 [J]. 电测与仪表, 2016, 53 (16): 56-61.
- [15] 徐波,陈堃,陈昌旺,等.针对不平衡非线性负载的电 压谐波治理研究 [J]. 电力电子技术,2018,52(11): 112-114.

pass matching topology [J]. IEEE Trans Microwave Theo & Techniq, 2017, 65(12): 4984-4996.

- [9] YOU F, LI C, PENG J, et al. Design of broadband high-efficiency power amplifier through interpolations on continuous operation-modes [J]. IEEE Access, 2019, 7: 10663-10671.
- [10] 孔娃,夏景,施丽娟,等.基于滤波匹配网络的连续逆
   F类功率放大器 [J]. 微电子学,2017,47(4):
   469-472.

# 基于 GaAs HBT 的 J 类射频功率放大器

黄继伟,黄思巍

(福州大学 福建省集成电路设计中心,福州 350108)

**摘 要:** 基于 2 μm GaAs HBT 工艺,设计了一种工作于 1.8~2.0 GHz 的射频功率放大器。该 功率放大器采用两级放大结构,功率级选用具有良好线性度和效率的 J 类功率放大器。输出匹配 电路采用电容电感组成的两级网络来实现低 Q 值匹配,拓宽了宽带性能。在驱动级输入端偏置处 添加模拟预失真,进一步改善了幅相特性。电源电压为 3.3 V,偏置电压为 3.4 V。采用 ADS 软件 对该功率放大器进行仿真。结果表明,在 1.8~2.0 GHz 频率范围内,饱和功率为 30.2 dBm,1 dB 压缩点输出功率为 29.5 dBm,小信号功率增益为 32 dB,功率附加效率高于 46%。

关键词: J类放大电路;低Q值两级匹配;模拟预失真;射频功率放大器
 中图分类号:TN722.7⁺⁵
 文献标识码:A
 文章编号:1004-3365(2020)05-0632-05

DOI:10.13911/j.cnki.1004-3365.190660

### A Class-J RF Power Amplifier Based on GaAs HBT

### HUANG Jiwei, HUANG Siwei

(Fujian Integrated Circuit Design Center, Fuzhou University, Fuzhou 350108, P. R. China)

**Abstract:** Based on a 2  $\mu$ m GaAs HBT process, a 1.8 GHz to 2.0 GHz RF power amplifier was designed. The power amplifier used two-stage amplification structure, and a class J power amplifier with good linearity and efficiency was selected for power stage. The output matching circuit utilized a low Q two-stage matching to broaden the broadband performance. The analog predistortion was added at the driver stage input bias, so the amplitude-phase characteristics were further improved. The power supply voltage was 3.3 V, and the bias voltage was 3.4 V. The ADS software was used to simulate the power amplifier. The results showed that the saturated output power was 30.2 dBm, the 1 dB compression point output power was 29.5 dBm, the small signal power gain was 32 dB, and the highest power added efficiency was more than 46% at 1.8~2.0 GHz frequency range.

Key words: class J amplifier circuit; low Q two-stage matching; analog predistortion; RF power amplifier

0 引 言

射频功率放大器被广泛用于无线收发机、雷达 等通信系统的重要组件中。随着通信技术的发展, 功率放大器在线性度方面有了更严格的要求^[1]。功 率放大器常常要工作于效率较低的回退区域^[2],因 此需要在匹配电路中添加额外的谐波滤波网络,这 极大限制了功率放大器的宽带传输能力。文献[3] 采用 GaN HEMT 工艺,通过两个低阻抗转换率的 四分之一波长阻抗逆变器组成的输出网络提升了宽 带特性。文献[4]采用 90 nm CMOS 工艺制作高谐 波抑制 E 类功率放大器,实现了 2.3~3.3 GHz 宽 频带范围的高效率传输。

本文基于 Unicompound 2 µm GaAs HBT 工 艺,设计并实现了一种两级结构的功率放大器,功率 级采用J类放大器。J类功率放大器具有理想 AB 类功率放大器的输出功率和效率,同时具有良好的

收稿日期:2019-11-16;定稿日期:2019-12-09

基金项目:国家自然科学基金面上项目(61774035)

作者简介:黄继伟(1976—),男(汉族),福建莆田人,博士,副教授,研究方向为射频、模拟集成电路设计。

宽带性能。传统的做法是采用 GaN 或 LDMOS 工 艺制作 J 类功率放大器,以获得高电压摆幅。本文 在输出端增加一个负载电容,使放大器处于 J 类放 大运行模式;在驱动级输入偏置处设计了片上模拟 预失真器,以获得良好的幅相特性。

文章第1节介绍了J类功率放大器的工作原 理,分析了J类功率放大器的运行模式,第2节介绍 了本文功率放大器的整体电路及各模块的设计,第 3节给出版图设计与仿真分析,第4节得出结论。

1 J类功率放大器的工作原理

经典的功率放大器设计理论中采用的元件均为 理想元件。当放大器工作频率达到 GHz 时,这些理 想化的经典理论结果不再成立,电路性能会大大恶 化。功率晶体管的寄生电容干扰、III-V 族器件的导 通响应特性等因素都会影响理论结果。因此 J 类功 率放大器的理论分析需要考虑实际影响因素。相较 于传统 AB 类功率放大器,J 类功率放大器通过二次 谐波对电压进行塑形来提高输出效率,同时保持了 与传统 AB 类功率放大器相同的输出功率和线 性度。

简单J类功率放大器的结构如图1所示。该功 率放大器包含了晶体管Q₁和由特定长度的传输线 Z₀与并联电容C_f组成的低通匹配网络。在谐波终 端增加了负载电容C_{2f0},以提高效率。晶体管的偏 置点选择在深度AB类工作状态,所以晶体管电流 波形可近似为一半正弦波。



晶体管电流 
$$I_{\rm T}$$
 可以表达力⁽⁵⁾:  

$$I_{\rm T} = \begin{cases} I_{\rm max} \sin \theta, & 0 < \theta < \pi, \\ 0, & \pi < \theta < 2\pi \end{cases}$$
(1)

流入匹配网络的基波电流为:

 $I_{\rm F} = I_1 \sin(\theta + \varphi) \tag{2}$ 

电流的幅度和相位是独立的变量,它们的取值 变化代表了不同类型的电路。流入 C₂₆₀的电流 *I*_c为:

$$I_{\rm C} = I_{\rm CC} - I_{\rm F} - I_{\rm T}$$
 (3)

直流输出电流为:

$$I_{\rm CC} = I_{\rm max}/\pi \tag{4}$$

因此,加在电容上的电压,即晶体管的输出电压,V₀为:

$$V_{o} = \frac{1}{\bar{a}C_{2fo}} \left( \int_{0}^{\pi} I_{C} d\theta + \int_{\pi}^{2\pi} I_{C} d\theta \right)$$
(5)

在 0<θ<π时,输出电压为:

$$V_{\rm OI} = \frac{1}{\bar{\alpha}C_{2fO}} \int_{0}^{n} \left( \frac{I_{\rm max}}{\pi} - I_{\rm 1}\sin(\theta + \varphi) - I_{\rm max}\sin\theta \right) d\theta = -\frac{1}{\bar{\alpha}C_{2fO}} (I_{\rm max} + 2I_{\rm 1}\cos\varphi)$$
(6)

在  $\pi < \theta < 2\pi$  时,输出电压为:

$$V_{02} = \frac{1}{\bar{\omega}C_{2f0}} \int_{\pi}^{2\pi} \left( \frac{I_{\max}}{\pi} - I_1 \sin(\theta + \varphi) \right) d\theta = \frac{1}{\bar{\omega}C_{2f0}} (I_{\max} + 2I_1 \cos \varphi)$$
(7)

对输出电压进行傅里叶分析,将式(6)展开,为:

$$V_{1} = \frac{1}{\bar{\omega}C_{2fo}\pi} (I_{\max}(-2\sin\theta + \frac{1}{\pi}(\cos\theta + \theta\sin\theta - 1)) - I_{1}(\sin\theta\cos\varphi + \frac{1}{2}\theta + \frac{1}{4}(\sin 2\theta\cos\varphi + \sin\varphi(1 + \cos 2\theta)))) + J_{1}(\sin\theta - \theta\cos\theta) - 2(1 - \cos\theta)) - I_{1}(\cos\theta(1 - \cos\theta) - \frac{1}{2}(\frac{1}{2}\cos\varphi(1 - \cos 2\theta)) - J_{1}(\cos\theta(1 - \cos\theta) - \frac{1}{2}(\frac{1}{2}\cos\varphi(1 - \cos 2\theta))) - J_{1}(\cos\theta(\theta - \frac{1}{2}\sin 2\theta)))$$

$$(8)$$

$$V_{2} = \frac{1}{\bar{\omega}C_{2fo}\pi} (I_{\max}(\frac{1}{\pi}(\frac{1}{2}\theta\sin 2\theta - \frac{1}{4}\cos 2\theta + \frac{1}{4}) - \sin 2\theta) + I_{1}(\sin(\theta - \varphi) - \frac{1}{3}\sin \varphi - \frac{1}{6}\sin(3\theta + \varphi) - \frac{1}{2}\sin 2\theta\cos \varphi)) - j\frac{1}{\bar{\omega}C_{2fo}\pi}(\frac{1}{2}I_{1}(\cos \varphi(1 - \cos 2\theta) + \cos \varphi(1 - \cos \theta) - \frac{1}{3}\cos \varphi(1 - \cos 3\theta) - \sin \theta\sin \varphi + \frac{1}{3}\sin 3\theta\sin \varphi) - I_{\max}(\frac{1}{2\pi}(\frac{1}{2}\sin 2\theta - \theta\cos 2\theta) + \cos 2\theta - 1))$$
(9)

从式(8)与式(9)可以看出,V₁含有一个正的虚 部分量,V₂含有一个负的虚部分量。为了处于J类 放大运行模式,该功率放大器的输出阻抗必须为具 有正电抗分量的复输出阻抗,且二次谐波终端阻抗 必须具有纯电容性。 圆图下的阻抗变换图如图 4 所示。图 4 中,Q=3。

2 整体功率放大器设计

本文功率放大器采用两级结构,功率级采用J 类功率放大器。该功率放大器具有良好的宽带特 性,同时具有较好的效率和线性度。驱动级偏置选 择在A类放大区间,使功率放大器具有高增益线性 输入。本文功率放大器的整体结构如图2所示。



图 2 本文功率放大器的整体结构

2.1 二次谐波终端电容

本文功率放大器通过增加输出端电抗分量,转换了时域上的电压波形,使得电路工作模式从深度 AB类模式转化为J类模式。该电路通过在输出端 添加电容 C₂₆₀,使电压波形与原始电压波形产生 45° 相移,从而获得较佳的效率和线性度^[6]。电流、电压 波形的表达式分别为:

$$I(\theta) = I_{\max} \left( \frac{1}{\pi} + \frac{1}{2} \cos(\theta) + \frac{2}{3\pi} \cos(2\theta) + \cdots \right) (10)$$
$$V(\theta) = \pi V dc \left( \frac{1}{\pi} - \frac{1}{2} \cos(\theta + \varphi) + \frac{2}{3\pi} \cos(2(\theta + \delta)) - \cdots \right)$$
(11)

$$Z_{2f0} = \frac{3\pi}{8} \cdot R_{opt} \angle -90^{\circ}$$
(12)

式中, R_{opt}为最大电流时基波下的最优负载阻抗。此时, 添加在二次谐波终端的电容 C₂₁₀为:

$$C_{2f0} = \frac{1}{2\pi f \cdot Z_{2f0}} \tag{13}$$

### 2.2 输出匹配电路

在输出匹配电路中,采用低 Q 值的电容与电感 进行多次匹配,以满足工作带宽的要求。低 Q 值输 出匹配网络如图 3 所示。网络 I 中, $L_2$ 、 $L_3$ 、 $C_3$ 构成 的 T 型匹配网络先将 50 Ω 匹配到 25 Ω,再由网络 II 中  $L_1$ 、 $C_2$ 将 25 Ω 匹配到最佳负载阻抗。史密斯



图 4 史密斯圆图下的阻抗变换图

### 2.3 偏置电路

驱动级偏置电路采用电阻串联模拟预失真电路 的结构。功率级偏置电路采用自适应性线性偏置结 构,电路图如图 5 所示。



当输入大的射频信号时,部分射频信号会流向 R₃、Q₃的偏置网络中,泄露到匹配网络中的射频信号 通过C₁短路到地,从而提高电路的线性度。随着温 度的升高,晶体管产生自热效应,Q₃管的开启电压降 低,其基极、集电极的静态电流增加,导致电路不稳 定。但与此同时,Q₁、Q₂管的自热效应导致集电极电 流增加,R₁上的电压增高,Q₃管的基极电压降低,使 得输出偏置电流相对减少,起到了负反馈的作用。

#### 2.4 模拟预失真电路

驱动级采用两个 HBT 连接形成的反向基极集电 极二极管,实现了片上预失真。HBT 的频谱增生受 其基极-集电极电容 C_{bc}的影响^[7]。为了减轻该影响, 在驱动放大器输入端接一对基极集电极二极管。其 C_{bc}与功率管芯的 C_{bc}相互抵消,进一步减轻频谱增 生。引入相位反向后^[8],三阶非线性分量得到抵消, 整体功放的线性度得到提高。在实际功率放大器中, 功率管具有非线性,会发生 AM-PM 失真,即放大器 输出与输入信号的相位差会发生变化^[9]。采用预失 真与未采用预失真的 AM-PM 仿真情况如图 6 所示。 可以看出,在采用预失真后,当输入信号功率逐步增 加直到达到饱和功率时,相位变化幅度在 2°内,这表 明该功率放大器具有较好的幅相特性。



### 3 版图设计与仿真分析

本文 J 类功率放大器基于 Unicompound 2 μm GaAs HBT 工艺设计。电源电压为 3.3 V,偏置电 压为 3.4 V。输入、输出采用片外高 Q 值元件匹配, 减小了功率损耗。输出级晶体管采用鱼骨排列来避 免电流回流,从而避免了对电路的影响。最终电路 的版图如图 7 所示。



图 7 电路版图

电路在 ADS Momentum 下进行建模和后仿 真。S参数曲线如图 8 所示,可以看出,在频段内,  $S_{11}$ 、 $S_{22}$ 均小于一15 dB。这表明输入与输出电路的 匹配良好,回波损耗较小。稳定性 K 因子曲线如图 9 所示。可以看出,在频段内 K 因子的最低值为 5, 频段内 K 因子均大于 1。这表明该电路处于绝对稳 定状态。



图 8 S 参数曲线



功率附加效率曲线和1dB 压缩点输出功率曲 线分别如图10、图11所示。可以看出,在中心频率 1900 MHz处,饱和功率为30.2dBm,1dB 压缩点 功率为29.5dBm,两者之差小于1dBm。这表明电 路具有良好的线性度。功率附加效率达46%,1dB 压缩点输出功率的附加效率达43%,功率增益为 32dB。



图 11 1 dB 压缩点输出功率曲线

本文与其他文献中功率放大器的参数比较如表 1 所示。可以看出,本文功率放大器在较高输出功 率的条件下,增益和功率附加效率均有一定程度的 提升。

表 1 本文与其他文献中功率放大器的参数比较

参数	文献[10]	文献[11]	文献[12]	文献[13]	本文
频率/GHz	2.9	2.65	9.35	1.9	1.9
$P_{\rm out}/{ m dBm}$	27	31	24.5	28	29.5
$\mathrm{PAE}/\%$	20	40	44.4	35	46
增益/dB	25	30	10	31	32

### 4 结 论

本文介绍了J类功率放大器的工作原理和工作 模式,分析了输出端二次谐波终端的负载类型和计 算方式。设计了一种两级结构的射频功率放大器, 功率级采用J类功率放大器,驱动级输入偏置处集 成了线上模拟预失真模块,提升了幅相特性。该射 频功率放大器采用 Unicompound 2 μm GaAs HBT 工艺设计。仿真结果表明,在 1.8~2.0 GHz频带 内,饱和输出功率为 30.2 dBm,1 dB 压缩点输出功 率为 29.5 dBm,整体增益为 32 dB,功率附加效率 达 46%。该功率放大器具有良好的线性度、增益和 功率附加效率。该功率放大器可被应用于 LTE 移 动终端。

### 参考文献:

- [1] NOH S Y, LEE W T, PARK S C. Linearized high efficient HBT power amplifier module for L-band application [C] // IEEE 23rd GaAs IC Symp. Baltimore, MD, USA. 2001: 197-200.
- [2] LIANG C, ROBLIN P, HAHN Y, et al. Automatic algorithm for the direct design of asymmetric Doherty power amplifiers [C] // IEEE Conf PAWR. Orlando, FL, USA. 2019: 1-4.
- [3] WONG J, ATANABE N, GREBENNIKOV A. Highpower high-efficiency broadband GaN HEMT Doherty amplifiers for base station applications [C] // IEEE Conf PAWR, Anaheim, CA, USA. 2018, 16-19.
- [4] KALIM D, ERGUVAN D, NEGRA R. Broadband CMOS class-E power amplifier for LTE applications [C] // 3rd Int Conf SCS. Medenine, Tunisia. 2009: 1-4.
- [5] CRIPPS C. RF power amplifiers for wireless communications [M]. 2nd ed. Norwood, USA: Artech House, 2006.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020 年 10 月	Microelectronics	Oct. 2020

# 基于 0.15 μm GaAs pHEMT 工艺的 X 波段 自混频三倍频器

何勇畅,毛小庆,陈志巍,喻 青,曹 军,高海军 (杭州电子科技大学 射频电路与系统教育部重点实验室,杭州 310018)

摘 要: 基于 0.15  $\mu$ m GaAs pHEMT 工艺,设计了一种自混频三倍频器,实现了将 X 波段信号 倍频为 Ka 波段信号。仿真结果表明,该三倍频器的相对带宽为 16%,频率覆盖范围为 8.9~10.5 GHz,涵盖了大部分的 X 波段。当输入信号为 0 dBm 时,在 9.5 GHz 频点处的输出功率为—12 dBm。在带宽范围内,谐波抑制比大于 15 dBc。采用渐变形电感,提高了电感的 Q 值,实现了去耦 电容接地的无源 Marchand 巴伦。仿真结果表明,无源巴伦的相对带宽达到 120%,幅值平衡度得 到了有效提高。该三倍频器具有 0.4 V、0.8 V、1 V 三个直流偏置,芯片尺寸为 1.9 mm× 0.67 mm。

关键词: 三倍频器; 自混频; 无源 Marchand 巴伦; 倍频器
 中图分类号:TN771 文献标识码:A 文章编号:1004-3365(2020)05-0637-06
 DOI:10.13911/j.cnki.1004-3365.190598

### A X-Band Self Mixing Frequency-Tripler Based on 0. 15 μm GaAs pHEMT Process

HE Yongchang, MAO Xiaoqing, CHEN Zhiwei, YU Qing, CAO Jun, Gao Haijun (Key Laboratory for RF Circuits and Systems of Ministry of Education, Hangzhou Dianzi University, Hangzhou 310018, P. R. China)

**Abstract:** Based on 0.15  $\mu$ m GaAs pHEMT process, a self-mixing frequency-tripler was designed to convert Xband signal to Ka-band signal. The simulation results showed that, the relative bandwidth of the frequency-tripler was 16%, the frequency coverage was 8.9~10.5 GHz, covering the most of the X-band. When the input signal was 0 dBm, the output power could reach - 12 dBm at 9.5 GHz. The harmonic suppression ratio was greater than 15 dBc within the bandwidth. The Q value of the inductor was optimized by using the gradual deformation inductor. A passive Marchand Balun grounded by decoupling capacitor was realized. The simulation results showed that the relative bandwidth of passive Balun reached 120%, which effectively increased the amplitude balance degree. The frequency-tripler had three DC biases of 0.4 V, 0.8 V and 1 V, and the chip size was 1.9 mm×0.67 mm. **Key words:** frequency-tripler; self-mixing; passive Marchand balun; frequency-multiplier

0 引 言

随着通信技术的不断发展,人们对高品质频率 源的需求越来越大。获得高频信号的方式有两种, 一种方式是直接设计高频信号源,另一种方式是使 用倍频器。第一种方式的输出功率较大,但频率稳 定度低、相位噪声较差。第二种方式容易获得稳定 度高、结构紧凑、相位噪声低的毫米波源^[1],需要使 用倍频器,将低频段的低相位噪声信号倍频到高

收稿日期:2019-10-23;定稿日期:2019-12-03

基金项目:国家自然科学基金资助项目(61871161)

作者简介:何勇畅(1995--),男(汉族),江苏高邮人,硕士研究生,研究方向为射频集成电路设计。

频段。

关于倍频器的研究在不断发展。2008年,台湾 大学的研究团队设计了一种基于 0.13  $\mu$ m CMOS 工艺的二倍频器^[2],输出最大频率为 74 GHz,采用 经典 Push-Push 结构,在 6 dBm 信号输入下倍频损 耗为 8~11 dB,芯片面积为 0.416 mm²,直流功耗 为 12 mW。2014年,复旦大学的研究团队设计了一 种基于 0.13  $\mu$ m CMOS 工艺的 K-band 注入锁定三 倍频器^[3],当输入信号为 2 dBm 时,在 22.5 GHz 处,中心频率的锁定范围为 2.1 GHz,芯片面积为 0.105 mm²,直流功耗为 6.8 mW。

偶次倍频器大多采用 Push-Push 结构, 奇次倍 频器大多采用变压器耦合结构或注入锁定结构, 而 少有采用自混频结构。本文采用自混频结构, 将二 次谐波与基波进行上变频, 成功实现了三次谐波信 号。由于设计所用的 MOS 管截止频率为 55 GHz, 本文选择 X 波段进行倍频器的设计, 对 X 波段自混 频三倍频器进行了版图设计与仿真。

1 自混频三倍频器设计

### 1.1 倍频器

倍频器的核心是实现 MOS 管的非线性特性。 理论上,具有非线性特性的器件才能实现倍频功 能^[4]。典型 Push-Push 结构的双平衡二倍频器如图 1 所示。





输入的基波信号经过隔直电容进入变压器,使 单端信号变为双端信号,输入到 M₁、M₂ 管的信号 幅值相等,相位相差 180°。M₁、M₂ 管的源极接地, 漏极与栅极的直流电源使 M₁、M₂ 管偏置在亚阈值 电导区,产生奇次谐波和偶次谐波分量,即漏极电流 I_{d1}和 I_{d2}:

$$I_{d1} = k_0 + k_1 v_i + k_2 v_i^2 + k_3 v_i^3$$
(1)

$$I_{d2} = k_0 - k_1 v_i + k_2 v_i^2 - k_3 v_i^3$$
(2)

因 
$$M_1$$
、 $M_2$  管的漏极相连,得:

$$I_{\rm OUT} = I_{\rm d1} + I_{\rm d2} = 2k_0 + 2k_2 v_i^2 \tag{3}$$

*I*_{OUT}再经过隔直电容,只保留二次项,从输出端输出,完成了二次倍频^[9]。

### 1.2 整体结构

本文设计的自混频器三倍频器包括二倍频器和 混频器。首先将基波注入到 Push-Push 结构,获得 二次谐波,再将二次谐波与基波一起,注入到混频 器,从而获得三次谐波。

三倍自混频的原理如图 2 所示。输入频率为 9.5 GHz、功率为 0 dBm 的正弦波,由外接的 X 波 段压控振荡器获得。变压器 TR₁、TR₂ 为两个宽带 无源 Marchand 巴伦。该巴伦不仅作为单双端的转 换器件,同时作为输入与输出匹配电路的一部分,节 省了部分芯片面积。



图 2 三倍自混频的原理图

TR₁输出信号幅值相等、相位差为 180°,信号 从栅极进入 M₁、M₂管。M₁、M₂管采用共漏极结 构,二次谐波从源极输出,在 X 点处检测到二次谐 波信号。电感  $L_1$  防止二次谐波信号泄漏到地,将电 流信号转变为电压信号。M₃、M₄管构成单平衡混 频器的开关级。二次谐波信号作为射频小信号进入 M₃、M₄管的源极,基波信号作为本振大信号进入 M₃、M₄管的栅极,通过晶体管的非线性效应来获得 三次谐波。 $L_1$  不仅作为倍频器的负载,也作为混频 器的跨导级^[5],与开关级共同构成单平衡混频器。 三次谐波信号从 M₃、M₄管输入到 TR₂。TR₂完成 两路信号的相减运算,保留了基次谐波,抑制了偶次 谐波。

### 1.3 电感优化

L1 是重要的无源器件,用作倍频器的负载和混

频器的跨导级。因此,需对该电感进行品质因数 Q 的优化。

电感的紧凑集总模型如图 3 所示。L_s 为片上 螺旋电感的感值,包括自感值和内外线圈之间的互 感值;R_s 为螺旋电感使用的金属线的电阻值;C_s 为 螺旋电感两端的寄生电容;C_{oxl}、C_{ox2}分别表示衬底 与金属层之间的寄生电容;C_{sil}、C_{si2}分别表示衬底的 寄生电容;R_{sil}、R_{si2}为衬底的寄生电阻。对于 C_{ox1}、 C_{ox2},可以使用最上层金属层,使金属线与衬底的距 离最大,以减小寄生电容。但是,参数 C_{sil}、C_{si2}、R_{sil}、 R_{si2}等受工艺的影响较大,难以进行优化^[6]。



图 3 电感的紧凑集总模型

Q值随着 R_s/L 的减小而提高。因此,可通过 增大金属线宽度、采用最厚金属层、减少圈数等来减 小 R_s值,以增大电感的 Q值。但是,减小圈数会大 幅减小电感值。电感将阻碍交流电流泄漏到地,所 以不能减少电感的圈数。

本文设计的 $L_1$ 值为 1.6 nH。三种不同形状电 感的参数比较如表 1 所示。可以看出,在其他条件 相同的情况下,圆形电感的 Q 值最大,电感值较小。 为达到 1.6 nH 的电感值,需加大面积,而面积又不 能过大。因此,本文选用最接近 1.6 nH 电感值的 正方形电感。

表 1	三种不	同形	伏电!	感的	参数	比较	ξ
-----	-----	----	-----	----	----	----	---

形状	$S/\mu m$	$W/\mu{ m m}$	Ν	L/nH	$Q_{ m max}$
四边形	4	6	2.5	1.72	18.3
八边形	4	6	2.5	1.45	19.6
圆形	4	6	2.5	0.99	20.8

均匀形、渐变形螺旋电感的参数比较如表 2 所示。为进一步优化 Q 值,本文选用渐变形螺旋电感^[10]。渐变四边形电感的 3D 图如图 4 所示。优化设计后,电感的中心频率为 9.5 GHz,Q 值为 19.2,符合设计需求。

#### 表 2 均匀形、渐变形螺旋电感的参数比较

类型	$Q_{ m max}$	L/nH	中心频率/GHz
均匀	18.3	1.72	8.4
渐变	19.2	1.65	9.5



图 4 渐变形四边形电感 3D 图

#### 1.4 无源宽带 Marchand 巴伦

巴伦是一种结构特殊的变压器,在倍频器中起 着重要作用。巴伦可将单端信号转化为幅值相等、 180°相位差的双端信号。Marchand 巴伦平衡性好, 带宽大,插入损耗小。Marchand 巴伦的结构如图 5 所示。

图 5(a)所示的典型结构中^[8],初级线圈和次级 线圈均由两段微带线耦合而成。每段微带线的理论 长度为 $\lambda/4$ 。当用作单端转双端时,P。为输入信号, 双端信号从 P₁、P₂输出;当用作 180°耦合器时,P₁、 P₂ 为输入,P₀ 为输出^[7]。初级线圈最右端的微带线 是悬空放置的。因此,本文提出了如图 5(b)所示的 改进结构。



加入去耦电容的改进型 Marchand 巴伦如图 6 所示。在初级线段最右端,增加了一个去耦电容,并 将去耦电容接地。该电容可减小非平衡信号的相位 差,有利于幅值平衡。



图 6 加入去耦电容的改进型 Marchand 巴伦

10 GHz 改进巴伦的仿真结果如图 7 所示。可 以看出,该改进巴伦的幅度平衡度得到有效提高,相 位差更接近 180°。非平衡相位差减小了 2.84°,幅 度平衡度提高了 0.84 dB。



图 7 10 GHz 改进巴伦的仿真结果

典型与改进型巴伦的参数对比如表 3 所示。输入为 0 dBm、不同栅指数时的最大谐波增益如表 4 所示。可以看出,二次谐波、三次谐波的增益均在栅 指数为 2 时达到最大值,分别为 - 4.0 dB、 -17.4 dB。

类型	10 GHz 处 相位差/(°)	10 GHz 处 幅度差/dB	3 dB 相对 带宽
典型巴伦	176.82	1.03	126%
改进巴伦	180.34	0.19	120%

表 3 典型与改进型巴伦的参数对比

表 4 输入为 0 dBm、不同栅指数时的最大谐波增益

栅指数	二次谐波增益/dB	三次谐波增益/dB
2	-4.0	-17.4
4	-4.2	-21.8
6	-6.4	-27.3
8	-8.6	-31.7

取栅指数为 2,在栅极电压为 1 V、漏极电压为 0.8 V 的条件下,对栅长进行扫描。不同栅长对谐 波增益的影响曲线如图 8 所示。可以看出,二次谐 波在栅长为 95  $\mu$ m 时有最大增益,为-6.7 dB。三次 谐 波 在 栅长为 65  $\mu$ m 时有最大增益,为-15.6 dB。



### 1.5 晶体管单管优化

二倍频器与混频器都需要使用非线性器件。本 设计采用了基于 0.15 μm GaAs pHEMT 工艺的晶 体管。在倍频器部分,需使单管的二次谐波增益最 大;在混频器部分,需使单管的三次谐波增益最大。 采用 ADS 软件对所用晶体管的栅指、栅长进行仿 真。首先对栅指数进行优化,再改变直流偏置电压, 使每种情况下的谐波增益均达到最大值。

### 2 电路仿真与测试结果

基于 SANAN 0.15  $\mu$ m GaAs pHEMT 工艺, 设计了一种自混频三倍频器。原理图仿真、版图 EM 仿真均采用 ADS 完成,版图如图 9 所示。版图 尺寸为 1.9 mm×0.67 mm。



图 9 自混频三倍频器的版图

在加入 PAD 后,进行电磁仿真,根据 PAD 寄 生电容的大小对无源器件值进行微调。S 参数仿 真曲线如图 10 所示。谐波功率的频谱图如图 11 所示。输出功率与输入频率的关系曲线如图 12 所示。输出功率与输入功率的关系曲线如图 13 所示。谐波功率与输入信号频率的关系曲线如图 14 所示。

由图可知,该三倍频器的输入与输出匹配良好。当输入频率为10 GHz、功率为0 dBm 时的信号,输出功率在30 GHz 处为-12.8 dBm。当输入

频率为 9.5 GHz、功率为 0 dBm 的信号时,输出功 率在 28.5 GHz 处达到最大值,为-12.01 dBm。 谐波抑制在带宽内均大于 15 dBc,3 dB 相对带宽 为 16%。









图 14 谐波功率与输入信号频率的关系曲线

本文与其他文献中倍频器的参数对比如表 5 所示。可以看出,本文倍频器的 3 dB 相对带宽为 16%,调谐范围较宽;谐波抑制比优于其他文献,在 可调范围内均大于 15 dBc。

表 5 本文与其他文献中倍频器的参数对比

文献	倍频 次数	输入/ dBm	输出/ dBm	谐波抑制 比/dBc	3 dB 相对 带宽/%
文献[4]	2	10	5	15	3.3
文献[10]	2	-	0/-6	-	18.6
文献[11]	3	20	5	>10	20
本文	3	0	-12	>15	16

### 3 结 论

本文介绍了 Push-Push 倍频器的倍频原理,设 计了一种 X 波段自混频三倍频器。采用线宽渐变 形螺旋电感,提高了电感的 Q 值。该倍频器实现了 去耦合电容接地的改进型无源 Marchand 巴伦,相 对带宽达到 120%。仿真结果表明,该 Marchand 巴 伦减小了非平衡信号的相位差,提高了幅值平衡度。 本文采用的 SANAN 0.15 μm GaAs pHEMT 工艺 只提供了两层可用金属层,今后将考虑增加电阻隔 层,对寄生电容进行优化。

### 参考文献:

- [1] 吕翔宇. 基于 CMOS 的毫米波倍频器研究与设计 [D]. 杭州: 杭州电子科技大学, 2018.
- [2] HUANG B J, HUANG B J, CHEN C C, et al. A 40to-76 GHz balanced distributed doubler in 0.13-μm CMOS technology [C] // IEEE Europ Microwave Integr Circ Conf. Amsterdam, Holland. 2008: 17-19.
- [3] WANG W, LI W, LI N, et al. A K-band injectionlocked frequency tripler with injection-enhancement in 130-nm CMOS [C] // 12th IEEE ICSICT. Guilin, China. 2014: 1-3.
- [4] 林新,王斌.应用于汽车雷达的 X 波段二倍频器 [J].电子元件与材料,2018,37(8):71-75.
- [5] LO Y T, KIANG J F. A 0.18 µm CMOS self-mixing

frequency tripler [J]. IEEE Microwave & Wireless Compon Lett, 2012, 22(2): 79-81.

- [6] 唐长文. 电感电容压控振荡器 [D]. 上海: 复旦大 学, 2004.
- [7] MAT D A A, POKHAREL R K, SAPAWI R, et al.
   60 GHz-band on-chip Marchand Balun designed on flat and patterned ground shields for milimeter-wave 0.18 μm CMOS technology [C] // IEEE Asia-Pacific Microwave Conf. Melbourne, Australia. 2011: 884-887.
- [8] 张倩,孙玲玲,文进才.毫米波二倍频器的研究与设 计[J].杭州电子科技大学学报,2013,33(6):17-20.
- [9] 邱肖.面向超宽带低噪声放大器的片上螺旋电感分析 及优化[D].西安:西安电子科技大学,2014.
- [10] BREDENDIEK C, POHL N, AUFINGER K, et al. Differential signal source chips at 150 GHz and 220 GHz in SiGe bipolar technologies based on Gilbert-cell frequency doublers [C] // IEEE BCTM. Portland, OR, USA. 2012: 1-4.
- [11] 韩艳伟, 汪海勇, 高永安. W 波段三倍频器的设计与 仿真 [J]. 电子器件, 2012, 35(5): 518-521.

(上接第 636 页)

- [6] JAGADHESWARAN U R, RAMIAH H, MAK P, et al. A 2 μm InGaP/GaAs class-J power amplifier for multi-band LTE achieving 35.8-dB gain, 40.5% to 55.8% PAE and 28-dBm linear output power [J]. IEEE Trans Microwave Theo & Tech, 2016, 64 (1): 200-209.
- [7] BAHL I. Lumped elements for RF and microwave circuits [M]. Norwood, USA: Artech House, 2006.
- [8] KIM W Y, KANG S H, LEE K, et al. Analysis of nonlinear behavior of power HBTs [J]. IEEE Trans Microwave Theo & Tech, 2002, 50(7): 1714-1722.
- [9] VIGILANTE M, REYNAERT P. A 29-to-57 GHz AM-PM compensated class-AB power amplifier for 5G phased arrays in 0.9 V 28 nm bulk CMOS [C] // IEEE RFIC. Honolulu, HI, USA. 2017: 116-119.

- [10] VAN TRUONG D, MAI L, TRAN V, et al. 0.5 W S-band two-stage power amplifier: research, design and implementation [C] // 2nd Int Conf SigTelCom. Ho Chi Minh City, Vietnam. 2018: 51-55.
- [11] LEE H D. A linear InGaP/GaAs HBT power amplifier for LTE B7 applications [C] // ISOCC. Seoul, South Korea. 2017: 234-235.
- [12] HU L, QIAN K, WANG B. Research of high efficiency X-band power amplifier [C] // 8th ISCID. Hangzhou, China. 2015: 129-132.
- [13] SHIMURA T. A multiband power amplifier using combination of CMOS and GaAs technologies for WCDMA handsets [C] // IEEE RFIC. Tampa, FL, USA. 2014: 141-144.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

# 一种用于心电信号检测的低噪声斩波放大器

张 琦

(中国电子科技集团公司 第二十研究所, 西安 710068)

摘 要: 提出了一种适用于心电信号(ECG)检测的斩波调制放大器。基于现有的局部斩波调制 放大器,采用全局斩波调制方式优化了电路噪声性能;采用正反馈阻抗提升技术显著提高了输入 阻抗。首次提出了替代传统共源共栅结构的电流分裂式结构方案,有效降低了运放的基底噪声。 采用 TSMC 0.18 μm CMOS 工艺对该放大器进行了仿真验证。结果表明,在1.8 V 电源电压下, 功耗仅为 8.6 μW,在 0.1~100 Hz 范围内等效积分噪声为 0.26 μV·Hz^{-1/2},输入阻抗为 417 MΩ,共模抑制比达 138 dB。

关键词: 全局斩波调制;阻抗提高;电流分裂式;低噪声放大器
 中图分类号:TN722.3
 文献标识码:A
 文章编号:1004-3365(2020)05-0643-06
 DOI:10.13911/j.cnki.1004-3365.190694

### A Low Noise Chopper-Stabilized Amplifier for ECG Signal Detection

### ZHANG Qi

(The 20th Research Institute of China Electronics Technology Group Corporation, Xi'an 780068, P. R. China)

**Abstract:** A chopper-stabilized amplifier for ECG signal detection was presented. Based on the available local chopper-stabilized circuit, a global chopper modulation method was employed to optimize the noise performance. A positive feedback loop was proposed to boost the input impedance of the circuit. The current-splitting structure was first proposed to replace the traditional common-source common-gate structure, which effectively reduced the floor noise of the operational amplifier. The amplifier was simulated with the TSMC 0.18  $\mu$ m CMOS technology. The results showed that, the total power consumption was only 8.6  $\mu$ W at 1.8 V supply, the input-referred noise was 0.26  $\mu$ V · Hz^{-1/2} within the range of 0.1~100 Hz, the input impedance was 417 M $\Omega$ , and the common-mode rejection ratio was 138 dB.

Key words: global chopper modulation; impedance boosting; current-splitting; low noise amplifier

0 引 言

随着科技的不断进步,生物医学与集成电路设计的结合越来越紧密,应用于采集医学信号的专用 集成电路受到广泛关注^[1]。心电信号(ECG)是重要 的医学信号,其电极阻抗高达兆欧级^[2],信号频率低 于100 Hz 时幅度为1~5 mV。为准确检测 ECG 信 号,需要输入阻抗高、噪声低和窄带宽的专用芯片。

针对 ECG 检测电路的高输入阻抗、低噪声等需

求,已有多种设计方案。文献[3-5]采用电容直接耦 合方式,提高了输入阻抗,降低了功耗,但该方式需 大容值的片外电容。文献[6-9]采用局部斩波调制 方式,在降低噪声的同时保留了电容耦合结构输入 阻抗高的优点,但该方式存在电容失配、共模抑制比 低的缺点。

本文提出了一种新的斩波调制放大器,在常规 局部斩波调制放大器的基础上使用全局斩波调制, 提高了共模抑制比。通过采用正反馈阻抗提高技术 有效解决了全局斩波调制导致的输入阻抗下降问

收稿日期:2019-12-01;定稿日期:2020-02-25

作者简介:张 琦(1978—),男(汉族),陕西西安人,学士,高级工程师,从事集成电路设计和测试研究工作。

题。对于运放结构,本文首次提出了替代传统共源 共栅结构^[10]的电流分裂式结构,降低了整体电路的 基底白噪声,优化了放大器的噪声性能。

1 传统局部斩波调制放大器

传统局部斩波调制放大器如图 1 所示^[8]。该放 大器由折叠式共源共栅放大器 Av、斩波调制开关 S1~S2、输入电容 C_{in}、反馈电容 C_{fb}和偏置电阻 R 等组成。



图 1 传统局部斩波调制放大器原理图

该结构中,斩波调制开关 S1 置于输入电容 C_{in} 之后,只对核心放大器进行调制,有效消除了运放带 来的噪声和失调。放大器的闭环等效输入噪声为:

$$\overline{V_{n,in}^2} = \left(1 + \frac{C_{fb}}{C_{in}} + \frac{1}{sC_{in}R_{chop}}\right)^2 \cdot \overline{V_{n,OTA}^2}$$
(1)

式中, $V_{n,OTA}^2$ 为等效输入噪声, $f_{chop}$ 为斩波频率 (10 kHz), $C_p$ 为输入端寄生电容, $R_{chop}$ 为等效开关电 容电阻。斩波调制器在进行开关切换时,不断地对 该电容进行充放电,并形成电流,其效果可等效为一 个电阻。等效电阻值为:

$$R_{\rm chop} = \frac{1}{2 \times f_{\rm chop} \times C_{\rm p}} \tag{2}$$

该传统结构存在以下缺点:1)电容间失配无法消除,限制了共模抑制比;2)由式(1)可知, $C_{in}$ 与 $R_{chop}$ 会产生极大噪声。因此当 $f_{chop}$ 一定时,为实现低噪声,必须增加 $C_{in}$ 的值。ECG检测要求放大器的噪声低于 $5 \mu V \cdot Hz^{-1/2}$ 。而此时的 $C_{in}$ 值高达数十 nF,会占用极大的芯片面积,无法实现片内集成^[11]。

图 2 所示为局部斩波调制放大器中的传统折叠

式共源共栅运放结构。该电路具有共模输入范围 大、单级增益高、输出摆幅大等优点,是斩波调制放 大器的常用结构^[12]。



图 2 传统折叠共源共栅运放结构

该运放的等效输入噪声为:  $\overline{V_{n,OTA}^{2}} = 8KT \cdot \frac{2}{3} \cdot \left(\frac{1}{g_{m1,2}^{2}} + \frac{g_{m3,4}}{g_{m1,2}^{2}} + \frac{g_{m10,11}}{g_{m1,2}^{2}}\right) + 2 \times \frac{1}{C_{ax} \cdot f} \cdot \left(\frac{K_{P}}{WL_{1,2}} + \frac{K_{N}}{WL_{3,4}} \cdot \frac{g_{m3,4}}{g_{m1,2}^{2}} + \frac{K_{P}}{WL_{10,11}} \cdot \frac{g_{m1,11}}{g_{m1,2}^{2}}\right)$ (3)

为了达到低的噪声,需要增大输入管 M1、M2 的跨导 g_{m1.2},减小电流镜管 M10、M11 的跨导。为 了减小跨导,需增大输入管电流,并减小过驱动电 压,但大的电流会导致过大的功率消耗。在低功耗 ECG 检测指标下,该结构难以实现低噪声。

### 2 电流分裂式斩波调制放大器

针对局部斩波调制电路共模抑制比低、开关电 容电阻噪声大等问题,本文使用全局斩波调制方式, 并引入阻抗提高环路。对于运放结构的选取,首次 提出电流分裂式结构替代传统共源共栅结构,极大 地优化了电路的噪声性能。

### 2.1 全局斩波调制电路

本文电路中,采用全局斩波调制方式,将斩波调 制开关置于输入电容之前,除对运放进行调制之外, 还对输入及反馈电容进行调制,以消除电容引入的 失调,从而提高电路的共模抑制比。同时在反馈回 路中引入开关,以实现闭环的全局负反馈。 全局斩波调制电路如图 3 所示。该电路主要由 电流分裂放大器 Av、直流偏置虚拟电阻 M1-M4、输 入电容 C_{in}、负反馈电容 C_{th}和正反馈网络构成。



图 3 全局斩波调制电路结构

输入斩波调制开关 S1 位于输入电容之前,输入 信号被调制到高频后,再经电流分裂放大器放大,后 经斩波调制开关 S2 将放大后的信号解调至基频。 同时,将运放的 1/*f* 噪声和失调电压调制到高频,最 终实现了 1/*f* 噪声、失调电压与有用信号在频率上 的分离。调制开关 S3 的引入,使得环路在斩波调制 期间任何时刻均为负反馈状态,电路保持稳定。 M1~M4 管工作在亚阈值区,用作虚拟电阻,为电 路提供直流偏置电压。该电路的等效输入噪声为:

$$\overline{V_{n,in}^2} = \left(1 + \frac{C_{fb}}{C_{in}} + \frac{C_p}{C_{in}}\right)^2 \cdot \overline{V_{n,OTA}^2}$$
(4)

将式(4)与式(1)对比可知,在斩波调制频率取为10kHz时,全局式斩波调制电路的噪声性能远优于传统局部斩波调制电路。

#### 2.2 阻抗提高环路

全局斩波调制方式降低了整体电路的等效输入 噪声,提高了电路共模抑制比。但同时引入了一个 输入阻抗下降的新问题。原因是斩波开关和输入电 容形成的开关电容电阻替代了原有电容作为整个运 放的输入阻抗。此时,运放的输入阻抗为:

$$Z_{\rm in} = \frac{1}{2 \cdot s \cdot f_{\rm chop} \cdot C_{\rm in}} \tag{5}$$

本文中, $f_{chop}$ 取为 10 kHz,运放输入阻抗约为 42 M $\Omega$ 。考虑到寄生电容、工艺精度等因素,实际输 入阻抗更低。因此,输入阻抗无法满足电极传感器 的采样要求^[12]。 为解决此问题,本文提出了一种阻抗提高环路 (如图 3 所示)。该阻抗电路环路由斩波调制开关 S4 和两个正反馈电容  $C_{pf}$ 组成。将  $C_{pf}$ 连接到运放 输入端形成正反馈。斩波调制后传导电流  $I_{pf}$ 流经  $C_{pf}$ ,调整电容值,使得  $I_{pf}$ 与反馈电路产生的电流  $I_{fb}$ 大小相等、相位相反,此时电路不从信号源获取电 流, $I_{in_pf}$ 为零,电路输入阻抗则趋于无穷大。由于工 艺精度有限,为保证输入阻抗为正值来避免完全补 偿,取较小的  $C_{pf}$ 值,输入阻抗理论值则下降为:

$$Z_{\text{in_pf}} = \frac{V_{\text{in}}}{I_{\text{in_pf}}} = \frac{A_{\text{closed}}}{2s \cdot f_{\text{chop}} \cdot C_{\text{in}}} = A_{\text{closed}} \cdot Z_{\text{in}} \quad (6)$$

式中,Z_{in}为式(5)(加入阻抗提高环路前)的输入阻抗值。对比可知,该阻抗提高环路将输入阻抗 提高了 100 倍。图 4 所示为整体电路的输入阻抗仿 真曲线。可以看出,加入阻抗提高环路后,输入阻抗 高达 478.75 MΩ,满足了电路的需求。





### 2.3 电流再分配运放原理分析

由式(1)及(4)可知,斩波调制电路中采用的运 放结构对整体电路贡献的噪声为 $\overline{V_{n,OTA}^2}$ ,这在很大 程度上决定了电路的噪声性能。在图 2 所示的传统 共源共栅电路中,M3、M4 管流过的电流最大,产生 大量噪声,但电流仅用于供给小信号通路,电流得不 到有效利用。为此,本文提出了电流分裂式共源共 栅运放结构,如图 5 所示。该电路对流过 M3、M4 管的电流进行处理,降低了基底噪声^[13]。

将传统结构中的驱动管 M1、M2 分别分裂为两 个相同的晶体管 M1a、M1b 和 M2a、M2b。M3、M4 管被分裂为两个电流镜,其电流分配比为 1 : k。 M3a、M3b 管和 M4a、M4b 管的漏端与 M1b、M2b 管的漏端交叉相连,保证流入 M6、M7 管源端的小 信号电流反相相加。M12、M13 管的宽长比与 M6、 M7 管相同,保证 M3a、M3b 管和 M4a、M4b 管有相 同的漏电压,以提高晶体管的匹配程度。M14~

### M17 管用于减小电流镜支路的电流, M6~M11 管

为共源共栅管,用于提高输出阻抗,增加运放增益。



图 5 电流分裂式共源共栅运放结构

(7)

该电路的等效跨导为:

 $G_{\rm mR} = g_{\rm m1a} \left(1 + k\right)$ 

而图 2 所示传统结构的等效跨导为  $G_m = g_{ml}$ , 考虑到图 2 中 M1 管流过的电流为 M1a 管的两倍, k 值取 3,则电流分裂式结构的跨导为传统结构的两 倍。电流分裂式结构的等效输入噪声为:

$$\overline{V_{n,OTA}^{2}} = 8KT \cdot \frac{2}{3} \left( \frac{1+k^{2}}{g_{mla,2a}(k+1)^{2}} + \frac{g_{m3a,4a}}{g_{mla,2a}^{2}} \frac{1}{k+1} + \frac{g_{m1a,2a}}{g_{m1a,2a}^{2}} \frac{1}{k+1} + \frac{g_{m1a,2a}}{g_{m1a,2a}^{2}} \frac{1}{(k+1)^{2}} \right) + 2\frac{1}{C_{ox}f} \left( \frac{K_{P}(1+k^{2})}{WL_{1a,2a}(k+1)^{2}} + \frac{K_{N}}{WL_{3,4}} \frac{g_{m3a,4a}}{g_{m1a,2a}^{2}} \frac{1}{k+1} + \frac{K_{P}}{WL_{10,11}} \frac{g_{m10,11}}{g_{m12}^{2}} \frac{1}{(k+1)^{2}} \right)$$

$$(8)$$

将式(8)与式(3)对比可知,在功耗相同的条件下,电流分裂式结构有效减小了运放的等效输入噪 声 $\overline{V_{n,OTA}}^2$ ,实现了低噪声。本文的斩波调制放大器的主要参数如表1所示。

≪↓ 扒似妈妈瓜人留的工女学女
-----------------

参数	设计值
分裂式运放增益 A _{open} /dB	108
电路闭环增益 $A_{\rm closed}/{ m dB}$	40
斩波频率 $f_{chop}/kHz$	10
阻抗提高电容 $C_{in}/pF$	0.12

3 电路仿真与验证

对于本文提出的斩波放大器在 TSMC 0.18  $\mu$ m 工艺库下进行仿真验证。等效输入噪声及带内噪声 的仿真曲线如图 6 所示。可以看出,加入斩波调制 后,等效输入噪声由 3.15  $\mu$ V/ $\sqrt{Hz}$ 下降为 42 nV/  $\sqrt{Hz}$ 。斩波调制方式的引入有效降低了电路的噪 声。对 0.1~100 Hz 频带内的输入噪声进行积分, 得到该频带内的积分噪声,为 0.26  $\mu$ V。在不同工 艺角下噪声的仿真曲线如图 7 所示。可以看出,在 1 kHz 处,电路噪声谱密度低于 21 nV/ $\sqrt{Hz}$ ,不同 工艺角下,积分噪声最大值小于 4  $\mu$ V。

电路的增益仿真曲线如图 8 所示。可以看出, 闭环增益为 39.66 dB,带宽为 96.9 kHz。







图 8 增益的仿真曲线

在 50 Hz 频率、1 mV 峰-峰幅度的输入正弦信 号下,瞬态特性仿真曲线如图 9 所示。可以看出,输 出波形因斩波调制效应而存在斩波频率的高次谐 波。经低通滤波后的波形如图中下方曲线所示,其 信号幅值约为 97 mV,即增益为 39.66 dB。该结果 与交流仿真结果一致。



线性度仿真曲线如图 10 所示。可以看出,在输入峰-峰幅度为 1 mV 的条件下,波形的基频值为

-3.62 dBm,高次谐波分量较小,电路的线性度好。 在输入峰-峰幅度为 10 mV 的条件下,电路仍具有 较好的线性度。



图 10 线性度的仿真曲线

共模抑制比的仿真曲线如图 11 所示,电源抑制 比的仿真曲线如图 12 所示。可以看出,共模抑制比 大于 100 dB,电源抑制比大于 90 dB。综上可知,采 用全局斩波调制结构能有效降低失调电压,提高电 路性能。




图 12 电源抑制比的仿真曲线

本文与其他文献中斩波放大器的参数对比如表 2 所示。可以看出,本文斩波放大器在噪声密度、等 效输入阻抗、共模抑制比等方面均有优势。

表 2	本文与其他文献中斩波调制放大器的参数对比

参数	文献[2]	文献[3]	文献[4]	本文
工艺/µm	0.35	0.18	0.13	0.18
电源电压/V	2.7	1.8	1.2	1.8
功耗/ $\mu$ W	272.7	46.18	93.6	8.6
输入噪声/ (µV・Hz ^{-1/2} )	0.97	5.06	2.72	0.26
积分频段/Hz	0.5~100	0.5~107	0.1~100	0.1~100
输入阻抗/MΩ	100	-	500	417
共模抑制比/dB	114	90.89	87.4	138

#### 4 结 论

本文采用全局斩波调制方式设计了一种低噪 声、高输入阻抗、高共模抑制比的心电信号检测电 路。采用正反馈阻抗提高技术环路大幅提高了输入 阻抗;采用全局斩波方式消除了电容失配的影响,提 高了电路共模抑制比;采用电流分裂式运放结构替 代折叠式共源共栅结构,降低了运放内部的等效输 入噪声。该斩波放大器的带内噪声达 0.26  $\mu$ V• Hz^{-1/2},输入阻抗为 417 M $\Omega$ ,共模抑制比为 138 dB。该斩波放大器设计与 CMOS 工艺兼容,电路性 能良好,适用于心电信号检测。

#### 参考文献:

- [1] PIN O C, JAMBEK A B, YAACOB S. Circuit architectures reviews for portable ECG signal analyzer [C] // 2nd ICED. Penang, Malaysia. 2014; 261-264.
- [2] 浦小飞.穿戴式电生理监测系统的超低功耗、低噪声模

拟前端集成电路研究与设计 [D]. 上海: 复旦大学, 2013.

- [3] 谢宇智.带纹波抑制环路的植入式低噪声模拟前端研 究与设计 [D]. 广州:华南理工大学, 2013.
- [4] CHANG C H, ONABAJO M. Instrumentation amplifier input capacitance cancellation for biopotential and bioimpedance measurements [C] // IEEE Int MWSCAS. College Station, TX, USA. 2014: 539-542.
- [5] BAGHERI A, SALAM M T, VELAZQUEZ J, et al. 56-channel direct-coupled chopper-stabilized EEG monitoring ASIC with digitally-assisted offset correction at the folding nodes [C] // IEEE BioCAS. Lausanne, Switzerland. 2014: 659-662.
- [6] SONGET S, ROOIJAKKERS M J, HARPE P, et al. A 430 nW 64 nV/ √Hz current-reuse telescopic amplifier for neural recording applications [C] // IEEE BioCAS. Rotterdam, Netherlands. 2013: 322-325.
- [7] KHATAVKAR P, ANIRUDDHAN S. 552 nW per channel 79 nV/√Hz ECG acquisition front-end with multi-frequency chopping [C] // IEEE BioCAS. Lausanne, Switzerland. 2014: 624-627.
- [8] LIU X,ZHU H,ZHANG M, et al. Design of a low-noise, high power efficiency neural recording front-end with an integrated real-time compressed sensing unit [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 2996-2999.
- [9] WORAPISHET A, DEMOSTHENOUS A, LIU X. A CMOS instrumentation amplifier with 90-dB CMRR at 2-MHz using capacitive neutralization: analysis, design considerations, and implementation [J]. IEEE Trans Circ & Syst I: Regu Pap, 2011, 58(4): 699-710.
- [10] FAN Q, SEBASTIANO F, HUIJSING J H, et al. A 1.8  $\mu$ W 60 nV / $\sqrt{Hz}$  capacitive-coupled chopper instrumentation amplifier in 65 nm CMOS for wireless sensor nodes [J]. IEEE J Sol Sta Circ, 2011, 46 (7): 1534-1543.
- [11] CHEN J Y, LI X Q, MI X, et al. A high precision EEG acquisition system based on the compact PCI platform [C] // Int Conf Biomed Engineer & Inform. Dalian, China. 2014: 511-516.
- [12] 孟妍,郑刚,戴敏.可穿戴式心电信号采集电极的研究 [J].天津理工大学学报,2014,21(5):22-25.
- [13] XU J W, YAZICIOGLU R F, GRUNDLEHNER B, et al. A 160 μW 8-channel active electrode system for EEG monitoring [J]. IEEE Trans Biomed Circ & Syst, 2011, 5(6): 555-567.
- [14] QIAN C, PARRAMON J, SANCHEZ-SINENCIO E. A micropower low-noise neural recording front-end circuit for epileptic seizure detection [J]. IEEE J Sol Sta Circ, 2011, 46(6): 1392-1405.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

## 一种基于 LTCC 工艺的兆赫兹变压器设计

冉建桥, 尹 华, 张小林 (中国电子科技集团公司 第二十四研究所, 重庆 400060)

 摘 要: 通过对高可靠混合集成 DC/DC 变换器小型化难点分析,阐述了在兆赫兹开关频率下, 采用 LTCC 工艺实现平面变压器的原理。并从设计、版图、工艺三方面采取措施,制作了一种基于 LTCC 工艺的兆赫兹级变压器,并通过工程实例进行了验证。
 关键词: DC/DC 变换器; LTCC; 平面变压器; 混合 IC
 中图分类号:TN86; TM433
 文献标识码:A
 文章编号:1004-3365(2020)05-0649-04
 DOI:10.13911/j. cnki.1004-3365.200282

#### Design of a Megahertz Transformer Based on LTCC Process

RAN Jianqiao, YIN Hua, ZHANG Xiaolin

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

**Abstract:** The problems of miniaturization of high reliable DC/DC converter based on hybrid IC process were analyzed. The mechanism of realizing plane transformer by LTCC process combined with megahertz switching frequency in high reliability DC/DC converter was expounded. By making a comprehensive consideration of design, layout and process, a megahertz transformer base on LTCC process was designed and implemented, and it was verified by an engineering example.

Key words: DC/DC converter; LTCC; plane transformer; hybrid IC

0 引 言

DC/DC 变换器是高可靠装备供电系统中的核 心关键部件,其小型化需求日益迫切。变压器是实 现 DC/DC 变换器电压变换功能的关键元件,其性 能对 DC/DC 变换器的尺寸、重量、可靠性等具有决 定性作用。开关频率的提高是实现 DC/DC 变换器 小型化的重要技术路径^[1-2]。目前,对于厚膜混合 IC 工艺制作的高可靠 DC/DC 变换器,最高开关频 率达 600 kHz,未来趋势足向兆赫兹级迈进。随着 宽禁带器件应用的日益成熟,功率开关越来越接近 理想开关,高频性能得到明显改善,扫清了 DC/DC 变换器实现兆赫兹开关频率的一大障碍。随着开关 器件频率性能的提升,变压器性能逐步成为制约 DC/DC 变换器高频化、小型化的主要因素^[3]。

在特别严酷的应用环境中,采用多层 PCB 工艺 制造的平面变压器难以满足某些 DC/DC 变换器的 可靠性要求,而其他传统工艺也难以满足高频化、小 型化要求。本文采用制作高可靠 DC/DC 变换器的 LTCC 成熟工艺,对兆赫兹变压器开展了设计研究, 实现了一种高频、小型 DC/DC 变换器。

1 变压器设计现状

变压器设计技术是提升 DC/DC 变换器功率密 度的关键技术。随着 PCB 工艺技术和 DC/DC 变换 器设计技术的发展,出现了平面变压器。平面变压

#### 收稿日期:2020-05-17;定稿日期:2020-06-30

作者简介:冉建桥(1964—),男(汉族),四川南充人,高级工程师,从事二次集成工艺、功率 IC 和 DC/DC 变换器设计。 尹 华(1969—),男(汉族),四川宜宾人,高级工程师,从事高可靠混合 DC/DC 变换器研发工作。 张小林(1963—),男(汉族),四川长寿人,高级工程师,从事微电子学与固体电子学技术及二次 IC 研发工作。 器采用多层厚铜工艺实现变压器与功率变换电路的 紧密集成,极大地提高了 DC/DC 变换器的功率密 度。高功率密度 DC/DC 变换器通常采用平面变压 器设计来提高功率密度,采用 PCB 工艺制作的平面 变压器如图 1 所示。



(a) 内部绕组图



(b) 外观图图 1 PCB 工艺制作的平面变压器

在高可靠 DC/DC 变换器制作工艺中,通常采 用陶瓷基板作为元件载体,采用厚膜印刷工艺制作 基板。由于工艺不同,导致厚膜印刷工艺难以实现 变压器的平面集成。折中的办法是采用铜片叠加工 艺实现平面变压器在高可靠 DC/DC 变换器中的应 用,如图 2 所示。带来的效果是变压器高度降低,绕 组损耗减小,不足之处是受工艺限制,绕组匝数有 限,只能在特定设计中使用。



图 2 采用铜片叠加工艺制作的平面变压器 现有厚膜工艺实现的平面变压器有如下缺点:

1)平面变压器需要在基板上开孔,陶瓷基板成形工 艺难度大,成本高,产品可靠性较低^[5];2)厚膜多层 布线使得变压器绕组的设计难度加大;3)受层数的 限制,变压器的绕组损耗和导带电阻均难以降低。 为了实现高可靠 DC/DC 变换器中变压器的平面集 成,需要寻求新的技术路径。

#### 2 LTCC 工艺特点

低温共烧陶瓷(LTCC)工艺采用独特的多层共 烧工艺,降低了工艺的复杂度,提高了电路可靠性。 LTCC工艺具有如下优点:1)陶瓷基板与厚膜工艺 兼容;2)布线层数多,易于元件集成;3)可集成电阻、 电容和电感等无源元件,而传统厚膜工艺只能集成 电阻^[6];4)采用孔加工工艺,可实现绕组的自由排 列,利于绕组优化。

采用 LTCC 工艺制作的平面变压器有如下特点^[7]:1)采用绕阻并联使得导带电阻降低,从而降低 了绕组损耗,可实现大于 60 层的结构设计;2)由于 每层导带厚度有限,在低频应用时难以通过多层叠 加达到绕组厚度要求,而在兆赫兹级高频应用时导 带的趋肤深度迅速下降,则可通过多层叠加达到绕 组厚度要求,从而降低绕组损耗;3)多层工艺有利于 实现电磁屏蔽设计,甚至可以取消输入和输出的共 模噪声滤波电容,从而降低兆赫兹级高频所致的 EMI 效应。

综上所述,当工作频率进入兆赫兹级时,采用 LTCC工艺可实现变压器的平面集成,从而有效提 高 DC/DC 变换器的功率密度、效率和可靠性。

#### 3 基于 LTCC 工艺的变压器设计

本次实验样品为LTCC工艺制作的DC/DC变 换器,参数有:输入电压范围为18~36 V,输出电压 为5 V,输出电流为10 A。为满足小型化的要求,工 作频率设置为1 MHz,变压器采用平面集成。变压 器设计时,考虑到导带电阻的影响,减少了绕组总的 匝数。经过软件优化后,变压器的初级匝数设置为 3 匝,次级匝数设置为1 匝。该匝数比采用两层实 现,四层实现一个绕组单元。其中一个绕组单元如 图 3 所示,图中,P 表示初级绕组,S_b表示次级绕组, 数字代表层数。绕组单元的纵向视图如图 4 所示。 两个 3:1 的变压器并联使用,形成一个 PSSP 策略 绕组单元^[8]。 LTCC 工艺的印刷导带膜厚为 15 µm,浆料主 要成分为 Ag,掺杂有其他元素。该 LTCC 工艺印 刷形成的导带电阻率远大于 PCB 工艺的铜导带。 采用多个单元绕组并联的方式减小了导带电阻,并 联的单元数量越多,导带电阻越小。



图 4 绕组单元的纵向视图

根据工艺能力,样品采用 7 个绕组单元并联的 方式,即 14 个 3:1 的变压器并联,层数为 28。单 元绕组的 2D FEA 分析结构如图 5 所示。



图 5 2D FEA 分析结构

本文设计的技术难点是需要结合考虑多层绕组 的并联方式以及多层绕组并联后形成的寄生参数分 布。为了解决这个技术难点,采用有限元仿真软件 进行优化设计,需优化变压器的电磁能量分布。采 用并联策略使损耗均匀分布在导带上^[9],可减小导 带寄生电阻。可以看出,初级绕组电流的均匀性比 次级绕组电流更好。在同一匝内,除接近气隙部分 的损耗稍大,整个导带内损耗分布均匀。这表明采 用上述绕组策略有效避免了邻近效应和趋肤效应的 影响,有效降低了绕组损耗。还可以看到,电场能量 均匀分布。这表明,该变压器的寄生电容显著降低, 高频工作能力得到提高。绕组的损耗分布和电场能 量分布分别如图 6、7 所示。



### 4 基于 LTCC 工艺的变压器制作

本文基于 LTCC 工艺设计了一种变压器。该 变压器的总层数为 28,最小间距为 150 μm,膜厚为 15 μm。该变压器采用埋孔和通孔,实现了绕组相 互连接。LTCC 制作工艺流程如图 8 所示。本文的 平面变压器实物图如图 9 所示。



图 8 LTCC 制作工艺流程



2020年



图 9 平面变压器实物图

#### 5 样品测试

本文变压器的初级电感值为 2.48  $\mu$ H,次级电 感值为 0.28  $\mu$ H,均在允许的误差范围内。变压器 的匝数比为 3:1,初级直流电阻值为 97 m $\Omega$ ,次级 直流电阻值为 36 m $\Omega$ ,初级、次级直流电阻值均大于 设计值。原因是,实际加工过程中膜厚的测量值为 8.5  $\mu$ m,该值与设计值有较大差距,导致直流电阻 偏大。将该变压器按照反激拓扑进行测试,输入电 压为 18 V,占空比为 47%,采用二极管整流,测试负 载功率为 30 W,开关频率为 1 MHz。在上述条件 下测试得到的波形如图 10 所示。



图 10 测试波形

可以看出,在没有任何吸收的情况下,低端的漏 感振荡较明显。在实际应用中,可以改变绕组策略 或降低漏感,也可以在电路设计时增加吸收电路或 采用有源嵌位,以消除漏感。由图可知,该变压器的 效率为71.6%。影响效率的原因有:1)直流电阻偏 大;2)普通功率 MOS 管的使用导致高频开关的损 耗较大;3)二极管整流方式难以实现高效率。

综上所述,LTCC 工艺制作的平面变压器可以 实现高密度能量变换。在兆赫兹级频率下,变压器 体积显著减小,功率密度得到较大提升。本文方案 实现了高可靠 DC/DC 变换器的小型化。

#### 6 结 论

在兆赫兹级工作频率下,本文采用 LTCC 工艺 的多层布线技术并结合有限元的仿真技术,设计了 一种改进型平面变压器,并将其应用于高可靠 DC/ DC 变换器中。在不降低可靠性的前提下提高了器 件的功率密度,实现了器件的小型化。目前,基于 LTCC 工艺的兆赫兹级 DC/DC 变换器尚处于初级 研制阶段,变压器的效率有待进一步提升。

#### 参考文献:

- [1] 刘意,李燕珊,梁博烨. 基于 MMC 的 DC/DC 变换器 的研究综述 [J]. 自动化技术与应用,2017,36(8):
   1-7.
- [2] 武远征,王亚君.高性能双向 DC-DC 变换器设计 [J]. 电子器件,2018,41(6):1411-1415.
- [3] 万志华,王建军,张昊东,等.14 V 输出 DC/DC LLC 谐振变换器的研究 [J]. 通信电源技术,2018,35(7): 5-8.
- [4] 叶剑,李元勋,陈鑫华,等. 基于 LTCC 工艺的 DC-DC 变换器设计与制作 [J]. 实验科学与技术,2017, 15(5):42-45.
- [5] 王晓薇. 基于 LTCC 内埋置电感的 DC/DC 变换器设计[D]. 成都:电子科技大学, 2018.
- [6] 徐全吉,袁家军.一种低温共烧多层压电陶瓷变压器 [J].压电与声光,2019,41(3):452-454.
- [7] 曹龙轩,朱云龙,金学健,等.宽带变压器在压电陶瓷
   驱动电源中的应用[J].压电与声光,2018,40(3): 384-388.
- [8] 张小勇,张庆,饶沛南,等.LLC谐振全桥软开关 DC/DC变换器研究[J].机车电传动,2019(3): 95-98.
- [9] 姚洪涛, 粟梅, 但汉兵, 等. 一种并联输入并联输出的 宽范围双向隔离 DC/DC 变换器 [J]. 电源学报, 2020, 18(3): 13-21.

第 50 卷 第 5 期	微 电 子 学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

## 采用采样开关线性增强技术的 12 位 100 MS/s SAR ADC

戴永红¹,徐代果²,蒲 杰²,徐世六²,张建平²,张俊安²,王健安² (1.中国电子科技集团公司 第二十四研究所,重庆 400060; 2. 模拟集成电路国家重点实验室,重庆 400060)

摘 要: 提出了一种采用采样开关线性增强技术的 12 位 100 Ms /s SAR 模数转换器(ADC)。 首先采用了一种基片浮动技术,随着输入信号的变化,采样开关的寄生电容变化减小,总寄生电容 降低。其次采用了一种采样开关基片升压技术,降低了采样开关的导通阻抗。最后,采用 40 nm CMOS 工艺制作了一种 12 位 100 MS/s SAR ADC。测试结果表明,在电源电压 1 V 下,该 ADC 的 SNDR 为 64.9 dB,SFDR 为 83.2 dB,消耗功率为 2 mW。该 ADC 的核心电路尺寸为 0.14  $\mu$ m × 0.14  $\mu$ m。FoM 值为 13.8 fJ/(conv·step) @Nyquist 频率。

 中图分类号:TN79⁺2
 文献标识码:A
 文章编号:1004-3365(2020)05-0653-06

 DOI:10.13911/j.cnki.1004-3365.190739
 文献标识码:A
 文章编号:1004-3365(2020)05-0653-06

关键词: 模数转换器;线性增强采样开关;逐次逼近寄存器

## A 12 bit 100 MS/s SAR ADC with Sampling Switch Linearity Enhanced Technique

DAI Yonghong¹, XU Daiguo², PU Jie, XU shiliu², ZHANG Jianping², ZHANG Jun'an², WANG Jiang'an²

The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China;
 Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China)

**Abstract:** A 12-bit 100-MS/s SAR ADC with sampling switch linearity enhanced technique was proposed. First, a substrate floating technique was proposed. With the variation of input signals, the parasitic capacitance variation of sampling switch had been reduced, and the total parasitic capacitance had been also depressed. Secondly, the substrate boost technology of sampling switch was proposed, and the on-impedance of sampling switch had been decreased. Finally, a 12 bit 100 MS/s SAR ADC was fabricated in a 40 nm CMOS technology. The test results showed that the SNDR was 64.9 dB, the SFDR was 83.2 dB, and the consuming power was 2 mW at 1 V power supply. The core cell size of the ADC was 0.14  $\mu$  m×0.14  $\mu$ m. The FoM value was 13.8 fJ/conversion-step at Nyquist frequency.

Key words: analog-to-digital converter; linearity enhanced sampling switch; successive approximation register

收稿日期:2019-12-01;定稿日期:2019-12-25

基金项目:重庆市科技局科研基金资助项目(stc2018jszx-cyztzx0204,stc2018jszx-cyztzx0206)

作者简介:戴永红(1967—),女(汉族),四川内江人,高级工程师,长期从事模拟集成电路技术情报及专利分析工作。 徐代果(1982—),男(汉族),重庆人,博士,高级工程师,从事模拟集成电路技术及 A/D 转换器设计技术研究工作。

#### 0 引 言

近年来,随着 CMOS 技术的发展,逐次逼近寄 存器模数转换器(SAR ADC)已经能实现数百 MS/s 的采样率,且具有较高功率效率、较小面积的优 点^[1-10]。8 至 12 位的 SAR ADC 可达数百或数千 MS/s 采样率,面积较小,功率效率较高^[11-22]。采用 高性能 SAR ADC,并采用先进 CMOS 工艺,时间交 织 SAR ADC (TISAR ADC)能实现高可扩展性和 高功耗的优势。文献[23-28]提出了几种校正技术, 用于校正时间交织 SAR ADC 中因通道不匹配而产 生的非理想误差。

对于 SAR ADC,采样开关的线性度因采样开 关中的源极/漏极寄生二极管而成为系统线性度的 瓶颈。寄生二极管的等效电容随输入信号的变化而 变化,使得 SAR ADC 采样网络的电压系数不是常 数,因此采样开关的线性度受到限制。为了在高速 实现中获得较小的导通阻抗,需要采用面积较大的 采样开关。为了实现高无杂散动态范围(SFDR), 需要采用高线性度的采样开关。文献[29]提出了一 种缓冲自举技术,缓解了采样开关依赖于信号的电 荷注入的现象。文献[30]引入了一种高线性度技 术,减小了采样开关的寄生电容,但需 3 个辅助开 关,总寄生电容增大。文献[31]采用寄生电容补偿 技术实现了一种线性改进型采样开关,在无需深 n 阱工艺下减小了采样寄生电容的变化,但总寄生电 容增大,抑制了采样速度。

本文提出了一种基于衬底悬浮技术的高线性度 SAR ADC,减小了采样开关的寄生电容和总寄生电 容。采用一种采样开关基片升压技术,降低了采样 开关的导通阻抗,实现了低的导通阻抗。该 SAR ADC 只使用了1个辅助开关,简化了电路结构,降 低了采样寄生电容。

1 设计实现

#### 1.1 系统结构

12 位 SAR ADC 结构及时间序列如图 1 所示。 为了实现高线性度,输入信号的  $V_{PP}$ 设置为 0.8 V。 对于 1.5 fF 单元电容,kT/C噪声(rms)为 0.04 mV, 动态比较器的等效输入参考噪声(rms)需要小于 0.24 mV。传统高速 SAR ADC 采用串行转换模 式,采样时间比流水线 ADC 和 Flash ADC 更短,因 此采样开关尺寸增大,导通电阻减小。采样开关尺 寸较大时,从源极/漏极到衬底均会产生寄生二极 管,从而影响 SAR ADC 的线性度。



#### 1.2 传统电路

传统 NMOS 采样开关的原理图如图 2(a)所示。采用传统深 n 阱工艺制作的 NMOS 采样开关的剖面图如图 2(b)所示。图中,P-sub 为晶圆片衬底,DNW 为深 n 阱,PW 为 NMOS 采样开关的隔离衬底,NW 为 n 阱,P⁺ 和 N⁺分别为 P 注入区和 N 注入区。



## (b)器件剖面图图 2 传统 NMOS 采样开关原理图

当采样开关打开时,反向偏压二极管 D1、D2 工 作在反向偏置区域,D1、D2 则可看作是两个可变的 势垒电容  $C_1$  和  $C_2$ 。 $C_1$  和  $C_2$  的突变点近似为:

$$C_{1,2} = A \left(\frac{\varepsilon_s q N_A}{2V_{\rm in}}\right)^{1/2} \tag{1}$$

式中,A 为 PN 结的面积,q 为单位电荷的数量,  $\varepsilon_s$  为材料的介电常数, $N_A$  为掺杂浓度, $V_{in}$ 为输入信 号电压,它也是为 D1、D2 的反向偏压。

由式(1)可知, $C_{1,2}$ 的值随着 $V_{in}$ 的变化而变化, 所以 SAR ADC 的 SFDR 会随着采样开关的寄生电 容变化而恶化。

#### 1.3 本文提出的电路

本文提出的采样开关的原理图如图 3(a)所示。 辅助开关 K 连接采样开关 M 的衬底 PW 和 GND。 为了使采样开关的导通电阻更小,在采样相位时提 高采样的衬底电压。当采样开关关闭时,K 被打开, 采样开关衬底电压被拉到 0;当采样开关打开时,K 关闭,采样开关为浮空状态。因为 C_c 的值很小(约 为 5 fF),所以在 PDK(MOM 电容)中不使用电容 模型。本设计中,C_c 是由 metal3 层到 metal5 层的 寄生电容而形成,C_c 的值可灵活调整,以符合实际 条件。因此,本文采样开关的阈值电压得到提高,导 通电阻得以减小。为了减少 PW 的泄漏,PW 的电 压设置为 0.3~0.4 V,C_c 和 K 的寄生电容远远小 于采样开关 M 的寄生电容。

本文提出的采样开关的剖面如图 3(b)所示。 以可变寄生电容  $C_1$  (PN⁺ 结二极管)和  $C_3$  (PN 结二 极管)的寄生电容变化为例。 $C_1 与 C_3 串联, 若忽略$  $C_c, 采样开关的总寄生电容为 <math>C_1 \parallel C_3$ ,因此,串联后 的寄生电容减小。PW 电压  $V_P$  会随着输入信号  $V_{in}$ 的变化而变化,由于  $C_1$ 和  $C_3$ 的偏电压效应,  $V_P$ 的 变化取决于  $V_{in}$ 和  $C_1$ 、 $C_3$ 的值。 $C_2$ 、 $C_4$ 的工作原理 与  $C_1$ 、 $C_3$ 类似。



图 3 本文提出的采样开关原理图

对于 P 点,采用小信号等效分析方法,根据基 尔霍夫电流定律,可得:

$$(\Delta V_{in} - \Delta V_{p})C_{1}s = \Delta V_{p}C_{3}s$$

$$(2)$$

$$\mathcal{C}_{3} \cong \mathcal{F} \quad 3C_{1}, \Delta V_{p} = 0.25\Delta V_{in}, \underline{\mathcal{F}} = \mathcal{I}_{1}(1),$$

通过 Matlab 仿真可得,当V_{in}从 0.1 V 变化至1.1 V 时,*C*₁、*C*₃ 的值分别减小了 34%、10%。由于 *C*₁ 与 *C*₃ 为串联关系,因此总寄生电容明显降低。

另外,*C*₁、*C*₃的不平衡变化明显减少。*C*₁与*C*₃的偏置变化相反,因此采样开关寄生电容的变化非常小。由于*C*₁与*C*₃的串联关系,本文开关与文献 [29]相比,寄生电容的变化幅度减少为原有值的一 半;与文献[31]相比,总寄生电容显著降低,原因是 寄生电容与补偿电容并联,等效寄生电容大幅降低。 本文还采用了衬底升压技术,在采样阶段通过*C*。来 提高 PW 电压,使阈值电压降低,从而降低了导通 阻抗。

#### 1.4 性能比较

为了验证本文提出的线性增强开关技术,基于 40 nm CMOS 工艺设计了 4 个相同大小的采样开 关。将 40 nm CMOS 工艺中采样开关的寄生电容 输入 Matlab 软件。采样开关中,从源、漏到衬底的 总寄生电容  $C_{\rm B}$  与 $V_{\rm in}$ 的关系曲线如图 4 所示。



可以看出,当输入信号由 0.1 V 变化至 1.1 V 时,在文献[29]、[31]中,寄生电容分别减小了 31%、10%。在文献[30]中,寄生电容的变化很小, 但由于有 3 个辅助开关,总寄生电容增加。由于采 用了衬底悬浮动技术,本文采样开关的寄生电容的 变化幅度仅为 3.2%。

文献[31]的总平均寄生电容大于46 fF,文献 [29]、[30]的总平均寄生电容分别为29 fF、23 fF。 考虑开关K和C。的寄生电容,本文采样开关的总 寄生电容小于12 fF。与文献[29]、[30]、[31]相比, 本文采样开关的寄生电容分别减小了41%、45%、 24%。因此,本文采样开关的线性度较高。本文采 样开关的阈值电压变化幅度小于8 mV,这对于12 位 ADC 来说相当小。 4 个采样开关基于 40 nm CMOS 工艺设计,对 制作的 12 位 100 MS/s ADC 进行了仿真。采样时 间为 500 ps,采样电容为 3 pF。采样开关的 SFDR 随输入频率的变化曲线如图 5 所示。可以看出,与 文献[29]、[30]、[31]相比,本文开关的 SFDR 改善 了 7.8 dB、5 dB、7.3 dB。在 PVT 变化情况下,当输 入频率从 DC 变化至 50 MHz 时,与文献[29]、 [30]、[31]相比,本文开关的 SFDR 改善最小值为 5.3 dB。



图 5 采样开关的 SFDR 随输入频率的变化曲线

当峰-峰值电压  $V_{PP}$ 从 0.6 V 变化至 1.2 V 时, 采样开关的 SFDR 随输入  $V_{PP}$ 的变化曲线如图 6 所 示。可以看出,寄生电容和总寄生电容的变化很小, SFDR 仅劣化了 6 dB。而文献[29]、[30]、[31]劣化 了 13 dB、9.5 dB 和 8.7 dB。随着  $V_{PP}$ 的增加,本文 的线性优化方法显示出更明显的优势。当输入  $V_{PP}$ 增加到 1.2 V 时,与文献[29-31]相比,SFDR 的改 善最小值为 5 dB。



2 测试结果与分析

本文 SAR ADC 采用 1P10M 40 nm CMOS 工 艺设计。SAR ADC 的芯片图、版图如图 7 所示。该 ADC 的核心电路尺寸为 0.14  $\mu$ m×0.14  $\mu$ m。本文 SAR ADC 的微分非线性(DNL)和积分非线性 (INL)曲线如图 8 所示。可以看出,正负峰值 DNL 为+0.44 LSB、-0.82 LSB,正负峰值 INL 为 +1.3 LSB、-1.2 LSB。



在 10 MHz 输入频率下,未采用、采用线性增强 技术的 SFDR 曲线分别如图 9(a)和图 9(b)所示。 可以看出,未采用线性增强技术时,SFDR 只有 77.8 dB。采用该线性增强技术后,SFDR 由 78 dB 提高到 84.2 dB。在 100 MHz 工作频率、1 V 电源 电压的条件下,总功耗约为 2 mW。在 49 MHz 输 入频率下采用本文线性增强技术后的 SFDR 和 SNDR 的测试曲线如图 10 所示。可以看出,SFDR、 SNDR 分别为 83.2 dB、64.9 dB。





(b) 采用线性增强技术





图 10 在 49 MHz 输入频率下采用本文线性增强技术后的 SNDR、SFDR 曲线

本文与其他文献中 SAR ADC 的参数对比如表 1 所示。

参数	文献 [6]	文献 [9]	文献 [10]	本文
工艺/nm	40	40	40	40
分辨率/bit	12	12	12	12
电源电压/V	0.9	1.1	0.9	1
采样率/(MS・s ⁻¹ )	100	160	150	100
SNDR/dB	67.3	65.3	56.2	64.9
SFDR/dB	81.8	86.9	63.5	83.2
功率/mW	2.6	4.96	1.5	2
FoM/	14.6	20.6	18.9	13.8
$(fJ \cdot conv^{-1} \cdot step^{-1})$				
面积/mm ²	0.014	0.042	0.04	0.02

表 1 本文与其他文献中 SAR ADC 的参数对比

可以看出,本文的12位SAR ADC采用线性增强技术后,实现了83.2 dB的SFDR,在Nyquist采

样频率下实现了 13.8 fJ/(conv · step)的 FoM 值。

#### 3 结 论

本文提出了一种用于 SAR ADC 的线性增强采 样开关技术。首先提出了一种基片浮动技术,随着 输入电压的变化,寄生电容的变化和总电容值均有 明显降低。其次提出了一种采样开关基片升压技 术,减小了采样开关的导通阻抗,使得附加寄生电容 达到最小值。最后,采用 40 nm CMOS 工艺设计并 制作了一种 12 位 100 MS/s SAR ADC。测试结果 表明,该 SAR ADC 的 SNDR 和 SFDR 分别为 64.9 dB、83.2 dB,FoM 值为 13.8 fJ/(conv•step) @ Nyquist 采样频率。与传统采样开关相比,本文的 采样开关具有较优的线性度。

#### 参考文献:

- [1] LIU C C, CHANG S J, HUANG G Y, et al. A 10 b 100 MS/s 1.13 mW SAR ADC with binary-scaled error compensation [C] // IEEE ISSCC. San Francisco, CA, USA. 2010; 386-389.
- [2] CRANINCKX J, VAN DER PLAS G. A 65 fJ/ conversion-step 0-to-50 MS/s 0-to-0.7 mW 9 b chargesharing SAR ADC in 90 nm digital CMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2007: 246-249.
- [3] GIANNINI V, NUZZO P, CHIRONI V, et al. An 820 μW 9 b 40 MS/s noise-tolerant dynamic-SAR ADC in 90 nm digital CMOS[C] // IEEE ISSCC. San Francisco, CA, USA. 2008: 238-240.
- [4] NAKANE H, UJIIE R, OSHIMA T, et al. A fully integrated SAR ADC using digital correction technique for triple-mode mobile transceiver [C] // IEEE ASSCC. Singapore. 2013: 73-76.
- [5] FANG J, THIRUNAKKARASU S, YU X F, et al. A 5-GS/s 10-b 76-mW time-interleaved SAR ADC in 28 nm CMOS [J]. IEEE Trans Circ & Syst I: Regu Pap, 2017, 64(7): 1673-1683.
- [6] LUO J, LI J, NING N, et al. A 0.9-V 12-bit 100-MS/s 14.6-fJ/conversion-step SAR ADC in 40-nm CMOS [J]. IEEE Trans VLSI Syst, 2018, 23(10): 1980-1988.
- [7] CAO Z H, YAN S L, LI Y C. A 32 mW 1.25 GS/s
   6 b 2 b/step SAR ADC in 0.13 μm CMOS [J]. IEEE
   J Sol Sta Circ, 2009, 44(3): 862-873.
- [8] LIU C C, CHANG S J, HUANG G Y, et al. A 10-bit 50-MS/s SAR ADC with a monotonic capacitor

2020 年

switching procedure [J]. IEEE J Sol Sta Circ, 2010, 45(4): 731-740

- [9] ZHOU Y, XU B W, CHIU Y. A 12 bit 160 MS/s twostep SAR ADC with background bit-weight calibration using a time-domain proximity detector [J]. IEEE J Sol Sta Circ, 2015, 50(4): 920-931.
- [10] CHANG K H, HSIEH C C. A 12 bit 150 MS/s 1.5 mW SAR ADC with adaptive radix DAC in 40 nm CMOS [C] // IEEE ASSCC. Toyama, Japan. 2016: 157-160.
- [11] TSAI J H, WANG H H, YEN Y C, et al. A 0.003 mm² 10 b 240 MS/s 0.7 mW SAR ADC in 28 nm CMOS with digital error correction and correlatedreversed switching [J]. IEEE J Sol Sta Circ, 2015, 50 (6): 1382-1398.
- [12] TSENG W H, LEE W L, HUANG C Y, et al. A 12bit 104 MS/s SAR ADC in 28 nm CMOS for digitallyassisted wireless transmitters [J]. IEEE J Sol Sta Circ, 2016, 50(10): 2222-2231.
- [13] TSAI T H, TAI H Y, TSAI P Y, et al. An 8 b 700 MS/s 1 b/cycle SAR ADC using a delay-shift technique
  [J]. IEEE Trans Circ & Syst I: Regu Pap, 2016, 63 (5): 683-692.
- [14] LIU M Q, PELZERS K, VAN DOMMELE R. An 8bit 450-MS/s single-bit/cycle SAR ADC in 65-nm CMOS [J]. // IEEE J Sol Sta Circ, 2016, 51(10): 2435-2445.
- [15] HUANG H, DU L, CHIU Y. A 1.2-GS/s 8-bit twostep SAR ADC in 65-nm CMOS with passive residue transfer [J]. IEEE J Sol Sta Circ, 2017, 52(6): 1551-1562.
- [16] LIU S B, SHEN Y, ZHU Z M. A 12-bit 10 MS/s SAR ADC with high linearity and energy-efficient switching [J]. IEEE Trans Circ & Syst I: Regu Pap, 2017, 63(10): 1616-1627.
- [17] WANG X Y, HUANG H, LI Q. Design considerations of ultra low-voltage self-calibrated SAR ADC [J]. IEEE Trans Circ & Syst II: Expr Bri, 2015, 63(2): 1337-1378.
- [18] GAO J F, LI G L, LI Q. A monotonic SAR ADC with system-level error correction [J]. Analog Integr Circ & Signal Process, 2015, 84(1): 337-345.
- [19] LIU C C, HUANG M C, TU Y H. A 12 bit 100 MS/s SAR-assisted digital-slope ADC [J]. IEEE J Sol State Circ, 2016, 52(12): 2941-2950.
- [20] ZHANG D, BHIDE A, ALVANDPOUR A. A 53-nW
   9. 1-ENOB 1-kS/s SAR ADC in 0.13 μm CMOS for medical implant devices [J]. IEEE J Sol Sta Circ,

2011, 47(7): 1585-1593.

- [21] HUANG G Y, CHANG S J, LIU C C, et al. A 10-bit 30-MS/s SAR ADC using a switchback switching method [J]. IEEE Trans VLSI Syst, 2013, 21(3): 584-588.
- [22] KIM W, HONG H K, ROH Y J, et al. A 0. 6 V 12 b 10 MS/s low-noise asynchronous SAR-assisted timeinterleaved SAR (SATI-SAR) ADC [J]. IEEE J Sol Sta Circ, 2016, 51(8): 1826-1839.
- [23] KULL L, TOIFL T, SCHMATZ M, et al. A 90 GS/s 8 b 667 mW 64 × interleaved SAR ADC in 32 nm digital SOI CMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2014: 10-12.
- [24] SUNG B R S, JO D S, JANG I H, et al. A 21 fJ/ conv-step 9 ENOB 1.6 GS/s 2 × time-interleaved FATI SAR ADC with background offset and timing skew calibration in 45 nm CMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2015: 464-465.
- [25] BRANDOLINI M, SHIN Y J, RAVIPRAKASH K, et al. A 5 GS/s 150 mW 10 b SHA-less pipelined/SAR hybrid ADC in 28 nm CMOS [J]. IEEE J Sol State Circ, 2015, 50(12): 2922-2934.
- [26] NAM J W, HASSANPOURGHADI M, ZHANG A Y, et al. A 12-bit 1. 6, 3. 2, and 6. 4 GS/s 4-b/cycle time-interleaved SAR ADC with dual reference shifting and interpolation [J]. IEEE J Sol Sta Circ, 2018, 53 (6): 1765-1779.
- [27] XU D G, PU J, XU S L, et al. A 10-bit 1.2 GS/s 45 mW time-interleaved SAR ADC with background calibration [J] // IEICE Elec Expr, 2018, 15(3): 1001-1012.
- [28] LEE S, CHANDRAKASAN A P, LEE H S. A 1 GS/s 10 b 18.9 mW time-interleaved SAR ADC with background timing skew calibration [J]. IEEE J Sol Sta Circ, 2014, 49(12): 2846-2856.
- [29] YANG W H, KELLY D, MEHR I, et al. A 3-V 340mW 14-b 75-Msample/s CMOS ADC with 85-dB SFDR at Nyquist input [J]. IEEE J Sol Sta Circ, 2001, 36(12): 1931-1936.
- [30] BRUNSILIUS J, SIRAGUSA E, KOSIC S, et al. A 16 b 80 MS/s 100 mW 77. 6 dB SNR CMOS pipeline ADC [C] // IEEE ISSCC. San Francisco, CA, USA. 2010: 186-189.
- [31] XU D G, QIE L, ZHANG Z P, et al. A linearityimproved 8-bit 320 MS/s SAR ADC with metastability immunity technique [J]. IEEE Trans VLSI Syst, 2018, 26(8): 1545-1553.

·模型与算法·

## MOS 器件开启电压值的贝叶斯统计推断

严利人¹,刘道广²,刘志弘¹,梁仁荣¹

(1. 清华大学 微电子学研究所,北京 100084; 2. 清华大学 核能技术研究院,北京 100084)

摘 要: 在实践中准确地测定和表征出 MOS 器件样管的开启电压,对于大规模集成电路的设计 以及将 MOS 器件作为分立器件的在电路应用,均是至关重要的。文章采用贝叶斯统计推断工具 用于器件输入曲线的处理,从中提取出与器件开启有关的更为精准和深入的信息。建立合适的分 层模型,应用基于马尔科夫链蒙特卡罗(MCMC)算法的最大后验估计(MAP),求取目标量的后验 分布。这类算法为目前概率与统计领域的最高级算法。将该先进算法引入到 IC 领域来分析处理 所获取的大数据是后摩尔时代的一个发展方向。

关键词: 贝叶斯统计推断;开启电压;最大后验估计;后验分布

 中图分类号:TN307
 文献标识码:A
 文章编号:1004-3365(2020)05-0659-05

 DOI:10.13911/j.cnki.1004-3365.200269

#### **Bayesian Statistical Inference for the Threshold Voltage of MOSFET**

YAN Liren¹, LIU Daoguang², LIU Zhihong¹, LIANG Renrong¹

(1. Institute of Microelectronics, Tsinghua University, Beijing 100084, P. R. China;

2. Institute of Nuclear and New Energy Technology, Tsinghua University, Beijing 100084, P. R. China)

**Abstract:** In practice, accurately extracting the threshold voltage of a MOS device acts as a very important role for the further VLSI designing, as well as the in-circuit utilizing of the MOS as a discrete device. How to obtain the detail information from measured MOSFET input curves by using the Bayesian statistical inference method were described in this paper. After setting up a hierarchical linear model for measured data, posterior distribution of the target variable were calculated, and the posterior distribution of the target quantity was obtained by using maximum a posteriori (MAP) based on Markov Chain Monte Carlo-based (MCMC) algorithm. These algorithms were the state-of-art algorithm in the field of probability and statistics. It was a development direction in the post-Moore era to introduce the advanced algorithm into IC industry to analyze and process the big data obtained.

Key words: Bayesian statistical inference; threshold voltage; MAP (maximum a posteriori); posterior distribution

0 引 言

对于 MOS 器件或类 MOS 器件,开启电压是其 最重要的一项参数指标。准确地确定和评估这一基 础器件的最重要参数,是器件后续应用的必然要求。

应用场合之一是大规模集成电路芯片。现代半 导体芯片通常包含上亿只 MOS 晶体管,晶体管参 数表征如果不够准确,会最终导致芯片达不到预期 的功能,或者导致性能损失。此外,VLSI芯片内的 所有晶体管的特性并不完全相同。需重点考虑,在 工艺流片时晶体管制作成具有不同开启电压值的管 子,在电源管理芯片及策略控制下,管子工作于不同 的工作电压下,故此情形非常复杂。

应用场合之二是 MOS 器件或类 MOS 器件作 为分立器件,用于如小功率射频收发器、电机驱动中

收稿日期:2020-06-13;定稿日期:2020-07-01

基金项目:广东省重点领域研发计划项目(2019B010143002)

作者简介:严利人(1968—),男(汉族),河北石家庄人,博士,副研究员,从事集成电路工艺技术研究及半导体器件研发工作。

三相全桥功率器件等特定的电路中。这些电路应用 一般是偏模拟性的,这对整体电路的性能要求非常 高。如器件应用于三相全桥中,需要分立器件的晶 体管性能必须十分匹配,满足器件的开启电压与开 启阶段的瞬态表现完全相同,这是一种很高的要求。 很多实际应用场合中,需要预估和评判寿命下降,这 需要监控核心器件的开启电压值的衰退变化。

目前,关于评估和准确测定器件的开启电压的 研究还没有特别有效的理论,所开展的研究工作均 为实验研究。一些典型的研究方向如下。

 研究如何准确测量开启电压^[1]。开启电压 为一个随机变量,此类工作需要关注该随机变量的 统计均值(期望),暂时不关注方差涨落。

2)研究开启电压的取值不一致性,即随机变量 的方差值,搁置统计均值。文献[2]研究了器件之间 开启电压的失配问题,文献[3]研究了如何快速地表 征出器件参数的涨落分布。

3)研究器件的可靠性和失效机理。文献[4]通 过开启电压的测值来反映器件失效的趋势。

 4)研究一些新型器件较复杂的开启情形。文 献[5-6]研究了如何定义和测试开启电压值。

本文引入现代统计工具中的贝叶斯推断,用于 大批量测试数据的处理,从中提取关于器件电学特 性全面和丰富的信息。该项研究对 MOS 器件开启 电压的评估更贴近于生产实际,更具实用价值。

文章第1节简述了传统的V_{th}参数测试方法以 及贝叶斯统计推断的理论背景。第2节结合实例, 分析了从测试、统计模型建立到最大化后验分布求 解的完整过程。第3节给出了结论。

1 贝叶斯统计推断

贝叶斯统计推断的核心是贝叶斯公式,为:

$$P(\theta_i \mid Y) = \frac{P(Y \mid \theta_i) P(\theta_i)}{\sum P(Y \mid \theta_j) P(\theta_j)}$$
(1)

式中, $\theta$ 为某个参数, $\theta_i$ 为第i个参数值,Y为测 试结果。式(1)中等号左侧为一个条件概率,即指通 过测试并取得Y的实测数据条件下, $\theta$ 取到第i个 值的概率。

与左侧条件概率相对应,式(1)中等号右侧分子的第二项(即 *P*(*θ_i*))是指单纯的 *θ* 取第 *i* 个值的概率,其与测值 *Y* 无关,被称为先验概率。

将 MOS 器件的开启电压 V_{th}作为参数,先验概 率是指测试发生之前的 V_{th}预期值。例如,V_{th}在 0.5

~0.8 V 范围内,等概率取值就是典型的先验。式 (1)等号左侧的条件概率是要考虑测值的。如果反 复进行与V_{th}有关的测试,那么有这些测试值和没有 这些测试值分别对应于等号左侧的条件概率和等号 右侧的先验。因此,对V_{th}值的推断过程表现为:随 着测试的进行和实测值的加入,逐步更改对V_{th}取值 的判断,向着能够更好解释测试结果的方向趋近。 式(1)中等号左侧的概率称为后验概率。

若已知后验概率,在测试结果 Y 条件下,参数 θ 取一个值(用下标 *i* 来标识)对应一个概率,则取到 最大概率的那个 θ 值就是对该参数的合理推断(从 后验概率不仅能得到某个参数取值,还能得到取值 的总体分布、概率之间的对比、置信区间等各种信 息),这个方法被称为后验概率最大化(Maximum a Posteriori,MAP)。

通常情况下,后验概率为未知,则需要采用贝叶斯 公式。如,采用式(1)中等号右侧的两项分子或一项分 母来进行计算,计算出等号左侧的后验概率。等号右 侧分子的第一项是条件概率的形式,为似然率(似然函 数),等号右侧分母为归一化系数(边际概率)。

具体的算法逻辑如下:1)按照参数θ的先验概 率随机取一个θ_i值(先验大的θ取到的概率大,反之 概率小);2)若已知似然函数的具体形式,将这个θ_i 值和实测的数据Y代入到函数中,求出似然率; 3)将分子的两项相乘,计算得到一次分子项。上述 过程反复进行。如果进行了10k次,就有10k个分 子项。根据贝叶斯公式,这10k个分子项中的每一 个值除以10k分子项的总和,就得到了10k个的后 验概率。此时,后验概率的总体分布情况仍然未知, 但是,通过已有的总体中抽取的10k个样本,则可从 样本数据来推断总体分布情况。

如果式(1)中的θ是连续取值(不取分立值),则 需要将式中对分母的求和符号变成积分号。

在现代贝叶斯统计理论基础上发展起来的先进 算法(2010年以来兴起),涉及到很多艰涩的概率与 统计的概念和术语。例如分层模型中的吉布斯抽 样,是马尔科夫链蒙特卡罗(Markov Chain Monte Carlo,MCMC)抽样方法中常见的一种方法。本文 以先进统计方法的应用为主,关于贝叶斯统计理论 的详细介绍可参见文献[7-8]。

从测试曲线出发来求取 $V_{th}$ 的步骤会涉及到线 性建模和直线拟合。传统方法是设定 MOS 管的  $V_{ds}$ 为较小数值,如 $V_{ds}$ =0.3 V。在这种条件下,可 以保证器件工作于非饱和区,测试得到的输入曲线 即 $I_{ds}$ - $V_{gs}$ 曲线如图 1 所示。图中,空心三角表示测 试数据点,实线表示各数据点的拟合直线。



图 1 MOS 器件的 Ids-Vgs 曲线

第一种方法是规定某一电流阈值,当测得的 $I_{ds}$ 大于或等于该值时,则表示器件完全开启,此时的 $V_{gs}$ 即为 $V_{tb}$ 的测值。

第二种方法是作出图 1 所示的拟合直线,提取 出斜率和截距。MOS 管线性区的电流公式为:

$$I_{\rm ds} = K \left[ (V_{\rm gs} - V_{\rm th}) V_{\rm ds} - \frac{1}{2} V_{\rm ds}^2 \right]$$
(2)

式中,K为跨导系数。通过式(2)则可计算出 V_t值。

在大规模集成电路中制作有成千上万的 MOS 器件。为了作 I_{ds}-V_{gs}曲线,需要同时测几十、几百个 样品,得到几十、几百条的曲线,依据这些曲线得到的 斜率和截距是各不相同的。因此,最终的 V_{th}值不能 仅依据一条曲线,还要考虑和覆盖所有的测值。从工 程实践来看,V_{th}的测值本质上是统计量。因此,对 V_{th}的评估要做到更全面、完善地反映实测数据集的 整体性以及数据集所蕴含的深度信息(潜在特征)。

综上所述,本文分析了两个关键点:"线性模型" 和"统计推断"。本文针对测试数据,首先建立分层 的线性模型,接着采用最大化后验的方法对数据进 行贝叶斯分析和处理,最后从所得结果(后验分布) 中抽取出 V_{th}的统计信息。

2 实提 V_{th}参数

#### 2.1 统计模型

本文采用 R 语言及 rethinking 包进行数据处理。本文建立的模型用 R 语言写出的代码 code. 1 如下:

 $yi \sim dnorm(a+b * xi, sigma)$ ,

 $a \sim \text{dnorm}(0.19, 0.02),$ 

 $b \sim dnorm(1.0, 0.2),$ 

sigma~dunif(0,0.05)

上述代码中,第一行为似然率,表示对某测值 y_i(有非常多个,用下标 *i* 区分)建立统计模型,认为 y_i服从于一个正态分布。该正态分布的均值是一个 线性拟合式,正态分布的标准差为 sigma。线性拟 合式中,截距为 *a*,斜率为 *b*,自变量为 *x_i*。*a*、*b* 在现 代统计推断中也被称为超参数。

后两行为先验。第二行、第三行定义 a、b 为正态分布,给出了正态分布的均值和标准差。测值 y_i 服从于一种分布,该分布的参数不确定,取决于 a、b 的具体情况。因此,最终 y_i成为了"分布的分布", 从这里已能看到分层嵌套的关系。

最后一行定义 sigma 服从于(0,0.05)区间的均 匀分布。

建立的统计模型中, $y_i$ - $x_i$ 是成对的测试数据, 例如本文的  $I_{ds}$ - $V_{gs}$ 输入曲线。a、b是最终从测试数 据中提取的信息,如果直线拟合后,测值仍然呈现某 种涨落(线性关系所不能解释的残差),则归为 sigma。

代码 code. 1 中所有先验均是很弱的,即有很宽 泛的定义,对最终计算结果施加的约束不强。从某 种意义上来说,这里所指的先验仅提供了计算的初 始值,迭代几次后,*a-b*-sigma 待求数值会因实测数 据"证据"的加入而被更新掉。每一次迭代后的结果 均为后验,以其前面结果为先验。随着越来越多"证 据"加入,*a-b*-sigma 取值逐渐收缩到真实值附近,以 取得更大的信度。

如果一开始不知道如何选择先验,一种方法是 采用传统方法,即先对一条测试曲线作线性回归,再 估算相关取值的区间。另一种方法是采用随机选 择,若随机数据导致随后的计算失败,则在 R 语言 运行中断、报错,同时会给出相关的取值建议。

#### 2.2 测试数据

本文收集了 30 条 MOS 器件样品输入曲线的 测值。每条曲线有 20 个数据点,共计 600 组数据。

测试时 V_{ds}设置为 0.3 V。传统方法为:V_{gs}取 值 0.1 V,0.2 V,0.3 V,...,2.0 V,均匀取 20 个点, 在每个 V_{gs}值下测 I_{ds}的数据,绘制 I_{ds}-V_{gs}曲线。本 文方法为:从 1.5 V 均值、0.15 V 标准差的正态分 布中,随机抽取 20 个 V_{gs}值,在这些特定 V_{gs}值下测 I_{ds}数据,绘制 I_{ds}-V_{gs}曲线。本文方法的优点如下: 1)回避了输入曲线起始非线性段的测值点;2)考虑 了 V_{gs}、I_{ds}的数据分布,因为 V_{gs}已为正态分布,I_{ds}因 与 V_{ds}成线性也为正态分布,所以无论 V_{gs}、I_{ds}中的 哪一个为模型 code.1 中的 y_i,模型中的声明"y_i服 从正态分布"都是正确的。

根据统计原理,测试样本足够多时,数据会趋近 于正态分布。本文的 30 个 MOS 器件样品测试量 不是很大,因此在测试环节要采取一些措施,确保本 文研究的严谨性。

#### 2.3 数据转换

通过式(2)可知, $I_{ds}$ - $V_{gs}$ - $V_{ds}$ 是测试值或偏置条件,为已知数据。线性拟合所要求解的K、 $V_{th}$ 均出现在拟合直线的斜率和截距中,原则上都能提取得到。但是,式(2)右侧中出现了K与 $V_{th}$ 的乘积项,说明截距是这两种因素共同作用的效果。这种情况在概率统计中要非常谨慎地对待。原因是相关理论中,最注重的是变量的统计独立性以及不同成分的相互分离。

为消除乘积项,将 $K 与 V_{th}$ 这两个因素分离,进行数据变换。对式(2)进行变形,得到:

$$\frac{1}{K}I_{\rm ds} + V_{\rm th}V_{\rm ds} = V_{\rm gs}V_{\rm ds} - \frac{1}{2}V_{\rm ds}^2 \tag{3}$$

令式(3)中等式右侧为  $y_i$ ,已知各偏置点  $V_{gs}$ ,  $V_{ds}=0.3$  V(为常数),进行简单计算和转换后,得到 600 个  $y_i$ 值。令 1/K 为b,各  $I_{ds}$ 测值为  $x_i$ ,则得 a=0.3  $V_{th}$ 。式(3)则变为" $y_i=a + b \cdot x_i$ "的形式。在 转换后的式子中,K与  $V_{th}$ 得到有效分离。

#### 2.4 MAP 计算

经过第 2.2 节和 2.3 节的两步工作后,本文建 立的模型(代码 code.1)已成功实现。为了求解 MAP,按 R 语言写出的代码 code.2 如下:

```
d<-read. csv('y_x. csv', header=TRUE)
m. 1<-map(
alist(
yi \sim dnorm(a+b * xi, sigma),
a \sim dnorm(0, 19, 0, 02),
b \sim dnorm(1, 0, 0, 02),
sigma \sim dunif(0, 0, 05)
),
data=d
)
件码. code 2 中. MAP. 函数是封集好的函
```

代码 code.2 中, MAP 函数是封装好的函数。 MAP 函数封装了贝叶斯统计推断的大量计算细节, 包括吉布斯抽样、边际概率计算以及采用贝叶斯公 式进行的后验计算。MAP 函数对外提供非常简单 的调用接口,正如代码 code.1 一样,仅需数行代码。 代码 code.2 的步骤为:根据先验和观察证据,求解 alist 数据中建立模型的后验分布,再将结果存入到 m.1 数据中。计算结果为:

> precis(m.1,corr=TRUE)

	MeanS	StdDev	5.5%	94.5%	а	b	sigma
а	0.19	0.00	0.19	0.19	1.00	-0.98	0
b	1.00	0.01	0.99	1.02	-0.98	<b>1.</b> 00	0
sigm	na 0.01	0.00	0.01	0.01	0.00	0.00	1

上述代码中,后三列为相关系数矩阵。利用 R 语言绘图语句,从 m.1 数据中抽取的数据点的拟合 曲线如图 2 所示。

图 2 中,圆点为 600 个"y_i-x_i"数据点。可以看出,无论是横轴还是纵轴上,这些点均符合正态分布。与传统方法相比,这 600 个数据点是混在一起的,没有隶属于哪个样本、哪条输入曲线,具有整体性。

图中直线为拟合结果,可知各数据点在直线附 近的分布是较理想的。图中阴影区是指预测拟合直 线的 89%置信区间的范围。



图 2 使用 MAP 函数对数据点进行线性拟合的曲线

#### 2.5 截距讨论

截距 *a* 的计算结果(参见第 2.4 节)为 0.19,因此,提取得到的 V_{th}为 0.633 V(V_{th}=0.19/0.3)。

从 a 的标准差和 89%置信区间的上、下边界的 情况均可以看出,a 值被限制在一个很小范围内(小 数点 2 位以后)。有一部分数据点在阴影区之外,数 据有些分散,但这种数据的分散对 V_{th}的 MAP 计算 结果几乎没有影响。

该模型依然具有方差涨落。如果 *a* 涨落为随机的(不含有用的信息),则这种涨落会被吸收进 sigma 中。sigma 推断值为 0.01,3 $\sigma$  的量级为 0.03。将 *a* 和 sigma 联系起来,3 $\sigma$  折算到  $V_{th}$ ,则  $V_{th}$ 为= 0.1 V( $V_{th}$ =0.03/0.3)。

从上述结果可知, sigma 取值为 0.01, 标准差为 0.00。零方差涨落仅是模型定义带来的, 在模型定义 中, sigma 服从于均匀分布, 这个定义不涉及标准差, 所以 sigma 取值 0.01 有效, 而标准差为 0.00 无效。

#### 2.6 相关讨论

从上述计算结果可知, *a* 与 *b* 之间是相关的, 其 相关系数为-0.98。该相关性可通过数据的中心化 来消除。测试数据中的各 *x*_i, 再减去其均值。本文 的代码 code.3 如下:

d<-read. csv('y_x. csv', header=TRUE)

d \$ xi. new < -d \$ xi - mean(d \$ xi)

采用新的 x_i值进行 MAP 求解,结果显示,a 与 b 不再相关,具体不再详述。

如果数据转换中多了一步中心化步骤,最终提取 V_{th}时,要增加一步转换回去的步骤。

2.7 斜率讨论

对于 MOS 管,跨导系数 K 也是很重要的参数, 测试数据中得到的斜率 b 包含 K 的信息,b 与 K 互 为倒数。从某随机变量的已知分布可严格推导出其 倒数的分布。本文采用一种独特的统计方式进行处 理。按 R 语言写出的代码 code. 4 如下:

```
post<-extract.samples(m.1,1e4)
K<-1/post $ b
d2<-data.frame(K)
m.2<-map(
    alist(
        K~dnorm(mu,sgm),
        mu~dnorm(1.0,0.2),
        sgm~dunif(0,1.0)
    ),</pre>
```

$$data = d2$$

首先从求得的后验分布 m.1 中抽样,取得 10k 个采样样本,接着对样本中的参数 b 求倒数,得到 10k 个 K 值,然后再次建模,执行 MAP 计算,对 K 进行参数推断。计算结果为:

```
> precis(m. 2)
MeanStdDev 5.5% 94.5%
mu 1.00 0 1.00 1.00
sgm 0.01 0 0.01 0.01
```

对本文案例, *K* 取值 1.00, 标准差为 0.01,89% 置信区间的上下边界都在 1.00 处, 而其倒数 *b* 的两 个边界分别为 0.99、1.02, 边界较宽。

3 结 论

在 IC 产品的中测、成测阶段,会产生大量的过程数据,这些数据固有地包含了丰富的信息。本文

研究了大生产环境下如何基于大量 MOS 器件测试 数据对器件关键参数进行准确推断的问题。本文采 用了近年来人工智能、数据挖掘领域中最具数学严 谨性的贝叶斯统计推断算法。这类算法为目前概率 与统计领域的最高级算法。由于算法自身的复杂 性,该算法中的很多步骤环环相扣,需要谨慎编程。 本文介绍了如何灵活、有效地从后验分布和输出结 果中进行后续处理的各类情形。

本文深入研究这些大数据并挖掘出丰富的信息,通过大数据分析来改善工艺运行的品质。将该 先进算法技术引入到半导体器件领域来分析处理所 获取的大数据是后摩尔时代的一个发展方向。

#### 参考文献:

- [1] TSAY J H, LIU S I, WU Y P. Measuring the threshold voltage of a MOSFET with an active attenuator [C] // IEEE ISCAS. Atlanta, GA, USA. 1996: 397-400.
- [2] TERADA K, EIMITSU M. A test circuit for measuring MOSFET threshold voltage mismatch [C] // IEEE Int Conf Microelec Test Struct. Monterey, CA, USA. 2003: 227-231.
- [3] AGARWAL K, NASSIF S, LIU F, et al. Rapid characterization of threshold voltage fluctuation in MOS devices [C]. IEEE Int Conf Microelec Test Struct. Tokyo, Japan. 2007: 74-77.
- [4] MURUKESAN K, EFTHYMIOU L, UDREA F. Gate stress induced threshold voltage instability and its significance for reliable threshold voltage measurement in p-GaN HEMT [C] // IEEE 7th WiPDA. Raleigh, NC, USA. 2019: 177-180.
- [5] LEI Q, YAO R H. A new definition of the threshold voltage for amorphous InGaZnO thin-film transistors
   [J]. IEEE Trans Elec Dev, 2014, 61(7): 2394-2397.
- [6] KWON D W, KIM W D, KIM D B, et al. Multi-level threshold voltage setting method of string select transistors for layer selection in channel stacked NAND flash memory [J]. IEEE Elec Dev Lett, 2015, 36 (12): 1318-1320.
- GOLDSTEIN M, WOOFF D. Bayes linear statistics: theory and methods [M]. Chichester, UK: John Wiley & Sons, 2007: 1-32.
- [8] POLPO A, STERN J, LOUZADA F, et al. Bayesian inference and maximum entropy methods in science and engineering [M]. Cham, Switzerland: Springer International Publishing AG, 2018: 13-23.

# IGBT 老化状态下基于 BAS-SVM 模型的 结温预测方法

刘伯颖,胡佳程,李玲玲,李志刚

(河北工业大学省部共建电工装备可靠性与智能化国家重点实验室,天津 300130;河北工业大学河北省电磁场与电器可靠性重点实验室,天津 300130)

摘 要: 为进一步研究 IGBT 老化对其结温的影响,提出了一种新型的结温预测方法。通过功率 循环加速老化实验,模拟模块实际运行老化状态,获取了不同老化程度下的饱和压降、集电极电流 和结温数据,并进行分析。采用数据驱动的方法,建立了基于天牛须搜索算法优化支持向量机 (BAS-SVM)的结温预测模型。结果表明,与粒子群算法-支持向量机(PSO-SVM)模型和天牛须搜 索-BP 神经网络(BAS-BP)模型相比,BAS-SVM 模型更能有效缩短训练时间,收敛速度更快,且对 IGBT 结温的预测精度更高,是一种更有效的预测模型。

关键词: IGBT; 功率循环加速老化实验; 结温预测; 支持向量机; 天牛须搜索算法
 中图分类号:TN322⁺.8; TN306
 文献标识码:A
 文章编号:1004-3365(2020)05-0664-05
 DOI:10.13911/j.enki.1004-3365.190577

## Junction Temperature Prediction Method Based on BAS-SVM Model in Aging State of IGBT

LIU Boying, HU Jiacheng, LI Lingling, LI Zhigang

(State Key Lab. of Reliability and Intelligence of Electrical Equipment, Hebei Univ. of Technol., Tianjin 300130, P. R. China; Key Lab. of Electromagn. Field and Elec. Apparatus Reliab. of Hebei Province, Hebei Univ. of Technol., Tianjin 300130, P. R. China)

**Abstract:** In order to further study the effect of IGBT aging on its junction temperature, a novel method for predicting junction temperature was proposed. The actual aging state of module was simulated by the power cycle accelerated aging experiment, and the saturation drop voltage, collector current and junction temperature data under different aging degrees were obtained for analyzed. By using the data-driven method, a junction temperature prediction model based on Beetle Antennae Search optimized Support Vector Machine (BAS-SVM) was established. The analysis results showed that compared with the Particle Swarm Optimization algorithm-Support Vector Machine (PSO-SVM) model and the Beetle Antennae Search-BP neural network (BAS-BP) model, the BAS-SVM model could shorten the training time more effectively, its convergence speed was faster, and the prediction accuracy of the IGBT junction temperature was higher, which made it a more effective prediction model.

**Key words:** IGBT; power cycle accelerated aging experiment; junction temperature prediction; support vector machine; beetle antennae search algorithm

收稿日期:2019-10-07; 定稿日期:2019-11-27

基金项目:河北省自然科学基金资助项目(E2018202282);天津市自然科学基金资助项目(19JCZDJC32100) 作者简介:刘伯颖(1979—),男(汉族),河北保定人,博士,副教授,研究生导师,研究方向为电器可靠性。

#### 0 引 言

近年来,我国逐步采用新能源发电取代传统 火力发电,以提高能源的利用效率。新能源发电 需要通过功率变流器实现与电网的连接,因此对 电力电子设备的稳定性产生更高的需求。IGBT 作为功率变流装置的核心元件,其运行可靠性尤 为重要。IGBT 老化失效与内部结温波动息息相 关。系统运行条件复杂多变,导致 IGBT 模块产生 功率损耗,使 IGBT 处于循环波动的温度下^[1]。模 块长期受到热-机械应力的作用,易造成焊接材料 的疲劳老化和键合引线断裂,最终导致 IGBT 失 效^[2-3]。为提高 IGBT 运行可靠性,需对老化进程 中模块的结温实现精确预测,结温预测是保障可 再生能源系统持续发展的关键,对预防和调节结 温的剧烈波动,掌握模块老化程度,延长使用寿命 具有重要指导意义。

针对 IGBT 结温预测,国内外的专家学者提出 了不同的方法。胡亮灯等人根据 IGBT 饱和压降-结温-集电极电流三者的线性关系,提出了一种 IGBT 结温在线估计的热敏感电参数法^[4]。Z. Hu 等人考虑了模块焊料老化对结温预测精度的影 响,提出了一种改进的自适应热等效电路模型,用 于实现焊料老化条件下 IGBT 结温的估算^[5]。B. Gao 等人通过建立三维 FEM 模型,仿真得到模块 在加速老化试验下温度和应力分布情况^[6]。禹健 等人探索了 BP 神经网络在 IGBT 模块结温预测中 的应用^[7]。本文通过对比以上研究成果的优缺 点,建立了基于天牛须搜索算法优化支持向量机 (Beetle Antennae Search Algorithm optimized Support Vector Machine, BAS-SVM) 预测模型, 有 效简化了搭建仿真模型的工作量,具有较高的预 测精度和计算速度,可用于对老化状态下 IGBT 的 结温进行精确预测。

1 功率循环加速老化实验

#### 1.1 实验方案与电气连接设计

通过分析 IGBT 失效机理,在不改变产品内部 结构的前提下,为同时模拟实际运行中模块出现的 焊料层疲劳和键合引线老化情况,设计了恒定壳温 ΔT。波动功率循环加速老化实验,以获得较大的结 温和壳温波动。测试模块选取型号为 MMG75S- 120B的双管半桥型 IGBT 模块的下管,设定结温波 动 ΔT_i 为 100 ℃。以饱和压降 V_{ee}增大 5%作为 IGBT 失效的判别标准。实验分为以下三部分。

#### 1) IGBT 结温-饱和压降校正实验

将测试模块置于恒温箱中,并由 100 mA 恒流 源提供测试电流,得到 T_i和V_{ee}之间的关系曲线,以 确定小电流下 IGBT 初始结温和间接监测结温^[8]。 结温-饱和压降校正电路如图 1 所示。随着器件的 疲劳累积,模块内部与温度相关的参数发生漂移现 象,会影响饱和压降值的走向趋势,使结温校准曲线 发生改变。通过多次功率循环老化实验后发现,每 循环 1 000 次,模块的饱和压降值变化明显,结温校 准曲线偏差较大。因此,规定每间隔 1 000 次功率 循环加速老化实验,对结温-饱和压降校准曲线进行 一次重新标定,以提高对结温的控制精度。



图1 结温-饱和压降校正电路

#### 2) 功率循环老化实验

为使  $\Delta T_i$  满足设定要求以加速 IGBT 模块老 化,搭建了功率循环老化实验电路,如图 2 所示。试 验对象为 2 个 IGBT(1 200 V/75 A)模块。当开关 S₁ 闭合后,栅极信号驱动下管 IGBT 导通,上管接 反压,持续关断,此时程控直流电源输出 75 A 电流, 使 IGBT 结温和壳温迅速上升。待通电时间达设定 值后,断开 S₁,闭合 S₂,立即通入 100 mA 小电流, 使 IGBT 达饱和状态,再根据结温-饱和压降校正曲 线计算结温;关断期间风冷散热器工作,使 IGBT 结 温和壳温迅速下降至环境温度,此时为完成一个功 率循环。

#### (3)单脉冲测试实验

为记录 IGBT 模块在老化进程中不同结温下的 饱和压降 V_{ee}和集电极电流 I_e 的值,设计了 IGBT 单脉冲测试实验电路,如图 3 所示。

为避免 I_c 在 15 ℃~20 ℃因模块高温特性出现 结温测量盲区,设定集电极电流值从 25 A 到 150 A 依次递增 5 A,恒温箱温度从 35 ℃到 125 ℃依次递 增 10 ℃,记录下各功率循环老化次数对应的 $V_{ee}$ 、 $I_{c}$ 和  $T_{j}$ 的值。



图 2 IGBT 功率循环老化实验电路



图 3 IGBT 单脉冲测试实验电路

#### 1.2 实验结果分析

IGBT 模块经功率循环 6 000 次后,其饱和压降 较初值增大了约 4.9%,已达到模块失效标准,此时 停止实验。将单脉冲测试实验测取的功率循环老化 0~6 000 次下的  $V_{ce}$ 、 $I_c$ 和  $T_j$ 数据绘制成三维关系 曲面,如图 4 所示。其中,功率循环老化 0 次对应全 新的 IGBT 模块。



图 4 各功率循环老化次数下饱和压降、结温和集电极电流 关系曲面

可以看出,随着老化程度的加剧,IGBT 的 V_{ee}、 *I*_e和 *T*_j 三者的关系曲面形状基本保持不变,只整体 向上移动,并未出现交叉情况。说明在各老化阶段, IGBT 的三个参数之间存在相关性。因此,可将上述三维曲面作为基准面,通过调用不同功率循环次数下的 V_{ce}和 I_c数据,获得 IGBT 不同老化状态下对应的结温。

#### 2 结温预测模型原理及构建

根据上述理论,以功率循环老化加速实验所得数据作为驱动,建立了一种基于 BAS-SVM 的算法 模型,对 IGBT 不同老化阶段下的结温实现预测。 由于实验数据样本过多,为有效避免信息重复,将0~ 6 000 次功率循环所得数据分成 7 组,每组均随机挑 选出 40 组 V_{ee}、I_c 和 T_j 数据,再使用 rand 函数排 列,最终生成 280 组待测试样本。

#### 2.1 SVM 待优化参数的确定

SVM 是由 V. N. Vapnik 等人在 1963 年提出 的一种用于数据分析的监督式学习模型与学习算 法^[9]。在面对小样本、非线性和高维度问题时, SVM 具有较好的泛化能力,被广泛应用于处理函数 寻优和回归估计等问题。

核函数参数的选择对 SVM 的性能有显著影响,参数直接反映输入层映射过程的复杂程度。因此,在同一核函数下,选择合适的核函数参数对提高 SVM 优越性十分重要。

惩罚因子 C 是调节机器学习置信范围和模型 准确率的因子,也是影响 SVM 计算精度的另一重 要参数,C 值越大,表示模型对误差值越重视。

因此,在利用 SVM 回归算法进行数据预测时, 为提高模型的预测精度和效率,需要不断调整核函 数参数和惩罚因子 C 的值,直到训练网络满足所设 定的要求。

#### 2.2 BAS 算法原理

BAS 算法于 2017 年由 Z. Xiang 等人首次提出^[10],是一种新型元启发式算法。由天牛觅食的生物特性可知,长脚天牛在搜索食物时并不知道食物的位置,是通过两只长触角感知食物气味的强弱来辨别方向。若左边触角收到的气味强于右边,天牛就往左飞,反之往右飞,直到找到食物为止。算法具体计算过程如下。

(1)定义天牛初始质心,用 x 表示。

(2)随机创建天牛头朝向,并确定其左、右须坐 标位置更新公式:

$$dir = \frac{\operatorname{rand}(k,1)}{eps + \operatorname{norm}(dir)}$$
(1)

$$xl = x + dir \times \frac{d_0}{2} \tag{2}$$

$$xr = x - dir \times \frac{d_0}{2} \tag{3}$$

式中,dir 表示经归一化后的随机向量;k 表示 空间维度;xl、xr、x 分别表示每次迭代过程中天牛 左须、右须和质心的位置坐标;d。表示两须之间的 距离。

(3)以目标函数 f(x)作为适应度函数,分别求
 出每次迭代过程中左右须的"气味强度",即 f(xl)
 和 f(xr)的值。

(4)通过判断 *f*(*xl*)、*f*(*xr*)的大小,更新天牛质 心位置及适应度函数值 *f*(*x*):

$$x = x - step \times dir \times sign(f(xl) - f(xr))$$
 (4)

式中,step为天牛前进的步长。

(5)为了提高天牛的局部搜索能力,在原始算法 基础上对步长进行了改进,设置可变步长:

 $step = step \times eta$  (5)

式中,eta 表示变步长因子,取值范围为[0,1]。

(6)迭代停止后,所得满足精度要求的适应度函数值对应的质心位置即为全局最优解。

BAS 无需知道函数的具体形式和梯度信息,就 可实现对目标的高效寻优^[11]。BAS 只有一个个体 参与运算,算法结构更简单,可极大提高收敛速度。

#### 2.3 BAS-SVM 模型搭建

BAS 算法将 SVM 的核函数参数和惩罚因子 C 作为待优化的一组解,即天牛质心位置 x 可表示为 x(x₁, x₂),x₁、x₂ 分别对应于核函数参数和惩罚因 子 C。通过对 BAS 算法进行迭代,找到满足精度要 求的适应度函数值对应的全局最优解,实现对 SVM 参数的最优选择。再将寻优得到的最优参数代入 SVM 网络中进行训练,构造出最终的 BAS-SVM 预 测模型。

将老化加速实验所得 280 组样本数据输入至模型中,并分配前 240 组为训练集数据,后 40 组为测 试集数据。根据各外部参数对结温的影响,确定将 老化次数、饱和压降和集电极电流作为模型输入变 量,结温作为输出变量。适应度评估函数采用测试 集预测值的均方差,其表达式为:

$$MSE = \frac{1}{n} \sum_{i=1}^{n} (y'_{i} - y_{i})^{2}$$
(6)

式中,*n* 为测试集样本个数;y[']_i、y[']_i分别表示第*i* 个样本的预测值和实际值。

BAS-SVM 模型的各项参数设置如表1所示。

	<b>表</b> 1	BAS-SVM	[模型各项参数	设置
SVM	最大	核函数	惩罚因	核函数
参数	迭代	选择	子 $C$	参数
	次数		范围	范围
	100	RBF	[0.1,100]	[0.01,1000]
BAS	变步长	步长与两	初始	空间
参数	因子	须距离	步长	维度
_	eta	之比	ste þ	k
	0.8	5	30	2

开始 输入数据 BAS初始参数 数据预处理 计算初始适应度 迭代寻优 更新天牛左右须位置 更新天牛位置 将最优参数 代入SVM 计算适应度值 进行训练 达到最大 进行预测 迭代次数或全局 并输出预测值 最优位置满足 最小界限 结束 ,是 得到SVM最优参数

图 5 BAS-SVM 预测模型算法流程图

3 预测结果对比分析

#### 3.1 BAS-SVM 模型预测结果分析

本文使用内置奔腾处理器,内存为1GB,硬盘 容量为100GB的普通PC机做为硬件操作环境,以 MATLAB2015b作为编程语言,搭建相应的测试环 境,用以检验BAS-SVM模型对结温的预测效果。

模型在对测试集数据进行预测前,需先对训练 集数据进行学习,因此预测模型的稳定性会随着计 算机运行次数增加而提高。当 MATLAB 独立运行 5 次后,预测结果基本不改变,可认为模型已达稳定 状态,再对预测值进行线性拟合,最终得到 BAS-SVM 模型对 IGBT 结温的预测结果曲线,如图 6 所 示。可以看出,BAS-SVM 模型对 IGBT 老化状态

模型具体的算法流程如图 5 所示。

下的结温预测值与真实值几乎完全吻合。



#### 3.2 预测模型性能对比分析

为探究其他优化算法和不同神经网络对预测模型性能的影响,选择将 PSO-SVM 和 BAS-BP 模型 作为参考对象,与 BAS-SVM 模型进行对比分析。 同样使用上述测试样本数据,代入模型中进行训练 和预测,运行 5 次后,PSO-SVM 模型和 BAS-BP 模 型对比 IGBT 结温预测结果曲线分别如图 7、图 8 所示。



图 7 PSO-SVM 模型对 IGBT 结温预测结果曲线



图 8 BAS-BP 模型对 IGBT 结温预测结果曲线

通过对比以上三种模型的预测结果,可以看出,PSO-SVM模型的预测曲线在很大范围内与真实值基本吻合,但在个别区域却存在较大误差,预测效果最差;BAS-BP模型较 PSO-SVM模型在局部误差上得到了改进,但差值依然存在;BAS-SVM模型的预测曲线走势最逼近真实值,预测效果最好。

为了更具体、直观地比较各模型的预测精度 和计算速度,本文将5次运行所得结温预测值的 均方差 MSE、均方根误差 RMSE、平均相对误差 MAE、平均相对误差百分比 MAPE 和迭代运行时 间 T 作为评价标准,三种模型预测精度对比如表2 所示。

表 2 三种模型预测精度对比

方法	MSE	RMSE	MAE	MAPE/%	T/s
PSO-SVM	26.584	5.156	2.833	4.78	1.62
BAS-BP	4.963	2.166	1.607	2.62	65.86
BAS-SVM	1.407	1.186	0.918	1.68	0.74

由表 2 可以看出,BAS-SVM 模型的 MAPE 值 相比于 BAS-BP 模型减少了 0.94%,较 PSO-SVM 模型减少了 3.1%。BAS-SVM 模型的迭代运行时 间也比 BAS-BP 模型减小了 65.12 s。因此,BAS-SVM 模型能更好地改善局部预测误差较大的缺陷, 预测精度更高,收敛速度更快。综上所述,BAS-SVM 模型的综合性能最优。

#### 4 结 论

本文基于 IGBT 模块老化失效与结温波动的相 关性,以及模块饱和压降、集电极电流和结温之间的 理论联系,设计了功率循环加速老化实验,用于模拟 IGBT 实际运行老化进程下结温的变化情况。通过 拟合和筛选实验数据,最终确定以功率循环老化次 数、饱和压降和集电极电流作为输入变量,结温作为 输出变量,建立老化状态下 IGBT 结温预测的算法 模型。

采用 BAS 算法优化 SVM 核函数参数及惩罚 因子 C,建立了 BAS-SVM 预测模型,并应用于 IGBT 老化状态下的结温预测。经过软件测试以及 与 PSO-SVM、BAS-BP 两种模型进行对比,验证了 (下转第 682 页)

第 50 卷 第 5 期	微 电 子 学	Vol. 50, No. 5
2020 年 10 月	Microelectronics	Oct. 2020

## 一种时间交织 ADC 采样时间误差校正方法

曹 宇,苗 澎,黎 飞,王 欢

(东南大学 信息科学与工程学院,南京 211100)

摘 要: 提出了一种用于时间交织模数转换器(TIADC)通道间采样时间误差的校正算法。该算 法是基于参考通道的后台校正算法。通过比较参考通道与带校准通道的输出差异提取出采样误 差信息,并通过负反馈逻辑进行校准。该算法的校正模块硬件消耗低,可支持包括完全随机输入 信号的多种类型输入信号。将该校正算法应用于一个4 GHz、8 bit 四通道 TIADC,后仿真结果表 明,当输入信号接近奈奎斯特频率、存在其他非理想因素的条件下,该算法能将通道间采样时间误 差相关的频谱尖峰抑制到 35 dB。

关键词: 采样时间误差;后台校正;参考通道 中图分类号:TN79⁺2 文献标识码:A DOI:10.13911/j.cnki.1004-3365.190686

**文章编号:**1004-3365(2020)05-0669-06

#### A Sampling Time Mismatch Calibration Algorithm for Time-Interleaved ADC

#### CAO Yu, MIAO Peng, LI Fei, WANG Huan

(School of Information Science and Engineering, Southeast University, Nanjing 211100, P. R. China)

**Abstract:** A sampling time mismatch calibration algorithm for time-interleaved analog-to-digital converter (TIADC) was proposed. It was a background calibration method based on reference channel. By comparing different values between the reference channel and the channel to be calibration, the algorithm could extract the mismatch-related errors and correct them with the negative feedback. The correction module of the algorithm had low hardware consumption and could support many types of input signals, including completely random input signals. The forward algorithm was applied to a 4 GHz, 8 bit, 4-channel TIADC. The simulation results showed that the algorithm could suppress the spectrum peak related to the sampling time error between channels to 35 dB when the input signal was close to Nyquist frequency and other non-ideal factors existed.

Key words: sampling time mismatch; background calibration; reference channel

0 引 言

现代高速通信系统和传感系统对高速 ADC 的 性能要求不断提高。目前,高速 ADC 的转换速率 已经达到几十 GS/s。时间交织型是高速 ADC 普遍 采用的结构。该结构将多个单通道 ADC 交织在一 起,交替循环工作,实现系统总转换速率的倍增。

TIADC 中多个通道之间电参数的失配会制约

ADC 的整体性能。这些失配包含通道间失调、通道 间增益失配和通道间采样时间失配。通道间采样时 间失配对系统性能的恶化程度与系统输入信号频率 呈正相关,是影响高速 TIADC 性能的最主要因素。 通道间失调、通道间增益失配的误差校正方法已经 比较完善。通道间采样时间失配的误差不易检测, 其校正方法是目前的研究热点。

TIADC的采样时间误差通常采用 FIR 滤波器 来校正,其校正方法是一种校正过程中不打断系

收稿日期:2019-11-27;定稿日期:2020-01-20

基金项目:国家重点研发计划项目(2018YFB2003302)

作者简介:曹 宇(1991一),男(汉族),安徽合肥人,博士研究生,研究方向为混合信号设计。

统正常工作的后台校正方法^[1-3]。但是,FIR 滤波 器本身会限制系统输入信号的带宽。TIADC 的分 辨率不断提高,FIR 滤波器的硬件规模呈几何指数 增长,面积和功耗均增加。因此,FIR 滤波器不再 适用于高精度 TIADC 的校正。文献[4]提出了一 种利用输入信号自相关系数的校正方法。该校正 方法利用输入信号的统计学规律作为误差检测依 据,对输入信号类型进行限制,将输入类型局限于 广义稳态随机信号。文献[5-6]采用盲校正算法来 检测和校准采样时间误差,可以使 TIADC 实现很 高的精度,但是,该类校正方法复杂度较高,不利 于片上集成。

针对以上问题,本文提出了一种基于参考通道 的采样时间误差校正方法。该校正算法的数字域逻 辑运算仅用到了加法器,回避了乘法器等复杂的数 字模块,极大地减小了数字域的硬件开销。该校正 方法对输入信号的类型没有任何限制。

1 校正算法的原理分析

由M个单通道ADC构成的时间交织ADC如图1所示。输入信号 $V_{in}(t)$ 在时钟CLK_i(i=1,2,…,M)的控制下,分别被每个单通道采样并转化为对应的数字码。这些数字码经过MUX模块后由并行输出转成串行输出 $D_{out}$ 。每个单通道ADC的转换速率为 $f_s/M$ ,TIADC的转换速率是单通道ADC的转换速率与M之乘积,等于 $f_s$ 。因此,通过多个单通道交织在一起且并行工作的方式实现了整体转换速率的倍增。



图 1 M个单通道 ADC 构成的时间交织 ADC 示意图

TIADC 中相邻通道间的采样时间相位差的理 论值为  $T_s(1/f_s)$ 。由于电路中存在失配,相邻通道 间的采样时间间隔会存在误差。将通道 i 的实际采 样时刻相对于理想采样时刻的偏差记作  $\tau_i$ ,则通道 i 的实际采样时刻是在理想间隔*T_sM*的基础上叠加 τ_i。采样时刻的偏差会导致通道*i*对输入信号采样 点的改变。

$$\tau_i$$
为0时,理想采样点为:  
 $D_{\text{out},i}^{\text{ideal}} = V_{\text{in}}(t - (nM + i)T_s)$  (1)

$$_i$$
 不为 0 时,实际采样点为:  
 $P^{\text{actual}} = V (t - (mM + i)T - \tau)$  (2)

$$\tau_i$$
导致了系统采样误差  $D_{\text{diff},i}$ ,为:

$$D_{\text{diff},i} = D_{\text{out},i}^{\text{actual}} - D_{\text{out},i}^{\text{ideal}}$$
(3)

通常情况下,
$$\tau_i \ll T_s$$
,则:

$$|\tau_i| \leqslant 0.1 T_s \tag{4}$$

因此, $D_{\text{diff},i}$ 的1阶泰勒级数展开为:

$$D_{\text{diff},i} \approx \tau_i \frac{\partial V_{\text{in}}(t)}{\partial t} \bigg|_{t=(nM+i)T_s}$$
(5)

通道 *i* 对输入信号 *V*_{in}(*t*)进行一系列采样后, *D*_{diff,*i*}的绝对值 | *D*_{diff,*i*} | 累加 *N* 次,累加和 *D*_{sum,*i*} 则为:

$$D_{\text{sum},i} = \sum_{n=n_i}^{n_i+N} \left( \left| \left| \tau_i \times \frac{\partial V_{\text{in}}(t)}{\partial t} \right|_{t=nMT_s+iT_s} \right| \right) = \left| \tau_i \right| \times \sum_{n=n_i}^{n_i+N} \left( \left| \left| \frac{\partial V_{\text{in}}(t)}{\partial t} \right|_{t=nMT_s+iT_s} \right| \right)$$
(6)

式中,n_i为累加的起始点。

对于奈奎斯特 ADC 而言,输入信号 V_{in}(t)的频带宽度小于第一奈奎斯特域,即:

$$f_{\rm in} < \frac{1}{2} f_{\rm s} \tag{7}$$

 $V_{in}(t)$ 为带限信号,其时域信号斜率的最大值  $(\partial V_{in}(t)/\partial t)|_{max}$ 为有限值。已知:

$$\left|\frac{\partial V_{\text{in}}(t)}{\partial t}\right| \in \left[0, \left(\frac{\partial V_{\text{in}}(t)}{\partial t}\right)_{\text{max}}\right] \tag{8}$$

随着 N 趋于无穷大,  $|D_{\text{diff},i}|$  遍历了从 0 至  $(\partial V_{\text{in}}(t)/\partial t)|_{\text{max}}$ 的所有值,则得:

$$D_{\text{sum},i} = \left| \tau_{i} \right| \times \sum_{n=n_{i}}^{n_{i}+N} \left( \left| \frac{\partial V_{\text{in}}(t)}{\partial t} \right|_{t=nT_{s}} \right| \right) = \left| \tau_{i} \right| \times N \times \left| \frac{\partial V_{\text{in}}(t)}{\partial t} \right|_{t=t} \right|$$
(9)

其中,

$$\frac{\partial V_{\text{in}}(t)}{\partial t}\Big|_{t=t'}\Big|\in \left[0, \left(\frac{\partial V_{\text{in}}(t)}{\partial t}\right)_{\text{max}}\right]$$
(10)

 $|(\partial V_{in}(t)/\partial t)|_{t=t'}| \ge N \uparrow |D_{diff,i}|$ 的均值,记为  $D_{diff,ave}$ ,则得:

$$D_{\text{sum},i} = |\tau_i| \times N \times D_{\text{diff,ave}}$$
(11)

由式(11)可知,当 N 趋于无穷大时, $D_{sum,i}$ 与  $|\tau_i|$ 成正比。因此, $D_{sum,i}$ 的数值反映了通道 i 的采 样时间偏差的绝对值。式(11)成立的前提是 N 趋 于无穷大。但是,这一点在工程上无法实现。

在实际工程中,需要保证  $D_{\text{sum},i}$ 与 $|\tau_i|$ 的正相关 性不受影响,即  $D_{\text{diff,ave}}$ 根据 N 值变化而产生的变化 足够小,从而保证所需的精度。这一点在实际应用 中易于满足。在绝大多数工程应用中,N 取值不需 要特别大。 $V_{\text{in}}(t)$ 为多频输入时不同 N 值对应的  $D_{\text{sum},i}$ 分布以及相关的 $D_{\text{diff,ave}}$ 如图 2 所示。



图 2 不同 N 值对应的  $D_{\text{sum},i}$  分布以及相关的  $D_{\text{diff, ave}}$ 

采样频率设为 2 GHz,分辨率为 12 bit。当 N 值从 100 增大到 1 000 时, D_{diff.ave} 仅改变 2%。当 N>1 000 后, D_{diff.ave}数值几乎恒定。从算法收敛性 层面考虑, N 值不需太大。但是, 太小的 N 值会使 得算法精度受到时钟抖动和输入信号噪声的影响, 从而降低算法的校正精度。综合考虑校正精度与速 度, N 值取在 100~1 000 内较合适。

2 校正算法的实现

#### 2.1 采样时间偏差检测

通道 *i* 的采样时间误差检测电路如图 3(a)所示。ADC_{ref}是参考通道,采样时刻作为通道 *i* 的参考。理论上,ADC_{ref}和通道 *i* 在同一时间采样,即二

者对于输入信号的采样点完全相同,所以  $D_{out, i}$ 与  $D_{out, ref}$ 相同。如果通道 i 的采样时刻相对于参考通 道存在偏差 $\tau_i$ ,则这两个通道输出会产生与之相关 的差值,该差值的绝对值会累加为  $D_{sum, i}$ 。根据式 (11)揭示的规律, $D_{sum, i}$ 的数值反映了 $\tau_i$ 的大小,如 图 3(b)所示。

该算法的依据是 D_{sum}. i与 | τ_i | 呈正相关性。根据上述理论分析可知,输入信号的频率成分会影响图 3(b)曲线的斜率。对于相同的 | τ_i |,输入信号的高频成分越多, D_{sum}. i越大,曲线斜率越大, | τ_i | 检测越容易。反之亦然。考虑极端情况,若输入信号是直流电平,无论 τ 值多大,误差检测结果均为 0。通道间采样时间误差对系统性能的恶化程度与输入信号频率成正比,所以低频输入对系统通道间采样时间误差的要求会更低。该算法使不利于低频信号下采样时间误差检测的劣势情况得到极大缓解。



(b) τ_i 与 D_{sum,i} 的理论关系
 图 3 采样时间误差检测

对于 M 个子 ADC 构成的 TIADC,系统内每一 个单通道相对于参考通道均存在采样时间误差,参 考通道需要完成对每一个单通道的采样时间误差校 正。因此需要 ADC_{ref}的采样时刻理论上与每一个 单通道的采样时刻对齐。为了实现上述需求, ADC_{ref}的采样时钟输入 CLK_{ref}的周期设置为 T_s 的 整数倍,即 *l*×T_s,*l* 为与 M 互质的整数。

TIADC 的 4 个单通道和参考通道(M=4,l=5)的时序图如图 4 所示。CLK_{ref}的第一个采样时刻与 CLK₀相同,第二个采样时刻与 CLK₁相同。U此类推。第4 个采样周期与 CLK₃相同。CLK_{ref}第5 个周期的采样边沿再一次与 CLK₀对齐。

CLK_{ref}每四个采样周期构成了1次循环。在1次 循环中,CLK_{ref}依次与每个通道的理想采样时刻对 齐。可根据图3(a)所示的检测方法,采用同一个 参考通道,分别检测每一个单通道的采样时间 偏差。



#### 2.2 采样时间偏差校正

通道 i 的采样时间误差校正算法的原理是基于  $D_{sum,i} = |\tau_i|$  的正相关特性。当通道 i 得到对应的  $D_{sum,i} = |\tau_i|$  的正相关特性。当通道 i 得到对应的  $D_{sum,i}$  后,校正模块会根据  $D_{sum,i}$  的值对通道 i 的时钟相位进行负反馈调节。随着负反馈调节,  $D_{sum,i}$  的值不断变小,通过多次迭代,最终收敛于最小值,通道 i 的采样时间偏差校正完成。 $D_{sum,i}$ 是 $|\tau_i|$ 的叠加,则同一  $D_{sum,i}$ 对应的  $\tau_i$  可能为正值或负值。因此,校正算法需要明确校正的方向。 $\tau_i$  的方向利用图 3(b)所示曲线的斜率来判断。设通道 i 第 j 次迭代和第 j+1 次迭代的检测结果分别为  $D_{sum,i,j}$ 和  $D_{sum,i,j+1}$ ,两者之差为  $D_{sum,i,j,j+1}$ 。两次迭代过程中,通道 i 的采样时钟相位控制码分别为  $A_i$ 和  $A_i^{i+1}$ ,两者之差为  $A_i^{i,j+1}$ ,两次迭代对应的曲线斜率则为:

$$k_{i}^{j} = \frac{D_{\text{sum},i,j+1} - D_{\text{sum},i,j}}{A_{i}^{j+1} - A_{i}^{j}} = \frac{D_{\text{sum},i,j,j+1}}{A_{i}^{j,j+1}}$$
(12)

图 5 所示为  $A_i^{i,i+1}$ 、 $k_i^i$  和  $\tau_i$  的四种关系组合。 若通道 *i* 的采样时间相对于参考通道提前,即  $\tau_i <$  0,则  $k_i < 0$ , $A_i$  需要增加;若通道 *i* 的采样时间相对 于参考通道滞后,即  $\tau_i > 0$ ,则  $k_i > 0$ , $A_i$  需要减小。 图 5 中,曲线(a)和(b)符合负反馈需求。曲线(c)和 (d)为正反馈,是校正算法中需要避免的情况。校正 算法对  $\tau_i$  符号逻辑判断和校正方向判断的先决条 件仅需要确定  $k_i$ 、 $D_{sum, i, j, j+1}$ 和  $A_i^{j, j+1}$ 的符号。将校 正方向的逻辑判断结合 Up/Down 计数器,则可简 化为"异或",整体校正逻辑如图 6 所示。

在第*j*次迭代中,异或门对 $D_{\text{sum},i,j,j+1}$ 和 $A_i^{i,j+1}$ 进行逻辑判断。若两者符号相同,则 $k_i > 0$ ,异或门输出低电平,控制Up/Down计数器进行减法运算, $A_i$ 减小;若两者符号不同,则 $k_i < 0$ ,异或门输出高

电平,控制 Up/Down 计数器进行加法运算,A_i 增大。A_i 作为控制码控制延时线电路且改变通道 *i* 采样时钟的电路延时,实现对相位的调节。延时线电路如图 7 所示。



延时线电路由粗调节和细调节电路组成。粗调 节电路保证电路的延时调节范围,延时范围通常要 大于 $\pm$ 10%*T*_s。本文采用多级分布式 Buffer 和 MOS电容阵列来实现,保证了调节范围。细调节电 路需要实现延时调节的精度。工作于 GHz 频段 10 bit 高速高精度 ADC 的通道间采样时间失配需要小 于 100 fs,即相位改变的步长需控制在 100 fs 以内。 本文采用图 7 所示电路,实现时钟相位的细调节。 小尺寸 MOS 管连接到 Buffer 的输出端, MOS 开关 的栅极电压通过一个 DAC 来控制。细调节电路的 控制码通过 DAC 对 MOS 开关栅压在一定范围内 进行微调,改变 Buffer 负载电容值,实现对时钟信 号相位的微调功能。通过 MOS 管与 DAC 之间并 接一个大尺寸 MOS 电容来稳压,避免 DAC 输出噪 声对小尺寸 MOS 管栅压的影响。

3 仿真结果与分析

基于 65 nm、1.1 V CMOS 工艺,设计了一种 4 GHz 8 bit TIADC。该 TIADC 由 4 通道交织而 成,其中的单通道和参考通道均采用 Flash,版图如 图 8 所示。该 TIADC 的模拟域面积为 0.46 mm², 数字域为 0.017 mm²,数字域电路的面积仅占核心 面积的 3.5%。



图 8 4 GHz 8 bit TIADC 版图

给每个单通道引入了初始采样时间误差,分别为: $\tau_1$ =0.6% $T_s$ , $\tau_2$ =-2% $T_s$ , $\tau_3$ =2.2% $T_s$ , $\tau_4$ =0.9% $T_s$ 。将实际电路工作环境、通道间失调、时钟 抖动等非理想因素引入了仿真环境。考虑到 TIADC中有多个通道并行工作,所以在输入信号通 路上引入片上驱动,以保证每个通道的输入信号线 性度和信噪比高于 8 bit ADC 的要求。

图 9 对比了校正算法应用前后 TIADC 输出结 果的 FFT 频谱。在仿真设置时,延时线的细调节步 长约为 100 fs,输入信号为频率接近奈奎斯特频率 的单音信号(为 1.77 GHz)。输入信号频率取值为 不能被采样频率整除的数,以防止频谱扩散。N 取 值 1 000。

可以看出,校正前,由通道间采样时间误差导致的频谱尖峰非常明显,为一30 dB。校正后,频谱相关尖峰能量降低了 30 dB。



 (a)校正前
 (b)校正后
 图 9 TIADC 通道间采样时间误差矫正前后输出 FFT 频谱 对比

选择一个参考通道,改变其他参考通道之间的 采样时间偏差,观察不同 N 值对应的 D_{sum.i},结果如 图 10 所示。正如第 2.2 节所述,D_{sum.i}和 |_{τi} | 的正相 关性并不依赖较大的 N 值,即使 N=10,也能满足 算法的逻辑需求。考虑到噪声问题,N 值也不宜 过小。



图 10 单通道与参考通道之间的 D_{sum,i}与τ_i 的关系

为了检测该算法的抗干扰性,在上述通道和参考通道间引入失调误差,观察其对采样时间误差检测的影响,结果如图 11 所示。可以看出,原电路的通道与参考通道之间的失调依次为 0.1,0.5,0.25, 1 LSB。通过局部细节发现,放大失调对相关曲线的影响近似等效为将原曲线进行垂直平移。这可从曲线的最小值处看到:当 Skew 相关的差值为 0 时,系统只有失调带来的影响,原本为 0 的曲线最小值变成了系统残留失调的叠加值。但是,对 Skew 校正而言,这一点并不受影响,原因是曲线的形状(采样误差校正逻辑的依据)没有发生变化。



图 11 通道间失调对应的采样时间误差检测结果

表1所示为本文与其他文献中的校正算法比较。可以看出,针对每一个单通道的检测和校正环节, $|\tau_i|=10\%T_s, N=1000$ 。本文算法所需的数字硬件资源比文献[2-4]更少,不需要复杂的乘法器或滤波器。

表 1 本文与其他文献中的校正算法比较

参数	文献[2]	文献[3]	文献[4]	本文
所需 FIR 滤波器数	1	1	0	0
所需乘法器数	2	2	4	0
所需加法器数	7	7	9	1
收敛速度	10 <b>k</b>	80 <b>k</b>	32 <b>k</b>	44k
(以采样数表示)				

#### 4 结 论

本文提出了一种基于参考通道的 TIADC 通道 间采样时间误差后台校正算法。本文算法的校正逻 辑简单易行,逻辑运算仅使用了加法器,避免使用乘 法器等复杂数字运算模块,极大地降低了数字域硬 件开销。本文算法被应用于一种基于 65 nm、1.1 V CMOS 工艺实现的 4 GHz 8 bit 4 通道交织 TIADC。结果表明,本文算法能够有效地降低通道 间采样时间误差。

#### 参考文献:

- [1] 樊勇,陈哲,张波.太赫兹高速通信系统前端关键技术 [J].中兴通讯技术,2018,24(3):15-20.
- [2] 洪伟.关于毫米波与太赫兹通信的思考 [J].中兴通 讯技术,2018,24(3):39-42.
- [3] STRAAYER M, BALES J, BIRDSALL D, et al. A 4 GS/s time-interleaved RF ADC in 65 nm CMOS with 4 GHz input bandwidth [C] // IEEE ISSCC. San Francisco, CA, USA. 2016: 464-465.
- [4] DUC H L, NGUYEN D M, JABBOUR C, et al. Fully digital feedforward background calibration of clock skews for sub-sampling TIADCs using the polyphase decomposition [J]. IEEE Trans Circ Syst I: Regu Pap, 2017, 64(6): 1515-1528.
- [5] CHEN S, WANG L, ZHANG H, et al. All-digital calibration of timing mismatch error in time-interleaved analog-to-digital converters [J]. IEEE Trans VLSI Syst, 2017, 25(9): 2552-2560.
- [6] LIN C Y, WEI Y H, LEE T C. A 10-bit 2. 6-GS/s time-interleaved SAR ADC with a digital-mixing timing-skew calibration technique [J]. IEEE J Sol Sta Circ, 2018, 53(5): 1508-1517.
- [7] DIVI V, WORNELL G W. Blind calibration of timing skew in time-interleaved analog-to-digital converters
   [J]. IEEE J Select Topic Signal Process, 2009, 3(3): 509-522.
- [8] FAN J J, LI Q, LI G J. Blind adaptive calibration of timing error for two-channel time-interleaved ADCs
   [C] // 53rd IEEE Int Midwest Symp Circ Syst. Seattle, WA, USA. 2010: 233-236.

・动态与综述・

## 先进工艺下的版图邻近效应研究进展

王英菲¹,张青淳²,苏晓菁^{1,3},董立松³,陈 睿³,张利斌³,盖天洋^{1,3},粟雅娟^{3,4}, 韦亚一^{1,3,4},叶甜素^{1,3}

(1. 中国科学院大学,北京 100049; 2. 中芯国际集成电路制造有限公司,上海 201203;3. 中国科学院 微电子研究所,北京 100029; 4. 广东省大湾区集成电路与系统应用研究院,广州 510535)

摘 要: 在 28 nm 及以下工艺节点,版图邻近效应已经成为一个重要问题。文章概述了版图邻 近效应的研究及应用进展,介绍了 Poly-gate、High-k/Metal-gate、FinFET 等不同工艺下的 6 种版 图邻近效应二级效应,包括阱邻近效应、扩散区长度效应、栅极间距效应、有源区间距效应、NFET/ PFET 栅极边界邻近效应和栅极线末端效应。在此基础上,详细论述了这些二级效应的工艺背景、 物理机理以及对器件电学性能的影响,归纳了目前常见的工艺改进方法。最后,从工艺角度展望 了深纳米工艺尺寸下版图邻近效应的发展趋势。

 关键词:
 版图邻近效应; CMOS; 高 k; 金属栅; FinFET

 中图分类号: TN386; TN405
 文献标识码: A

DOI:10.13911/j.cnki.1004-3365.190654

文章编号:1004-3365(2020)05-0675-08

#### **Research Progress of Layout Proximity Effect in Recent CMOS Nodes**

WANG Yingfei¹, ZHANG Qingchun², SU Xiaojing^{1,3}, DONG Lisong³, CHEN Rui³,

ZHANG Libin³, GAI Tianyang^{1, 3}, SU Yajuan^{3, 4}, WEI Yayi^{1, 3, 4}, YE Tianchun^{1, 3}

(1. University of Chinese Academy of Sciences, Beijing 100049, P. R. China; 2. Semiconductor Manufacturing International Corporation, Shanghai 201203, P. R. China; 3. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, P. R. China; 4. Guangdong Greater Bay Area Applied Research Institute of Integrated Circuit and Systems, Guangzhou 510535, P. R. China)

**Abstract:** At 28 nm process and below, layout proximity effects are one of the significant device issues. The research and application of layout proximity effects were summarized. Six kinds of layout proximity effects were explained, including well proximity effect, length of diffusion effect, poly spacing effect, active area spacing effect, NFET/PFET gate patterning boundary proximity effect and gate line end effect. The physical mechanisms, influence on the transistor electrical performance and improvement solutions were discussed in detail. Finally, the development trend of layout proximity effects under deep nanometer process size was prospected.

Key words: layout proximity effect; CMOS; high-k; metal-gate; FinFET

0 引 言

随着集成电路按摩尔定律发展,芯片集成度不

收稿日期:2019-11-14; 定稿日期:2019-12-17

- **基金项目:**国家自然科学基金资助项目(61804174);国家重大专项项目(2017ZX02315001);国家科技重大专项项目 (2017ZX02101004)
- 作者简介:王英菲(1996—),女(汉族),河南新乡人,硕士研究生,研究方向为半导体制造工艺。 粟雅娟(1975—),女(壮族),贵州锦屏人,博士,研究员,研究方向为设计工艺联合优化、计算光刻技术。

断提高。小尺寸晶体管的器件性能除了受其本身器件参数(沟道长度、沟道宽度)的影响,还对其周围版图参数非常敏感^[1]。在小尺寸器件中,版图邻近效应(Layout Proximity Effect,LPE)已成为影响器件

性能的不可忽略的问题之一^[2-4]。版图邻近效应会显著影响阈值电压、饱和电流等器件电学参数,进而影响器件性能。对于 45 nm 工艺器件,相同沟道长度与沟道宽度的两个晶体管因版图邻近效应的影响可达到 30%的饱和电流差异和 100 mV 的阈值电压差异^[5]。版图邻近效应的产生主要与器件制造工艺相关,如沟道掺杂浓度、应力(包括应力工程产生的 有意应力和制造工艺产生的无意应力)等。

目前,平面 CMOS 器件的版图邻近效应的研究 已经逐步成熟,版图邻近效应的二级效应有:阱邻近 效应(Well Proximity Effect, WPE)^[6-8]、扩散区长度效 应(Length of Diffusion, LOD)^[9-12]、栅极间距效应 (Poly Spacing Effect, PSE)^[13]和有源区间距效应 (Active Area Spacing Effect, ASE)^[9,14]。LOD效应和 WPE效应在 BSIM 中已建立了标准模型,可直接用 于部分电路模拟^[15]。

在 28 nm 及以下节点工艺中,为了改善栅极漏 电流和费米能级钉扎效应,业界采用高 k 介质材料 (HfO₂、HfSiON)取代氧化硅,采用金属取代多晶硅 栅,即采用 high-k/Metal Gate(HKMG)工艺^[16]。 HKMG 工艺制作的器件因采用金属栅极而产生了 新的二级效应,即 N/P 栅极边界邻近效应^[17]。随 着器件特征尺寸缩小到鳍型场效应晶体管 (FinFET)的尺寸,版图邻近效应对器件的影响更 大。新的工艺还会产生一种新的版图邻近效应,即 栅极线末端效应(Gate Line End Effect,GLE)^[18]。

需要注意的是,版图邻近效应研究与光学邻近 效应研究的主要内容不同。光学邻近效应研究是在 版图设计时附加特殊图形来纠正光刻工艺的偏差, 以实现邻近效应修正。版图邻近效应研究除少部分 采用版图设计外,大部分是对器件本身制造工艺进 行优化,以实现更精确的器件建模。

随着器件特征尺寸进一步缩小,器件的版图邻 近效应越来越复杂,对器件电学性能造成的影响越 来越大,器件的精确建模越来越困难。深入了解版 图邻近效应的物理原理以及优化器件制造工艺是当 前小尺寸器件版图邻近效应研究的主要方向。本文 综述了6种版图邻近效应二级效应,从工艺角度详 细阐述了各效应的产生机理以及对 NPET/PFET 的影响方式,归纳了常见的工艺改进方法。

1 阱邻近效应

在大规模体硅 CMOS 器件工艺过程中,利用高

能离子注入形成倒掺杂深阱,以实现闩锁保护与抑 制横向穿通效应^[19]。T.B.Hook等人最早报道了 器件栅极相对阱边缘位置对 MOSFET 的影响^[8]。 在高能离子注入过程中,光刻胶内部边缘的离子发 生横向散射^[20],散射离子进入到阱表面,从而影响 阱边缘附近沟道处的掺杂浓度,如图1所示^[21]。额 外注入离子的深度和浓度取决于散射离子的角度和 能量^[8]。阱掺杂过程中,这种横向非均匀性造成了 MOSFET 电学参数随器件到阱边缘的距离发生变 化,即 WPE 效应^[21]。



图 1 阱邻近效应示意图

集总模型委员会(CMC)已提供了适用于各种 MOS集总模型的标准化WPE模型,用于电路仿 真。该模型通过使用各个方向上各个测量值的加权 平均值来处理不规则形状的阱。现有3个 MOSFET实例参数(SCA、SCB和SCC),它们分别 代表分散掺杂杂质的第一、第二、第三分布函数的积 分。采用这3个实例参数来调整器件阈值电压、体 效应系数和迁移率^[7]。文献[6]给出了计算这些参 数的闭式表达式。可简单认为WPE与d² 呈负相 关(d为从沟道到阱边缘的距离)。

阱离子注入与沟道掺杂类型(施主或受主)相同,额外的掺杂会造成 NMOS 与 PMOS 的阈值电 压绝对值增加^[15]。据文献研究^[6-8],观察到的阈值 电压随器件到阱边缘的距离变化可达 50~100 mV。 如果工艺流程包含用于噪声隔离的深三阱技术,则 离子注入的掺杂剂类型与沟道掺杂类型相反,导致 阈值电压降低,甚至使表面掺杂类型发生翻转^[8]。 在绝缘体上硅(SOI)工艺中,MOS 器件通过衬底与 表面硅薄层之间的绝缘层形成自然隔离,不需要深 阱注入。此类 MOS 器件很大程度上不受 WPE 的

影响^[4]。对于 FinFET,其 WPE 的形成机制及器件 行为与平面器件类似[22]。

#### 2 扩散区长度效应

LOD效应是指器件电学参数随扩散区和有源 区长度变化而变化的现象。研究发现,LOD 效应主 要来源于应力工程所施加的有意应力或某些工艺带 来的无意应力^[9,15]。

在 0.25 μm 及以下 CMOS 工艺中,广泛采用浅 槽隔离(STI)工艺作为器件隔离。STI 沟槽中填充 大量隔离介质氧化物,Si(沟道)与SiO₂(STI)热力 膨胀系数的差别导致 STI 应力的产生。另外, STI 侧壁在后续工艺过程中的无意氧化造成 SiO₂ 膨胀, 进一步加剧了应力积累^[23]。STI 应力会对邻近 MOS 管的有源区与沟道产生双轴压缩应力,从而影 响器件的饱和电流、阈值电压。

STI应力对沟道产生的应力及相应电学参数的 变化可用2个几何参数 SA、SB 来定性描述。SA、 SB 分别代表栅极到器件两侧有源区边缘的距离^[2]。 图 2 所示为不同有源区长度(OD)器件受 STI 应力 的影响示意图^[21]。图中,(a)、(b)、(c)分别表示不 同扩散长度的器件。



图 2 STI 应力在沿沟道长度方向对 MOS 器件的影响示 意图

器件所承受的应力取决于沟道到两侧 STI 边 缘的距离(SA、SB),当SA、SB都较小时,应力效应 发生叠加^[15]。STI应力对沟道产生的影响可在

Hspice 中进行仿真。仿真结果显示,STI 在沟道内 产生的双轴拉应力使得空穴迁移率增强、电子迁移 率降低[21]。文献研究表明,器件的这种变化归因于 STI 应力引起的增强、抑制扩散^[2, 24]。

PMOS 中的 LOD 效应,除受 STI 应力的影响 外,还受 SiGe 应力的影响。在 28 nm 及以下 PMOS 工艺中, SiGe 应力是 LOD 效应的主导因 素^[9]。源漏嵌入式 SiGe 应变技术(eSiGe)广泛应用 于 90 nm 以下工艺中,可有效提升 PMOS 的速度。 利用 SiGe 和 Si 晶格常数的不同,在 Si 衬底上外延 生长 SiGe 而形成 SiGe 应变材料,在小尺寸 PMOS 沟道(100)方向产生单轴的压应力[25]。这种压应力 可使价带能带发生分裂,减小空穴的电导有效质量, 进而提升 PMOS 的迁移率^[25]。

eSiGe 对 LOD 效应的影响主要表现为三方面。 第一,随着 SA、SB 的减小,eSiGe 的体积变小,导致 产生的压应力变弱。第二,SA、SB 的减小导致了 eSiGe 的形状改变。SA、SB 较大或较小时的 PMOS eSiGe TCAD 仿真截面图如图 3 所示^[9]。与 较大 SA、SB 器件相比,较小 SA、SB 器件的锥度更 大。大锥度 eSiGe 会造成不期望的更深的源/漏注 入,从而影响阈值电压与饱和电流^[9]。第三,研究发 现,eSiGe 与沟道的界面质量会影响 PMOS 的一些 电参数。更好的界面质量产生更高的沟道应力,提 升有效电流,抑制掺杂硼从 eSiGe 向沟道扩散,减弱 短沟道效应[13,26]。





(a)SA、SB 较小 图 3 PMOS eSiGe TCAD 仿真截面图

(b)SA、SB 较大

为了减弱 STI/SiGe 应力的影响, 使 SA、SB 尽 量长,在栅极左右两侧插入虚拟栅极,如图 2(c)所 示^[21]。虚拟栅极均接地,对电路实际功能没有影 响。对于更小尺寸器件, eSiGe 工艺使用多种方法 进行优化。如,使用 Ge 百分含量较低的初始外延 生长层;使用多层 eSiGe 结构,每层的 B 和 Ge 含量 不同;降低 eSiGe 与 Si 界面阻挡层的接触电阻与金 属硅化物扩散;沟槽采用金属硅化物来保护 盖层^[13]。

对于 HKMG 工艺制作的器件, SA、SB 的减小

可能会导致一些应力技术的失效,这类现象属于 LOD效应。普遍采用应力记忆技术(SMT),通过 源漏(S/D)非晶区域的固相外延生长(SPE),产生 位错,为沟道提供拉伸应力,提升 NMOS 性能^[27-28]。 但是,过小 SA、SB(处在有源区边缘)的器件的源漏 区位错形成非常困难,造成边缘区域的性能下降,如 图 4 所示^[13]。因此,在低 LOD 效应器件制造过程 中,采用应力记忆技术时,应合理选择应力膜厚度、 材料、退火温度、固相外延速率等条件,保证源漏区 位错的有效形成。

FinFET 同样采用 HKMG 工艺, SA、SB 进一 步减小,LOD 效应更复杂。在 NMOS FinFET 中, LOD 效应为 STI 应力和 SMT 失效的共同作用。 在 PMOS FinFET 中,S/D 区 eSiGe 造成的 LOD 效 应进一步增强^[12]。TCAD 模拟结果表明,与位于晶 体管长链中部的 FinFET 相比,独立的 FinFET 在 沟道内产生的应力更弱^[12]。这种应力直接影响 PMOS FinFET 的迁移率。



图 4 SMT 工艺制作的 HKMG 器件 TEM 示意图

3 栅极间距效应

PSE 效应是指器件电学参数随栅极间距改变 而变化的现象。PSE 效应的版图参数示意图如图 5 所示。在具有虚拟栅极的器件中,栅极间距效应又 被称为 DPS(Dummy Poly Spacing, DPS)效应^[9]。 DPS 效应与刻蚀停止层应力(CESL)技术密切相 关^[29]。CESL 技术是能有效提升迁移率的关键技 术^[30-32]。在器件表面淀积氮化硅膜,使沟道产生压 应力或拉应力。应力类型取决于淀积条件^[33]。

栅极之间的间隙对于引起适当的侧向应力(压 缩或拉伸)是必需的,间隙的长度会影响该应力的大 小^[34]。对于 PMOS 器件,栅极间距的减小会使 CESL 技术产生的压应力迅速下降。这种应力的变 化会直接导致器件迁移率的变化^[32]。



图 5 PSE 效应的版图参数示意图

在版图设计中应充分考虑栅极间距效应,对不同栅极间距的器件要谨慎选择。对于 FinFET,必须考虑这一影响,在版图设计中需采用统一的栅极间距尺寸,保证器件所受应力相同^[18]。

#### 4 有源区间距效应

ASE 效应是指器件有源区与相邻器件有源区 的距离对器件电学特性的影响^[9]。在目前主流工艺 中,相邻器件之间为 STI 隔离, ASE 效应又被称为 浅槽隔离宽度效应(Different Shallow Trench Spacing, DSTS)。DSTS 效应具有两个版图参数, 分别为沿沟道长度方向( $S_x$ )与沿沟道宽度方向 ( $S_y$ ),如图 6 所示^[35]。



图 6 DSTS 效应的版图参数示意图

在 90 nm 工艺中,DSTS 效应并不显著。在 40 nm 及以下工艺中,有源区间距变化给 NMOS/ PMOS 带来 6%的饱和电流改变^[7]。DSTS 效应与 STI 应力有关^[9]。随着 STI 宽度的增大,STI 应力 增加,达到饱和状态^[36]。 有源区边界所受应力可参照 LOD 效应中对 STI 应力的建模方式,表达式为:

$$\sigma_{\mathrm{p}_{\mathrm{STI}}} = (1 + \frac{m}{W_{\mathrm{LOD}}}) \frac{W_{\mathrm{STI}}}{(A_{\mathrm{STI}} + W_{\mathrm{STI}})} \sigma_{\mathrm{m}_{\mathrm{STI}}}$$
(1)

式中,W_{STI}为有源区间距(STI宽度),W_{LOD}为有 源区宽度,σ_{m_STI}为 STI 饱和应力,m、A_{STI}均为建模 参数^[37]。研究表明,器件饱和电流与有源区间距呈 正相关。ASE 效应与栅极到 STI 边缘距离有关。 距离越小,ASE 效应越强^[38]。

近期的研究中,一些 HKMG 器件的栅介质使 用镧(La)盖层来调整功函数,STI 宽度对器件的影 响有其他方式^[14,35]。STI 由高密度等离子体氧化物 组成。O₂ 从 STI 通过有源区与栅极重叠角扩散到 栅介质的示意图如图 7 所示^[14]。



图 7 沿沟道宽度方向 O₂ 从 STI 通过有源区/栅极交叠角 扩散至栅介质的示意图

O₂ 扩散程度随 STI 宽度的增加而增加。STI 宽度增加,导致更多的 O₂ 扩散到栅极,消除更多高 *k* 介质层中带正电荷的氧空位,从而影响栅极金属 功函数与器件阈值电压^[35]。这种有源区与栅极重 叠角只存在于沟道宽度方向,阈值电压变化只受 S_Y 调制。调整高 *k* 介质层与 La 盖层的厚度,可有效控 制 HKMG 器件中 DSTS 效应的产生^[35]。

#### 5 N/PFET 栅极边界邻近效应

文献[17]首次报道了平面 HKMG 工艺器件的 NFET/PFET 栅极边界邻近效应。该效应来源于 NFET/PFET 调节功函数的栅极金属材料,又被称 为金属边界效应(Metal Boundary Effect, MBE)^[22]。器件阈值电压受有源区到 NPET/PFET 栅极交界处距离的影响。NFET/PFET 栅极边界 邻近效应的版图参数示意图如图 8 所示^[13]。图中, Variable 参数为器件到 NFET/PFET 栅极边界的 距离。



图 8 NFET/PFET 栅极边界邻近效应的版图参数示意图

MBE 效应源于 NFET/PFET 栅极金属层交界 处的金属扩散,示意图如图 9 所示^[17]。可以看出, 随着器件到 NFET/PFET 栅极交界处的接近程度 增加,交界处材料扩散至栅极的量变大,NFET/ PFET 金属功函数显著改变^[13],从而影响器件阈值 电压。通过优化金属栅极和光刻/刻蚀工艺可有效 改善 MBE 效应^[17]。



图 9 NFET/PFET 栅极交界处金属扩散示意图

6 栅极线末端效应

在 Gate-last FinFET 工艺中^[18],首先形成多晶 硅栅极和侧墙,接着利用多晶硅槽切割(PSC)技术 切割多晶硅线(栅),以定义器件有源区。最后去除 多晶硅栅极,用金属替换栅极(RMG)。如果 PSC 非常靠近 Si-fin 边缘,靠近金属栅极切割边缘的金 属填充质量则会受影响^[22],导致阈值电压发生变化,这就是GLE效应。在版图层级,GLE定义为从 Si-fin边缘到 PSC 的距离,如图 10 所示^[18]。



图 10 FinFET GLE 效应的版图参数示意图

固定 Si-fin 数量为 1(N_{Fin}=1)时,N/P-FinFET 的饱和电流随 GLE 长度的变化曲线如图 11 所示。 可以看出,随着 GLE 长度的减小(从 100 nm 到 35 nm),N/P-finFET 出现 6%的饱和电流变化^[18]。

GLE 效应的产生源于栅极切断处机械应力对 Si-fin 沟道能带的作用^[39]。在沟道横向方向上,拉 应力对电子与空穴迁移率均有促进作用^[40]。从图 11 可知,当 GLE 较大时,器件沟道内应力较大。 TCAD 模拟结果表明,增大 Si-fin 数量可显著减小 沟道横向应力,进而减弱 GLE 效应^[15]。从工艺角 度方面,通过提升填充金属的淀积温度,可以减小栅 极引起的应力^[15]。



图 11 N/P-FinFET 的饱和电流随 GLE 长度的变化关系

#### 7 结 论

本文系统介绍了版图邻近效应及其对器件性能 的影响机制。器件特征尺寸的不断缩小与大规模应 力工程的引入,给版图邻近效应的研究带来了新的 挑战。当前工艺节点下,版图邻近效应的来源更加 复杂。除沟道掺杂浓度与应力影响外,HKMG工艺 器件的栅极金属功函数对器件电学特性的影响进一 步增加。需要重视一些以前被忽略的二级效应。

尽管版图邻近效应的精确建模和良好电路(版 图)的设计可以减弱许多二级效应,但这往往是以面 积与性能为代价的。对于 20 nm 及以下工艺,在 HKMG工艺器件、FinFET中,各种二级效应互相 影响,完整精确地建模较为困难。需要深入研究各 类二级效应的机制及物理背景,从工艺流程优化的 角度来进一步抑制版图邻近效应。

致谢:

感谢中国科学院微电子所微电子器件与集成技 术重点实验室的支持!

#### 参考文献:

- STEEGEN A, STUCCHI M, LAUWERS A, et al.
   Silicide induced pattern density and orientation dependent transconductance in MOS transistors [C] // IEEE IEDM. Washington D C, USA. 1999: 497-500.
- [2] SU K W, SHEU Y M, LIN C K, et al. A scaleable model for STI mechanical stress effect on layout dependence of MOS electrical characteristics [C] // Proc IEEE CICC. San Jose, CA, USA. 2003: 245-248.
- [3] SCOTT G, LUTZE J, RUBIN M, et al. NMOS drive current reduction caused by transistor layout and trench isolation induced stress [C] // IEEE IEDM. Washington D C, USA. 1999: 827-830.
- [4] BIANCHI R A, BOUCHE G, ROUX-DIT-BUISSON O. Accurate modeling of trench isolation induced mechanical stress effects on MOSFET electrical performance [C] // IEEE IEDM. San Francisco, CA, USA. 2002: 117-120.
- LIN X W, MOROZ V. Layout proximity effects and modeling alternatives for IC designs [J]. IEEE Design & Test Comput, 2010, 27(2): 18-25.
- [6] WATTS J, SU K W, BASEL M. Netlisting and modeling well-proximity effects [J]. IEEE Trans Elec

Dev, 2006, 53(9): 2179-2186.

- SHEU Y M, SU K W, YANG S J, et al. Modeling well edge proximity effect on highly-scaled MOSFETs
   [C] // Proc IEEE CICC. San Jose, CA, USA. 2005: 831-834.
- [8] HOOK T B, BROWN J, COTTRELL P, et al. Lateral ion implant straggle and mask proximity effect [J]. IEEE Trans Elec Dev, 2003, 50(9): 1946-1951.
- [9] LI R, WU H. A study of narrow transistor layout proximity effects for 28 nm Poly/SiON logic technology [C] // CSTIC. Shanghai, China. 2016: 1-4.
- [10] BERTHELON R, ANDRIEU F, JOSSE E, et al. Design / technology co-optimization of strain-induced layout effects in 14 nm UTBB-FDSOI CMOS: enablement and assessment of continuous-RX designs [C] // IEEE Symp VLSI Technol. Honolulu, HI, USA. 2016: 1-2.
- [11] SONG L, LIANG Y, ONODA H, et al. PMOSFET layout dependency with embedded SiGe source/drain at poly and STI edge in 32/28 nm CMOS technology [C] // Proc Tech Program VLSI Technol Syst & Appl. Hsinchu, China. 2012; 1-2.
- [12] CHOI M, MOROZ V, SMITH L, et al. 14 nm FinFET stress engineering with epitaxial SiGe source/ drain [C] // ISTDM. Berkeley, CA, USA. 2012: 1-2.
- [13] SATO F, RAMACHANDRAN R, MEER H V, et al. Process and local layout effect interaction on a high performance planar 20 nm CMOS [C] // IEEE Symp VLSI Technol. Kyoto, Japan. 2013: T116-T117.
- [14] SIVANARESH M S, MOHAPATRA N R. Analysis and modeling of the narrow width effect in gate-first HKMG nMOS transistors [J]. IEEE Trans Elec Dev, 2015, 62(4): 1085-1091.
- [15] FARICELLI J V. Layout-dependent proximity effects in deep nanoscale CMOS [C] // IEEE CICC. San Jose, CA, USA. 2010: 1-8.
- [16] CHOI K, ANDO T, CARTIER E A, et al. The past, present and future of high-k/metal gates [J]. ECS Trans, 2013, 53(3): 17-26.
- [17] HAMAGUCHI M, NAIR D, JAEGER D, et al. New layout dependency in high-k/metal gate MOSFETs [C] // IEEE IEDM. Washington D C, USA. 2011: 25. 6. 1-25. 6. 4.
- [18] YANG P Y. Effect of gate-line-end-induced stress and its impact on device's characteristics in FinFETs [J]. IEEE Elec Dev Lett, 2016, 37(7): 910-912.

- [19] WOLF S. Silicon processing for the VLSI era process integration Vol. 2 [M]. Sunset Beach, CA, USA: Lattice Press, 1999: 389.
- [20] HOBLER G, SELBERHERR S. Monte Carlo simulation of ion implantation into two-and threedimensional structures [J]. IEEE Trans Comput Aid Design Integr Circ, Syst, 1989, 8(5): 450-459.
- [21] DRENNAN P G, KNIFFIN M L, LOCASCIO D R. Implications of proximity effects for analog design [C] // IEEE Custom Integr Circ Conf. San Jose, CA, USA. 2006; 169-176.
- [22] CHEN D C, LIN G S, LEE T H, et al. Compact modeling solution of layout dependent effect for FinFET technology [C] // Proc Int Conf Microelec Test Struct. Tempe, AZ, USA. 2015: 110-115.
- [23] YAMADA K, SATO T, AMAKAWA S, et al. Layout-aware compact model of MOSFET characteristics variations induced by STI stress [J]. IEICE Trans Elec, 2008, E91-C (7): 1142-1150.
- [24] SCOTT G, LUTZE J, RUBIN M, et al. NMOS drive current reduction caused by transistor layout and trench isolation induced stress [C] // IEEE IEDM. Washington D C, USA. 1999: 827-830.
- [25] THOMPSON S E, ARMSTRONG M, AUTH C, et al. A 90-nm logic technology featuring strained-silicon [J]. IEEE Trans Elec Dev, 2004, 51 (11): 1790-1797.
- [26] FUKUTOME H, CHEON K Y, KIM J P, et al. Comprehensive extensibility of 20 nm low power/high performance technology platform featuring scalable high-k/metal gate planar transistors with reduced design corner [C] // IEEE IEDM. San Francisco, CA, USA. 2012: 3.5.1-3.5.4.
- [27] LIM K Y, LEE H, RYU C, et al. Novel stressmemorization-technology (SMT) for high electron mobility enhancement of gate last high-k/metal gate devices [C] // IEEE IEDM. San Francisco, CA, USA. 2010: 10.1.1-10.1.4.
- [28] 罗文政, 张胜杰. FINFET 器件及其形成方法 [P]. CN103247535B,2012(20160608).
- [29] GRUDOWSKI P, ADAMS V, BO X Z, et al. 1-D and 2-D geometry effects in uniaxially-strained dual etch stop layer stressor integration [C] // IEEE Symp VLSI Technol. Honolulu, HI, USA. 2006: 62-63.
- [30] SHIMIZU A, HACHIMINE K, OHKI N, et al. Local mechanical-stress control (LMC): a new technique for CMOS-performance enhancement [J]. Hitachi UlSI SystTechn J, 2001, 4: 19.4.1-19.4.4.

- [31] CHAN V, RENGARAJAN R, ROVEDO N, et al. High speed 45 nm gate length CMOSFETs integrated into a 90 nm bulk technology incorporating strain engineering [C] // IEEE IEDM. Washington D C, USA. 2003; 3. 8. 1-3. 8. 4.
- [32] YANG H S, MALIK R, NARASIMHA S, et al. Dual stress liner for high performance sub-45nm gate length SOI CMOS manufacturing [C] // IEEE IEDM. San Francisco, CA, USA. 2004: 1075-1077.
- [33] MAEDA M, IKEDA K. Stress evaluation of radiofrequency-biased plasma-enhanced chemical vapor deposited silicon nitride films [J]. J Appl Phys, 1998, 83(7): 3865-3870.
- [34] GE L, ADAMS V, LOIKO K, et al. Modeling and Simulation of poly-space effects in uniaxially-strained etch stop layer stressors [C] // IEEE Int SOI Conf. Indian Wells, CA, USA. 2007: 25-26.
- [35] DUHAN P, RAO V R, MOHAPATRA N R. PBTI in HKMG nMOS transistors-effect of width, layout, and other technological parameters [J]. IEEE Trans Elec Dev, 2017, 64(10): 4018-4024.

(上接第 668 页)

BAS-SVM 具有良好的预测精度和收敛速度。BAS-SVM 模型不仅可为 IGBT 结温的准确预测提供一种有效的方法,也可作为一种通用的预测模型应用于其他领域。

#### 参考文献:

- LAI W, CHEN M, RAN L, et al. Study on lifetime prediction considering fatigue accumulative effect for die-attach solder layer in an IGBT module [J]. IEEJ Trans Electri & Electro Engineer, 2018, 13 (4): 613-621.
- [2] PENG Y Z, ZHOU L W, ZHANG Y M, et al. Study of IGBT module aging failure base on bond wire equivalent resistance [J]. Trans China Electrotech Soc, 2017, 32(20): 117-123.
- [3] 张树冰,刘雪婷. 功率模块 IGBT 失效机理与寿命预 测研究综述 [J]. 电气开关,2017,55(5):25-27.
- [4] 胡亮灯,赵治华,孙驰,等. IGBT 集电极电压高精度 测量方法研究 [J]. 电机 与控制学报, 2018(6):

- [36] KAHNG A B, SHARMA P, TOPALOGLU R O. Exploiting STI stress for performance [C] // IEEE/ ACM Int Conf Comput Aid Design. San Jose, CA, USA. 2007: 83-90.
- [37] WANG C C, ZHAO W, LIU F, et al. Modeling of layout-dependent stress effect in CMOS design [C] // IEEE/ACM ICCAD. San Jose, CA, USA. 2009: 513-520.
- [38] TSUNO H, ANZAI K, MATSUMURA M, et al. Advanced analysis and modeling of MOSFET characteristic fluctuation caused by layout variation [C] // IEEE Symp VLSI Technol. Kyoto, Japan. 2007: 204-205.
- [39] MOHTA N, THOMPSON S E. Mobility enhancement [J]. IEEE Circ & Dev Mag, 2005, 21 (5): 18-23.
- [40] GE C H, LIN C C, KO C H, et al. Process-strained Si (PSS) CMOS technology featuring 3D strain engineering [C] // IEEE IEDM. Washington D C, USA. 2003: 3.7.1-3.7.4.

96-106.

- [5] HUZ, DUM, WEIK, et al. An adaptive thermal equivalent circuit model for estimating the junction temperature of IGBT's [J]. IEEE J Emerg & Selected Topics Power Elec, 2019, 7(1): 392-403.
- [6] BING G, FAN Y, CHEN M, et al. Thermal lifetime estimation method of IGBT module considering solder fatigue damage feedback loop [J]. Microelec Reliab, 2018, 82: 51-61.
- [7] 禹健,郭天星,高超. 基于 GA-BP 算法的 IGBT 结温 预测模型 [J]. 自动化与仪表, 2019, 34(1): 79-83.
- [8] 韩晔. 功率模块 IGBT 结温测量方法研究 [D]. 天津: 河北工业大学, 2017.
- [9] 陈景年,胡顺祥,徐力.基于异类近邻的支持向量机 加速算法[J].计算机工程,2018,44(5):19-24.
- [10] JIANG X, LI S. BAS: beetle antennae search algorithm for optimization problems [J]. Int J Robot & Control, 2018, 1(1): 1-5.
- [11] 王甜甜, 刘强. 基于 BAS-BP 模型的风暴潮灾害损失 预测 [J]. 海洋环境科学, 2018, 37(3): 457-463.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020 年 10 月	Microelectronics	Oct. 2020

・半导体器件与工艺・

## 新型独立三栅 FinFET 单粒子瞬态效应 TCAD 分析

#### 韩燕燕,孙亚宾,李小进,石艳玲

(华东师范大学通信与电子工程学院电子工程系上海多维信息处理重点实验室,上海 200241)

#### SET Sensitivity Analysis of Novel Tri-Independent-Gate FinFET by TCAD

HAN Yanyan, SUN Yabin, LI Xiaojin, SHI Yanling

(Shanghai Key Lab. of Multidimensional Inform. Processing, Depart. of Elec. Engineer., School of Communication and Electronic Engineering, East China Normal University, Shanghai 200241, P. R. China)

**Abstract:** The effects of heavy ion hitting on tri-independent-gate (TIG) FinFET and inverters were investigated deeply. At first, the most sensitive area of N-type TIG FinFET and the influence of supply voltage on radiation sensitivity were discussed. Then, five kinds of inverters with different work modes were established based on the unique current control methods. The sensitivity of those inverters' single event transient was compared by ion striking on the most sensitive area of N-type pull down transistor. The results of 3D numerical TCAD simulations showed that the peak drain currents under different angles were in directly proportional to the volume of ion path, and the space charge region between drain and channel was the most sensitive area. The supply voltage had an effect on single event transient through electric potential of channel region. In addition, inverters with different work modes were meaningful to improve the radiation hardness.

Key words: tri-independent-gate FinFET; 3D numerical TCAD simulation; heavy ion radiation; SET; inverter

0 引 言

随着集成电路在空间环境中应用需求不断增大

以及工艺节点不断降低,空间辐射造成的电路失效 越来越具有研究价值^[1-3]。作为最常见的辐射效应, SET 通常发生在器件的敏感区域内,由重离子撞击 产生的大量电子和空穴在电场作用下被收集,从而

收稿日期:2019-11-16; 定稿日期:2020-02-25

**基金项目:**国家科技重大专项资助项目(2016ZX02301003);国家自然科学基金资助项目(61574056,61704056);上海扬帆计划 资助项目(YF1404700);上海市科学技术委员会资助项目(14DZ2260800)

作者简介:韩燕燕(1995一),女(汉族),安徽安庆人,硕士研究生,研究方向为超大规模集成电路与系统设计。
形成单粒子瞬态电流脉冲。SET 也常发生在组合 电路中,如重离子撞击反相器的下拉管时,下拉管的 漏端会收集撞击产生的电荷,导致下一级电路采集 数据时发生时序错误。

目前对于半导体器件以及电路系统的辐射效应 研究十分广泛,包括辐射效应的物理机制及抑制方 法。CMOS器件中辐射积累的电子空穴对的产生 和传播是由漂移、扩散、寄生双极管放大以及脉冲展 宽(PIPB)效应的综合影响决定的。研究发现,在版 图级调整晶体管位置可降低单粒子瞬态电流,即利 用 N 阱加速电荷从 P 型晶体管流出^[4-6]。除了采用 版图调整、保护带、高掺杂阱接触等方法,研究人员 也开始关注新器件对抗辐照能力的作用^[7-9]。

在 22 nm 及以下工艺节点,FinFET 具有漏电 流低、栅控能力好、抑制短沟道效应等优势,研究 FinFET 单粒子效应十分必要。相比体硅 FinFET, SOI FinFET 具有更强的抗辐照性能^[10]。文献[11] 提出了一种独立三栅(TIG)FinFET,三个独立栅组 合控制,形成五种不同的电流电压特性,提升了 SRAM 设计的灵活性,从而解决了传统 FinFET 器 件由于宽长比不可调造成的固有读写矛盾。表 1 列 出了 TIG FinFET 五种工作模式对应的三个栅的工 作电压。文献[12] 从物理机制的层面对 TIG FinFET 及其 SRAM 单元进行了详细的直流交流 分析。

表 1 TIG FinFET 五种工作模式对应的三个栅的工作电压

模式	mode1	mode2	mode3	mode4	mode5
顶栅	on	off	on	off	on
侧栅1	off	on/ off	on/off	on	on
侧栅 2	off	off/on	off/on	on	on

目前,TIG FinFET 辐射可靠性方面的研究仍 未被涉及。本文首次针对新型 TIG FinFET 的抗辐 照特性进行了详细的探究。

1 器件结构与仿真设置

本文基于 14 nm Intel 工艺搭建了 TIG FinFET,其三维结构如图 1 所示^[11]。沟道长度、宽 度、高度分别为 20 nm、8 nm、42 nm。三维 TCAD 数值仿真采用的物理模型为重离子辐射模型,其主 要参数包括重离子入射位置、入射方向、入射路径长 度和半径等。本文针对 TIG FinFET 单管及其简单 组合反相器单元的 SET 敏感性进行了分析,研究了 重离子入射角度、入射位置以及电源电压对器件的 影响。对于反相器,重离子入射位置在下拉 NMOS 管的最敏感区域。入射路径半径设置为 2 nm。单 管实验中,为了探究器件 SET 敏感性最敏感区域, 进行三组实验:1)入射点位于沟道与顶栅介质层交 界面的中心,入射路径始终位于 Y-Z 平面,入射角 度(入射路径与 Z 轴的夹角)从-15°旋转至 90°; 2)入射方向始终平行于 Z 轴,入射点沿源端、沟道 向漏端移动;3)为了对比沟道和衬底区域的 SET 敏 感性,分别沿经过沟道正中心的 Z 轴入射不同区 域,如图2所示,图中,入射路径I包括沟道和衬底, 入射路径 II 只包含沟道,入射路径 III 只包含沟道 下方的衬底。另外,进一步分析了电源电压对器件 SET 敏感性的影响。SET 的影响用瞬态脉冲峰值 来评估。



图 1 TIG FinFET 的结构示意图



图 2 重离子三条不同入射路径区域及长度示意图

2 结果与分析

#### 2.1 入射角度

当重离子入射在器件沟道顶部的正中心时,不同入射角度对应的单粒子瞬态峰值电流以及入射路

径经过的沟道区域体积曲线如图 3 所示。可以看出,单粒子瞬态电流峰值随着入射角度和工作模式的变化而变化,峰值电流从 mode5 到 mode1 依次降低,随着入射角度的增加呈先增加、后降低的趋势。同一入射角度下,因工作模式变化造成的电流峰值 差值几乎相同。

漏电流峰值包括两部分,重离子入射前的正常 工作电流和重离子辐射诱导的单粒子瞬态电流。工 作模式变化造成的电流差值是由辐射前正常工作电 流引起的。峰值电流随入射角度的变化是由入射经 过的沟道区域体积不同引起的。峰值电流随入射角 度的变化与重离子入射经过的体积随入射角度的变 化趋势一致。重离子模型中,粒子在器件中形成圆 柱形入射路径。本文设置的横向宽度为 2 nm,有效 体积中入射路径形成的几何体为截断的圆柱体,则 入射路径的体积为  $V=16\pi/\sin\theta,\theta$  为入射角度。



图 3 不同入射角度对应的单粒子瞬态峰值电流以及入射 路径经过的沟道区域体积曲线

因为器件具有对称性,所以入射沿反方向旋转 角度的结果与正方向旋转的结果是对称的。上述结 果表明,SET的影响与重离子入射路径经过的沟道 区域体积有关,体积越大,产生的电子空穴对越多, 能被漏极收集的电荷量越大,漏极的单粒子瞬态电 流峰值则越大。这一结果与文献[13]的研究结果 吻合。

#### 2.2 入射区域

器件工作在 mode5 时,重离子撞击分别经过入 射路径 I、II、III 时对应的源电流、漏电流、衬底电流 脉冲曲线如图 4 所示。可以看出,漏电流和源电流 与入射路径的体积并非都成正比。结合图 2,入射 路径 III 经过的体积最小,电子空穴对密度最小,因 此对应的漏电流最小。但相比入射路径 II,入射路 径 I 经过的体积更大,对应的源电流却更小,原因是 存在寄生双极管效应^[6]。入射区域同时包含沟道和 衬底时,入射路径 III 中产生的电子空穴对提升了衬底的电势,衬底与源之间的 PN 结打开,部分源端的 电子从衬底流出。入射区域只包含沟道时,没有导 通的寄生 PN 结,源电流更大。

为了比较沿沟道方向的 SET 敏感性,沿沟道方 向改变离子入射点位置。X 轴原点为沟道中心,X 轴正方向代表漏端的方向。重离子入射点沿 X 方 向移动时,单粒子瞬态漏极电流峰值与工作模式的 关系曲线如图 5 所示。不同重离子入射点对应的沟 道电势分布如图 6 所示。可以看出,入射点位于同 一位置时,mode5 与 mode1 的瞬态漏极峰值电流相 差 0.2 mA。该差值与图 3 中重离子入射角度为 0° 时的差值一致。另外,入射点越靠近漏端时,单粒子 瞬态电流峰值越大,这与电场强度在沟道中的分布 趋势是一致的。这表明,入射位置越靠近漏端时,重 离子撞击产生的电子空穴对中,因复合而消失的电 荷越少,大部分被漏端收集。因此,漏端与沟道之间 形成的空间电荷区是器件中最敏感的区域。



图 4 重离子撞击分别经过 I、II、III 路径时对应的源电流、 漏电流、衬底电流脉冲曲线



图 5 重离子入射点沿 Y 方向移动时单粒子瞬态漏极电流 峰值与工作模式的关系曲线



2.3 电源电压的影响

重离子撞击引起的瞬态漏电流脉冲与工作电压 的关系如图 7 所示。瞬态漏电流指重离子辐射诱导 引起的脉冲电流。工作电压为 0.2 V 时,瞬态电流 脉冲最小。工作电压较小时,源与衬底之间形成的 空间电荷区越窄,源漏之间的内部电场强度越弱,导 致能收集到的电子空穴对越少^[14]。



图 7 重离子撞击引起的瞬态漏电流脉冲与工作电压的 关系

#### 2.4 组合逻辑单元-反相器

基于 TIG FinFET 独特的多电流模式,反相器的 上拉管和下拉管可以分别工作在不同模式,从而构成 多种反相器。为了探究多电流模式对 TIG FinFET 反相器的 SET 效应的影响,采用如图 8 所示的反相 器,进行混合仿真。图中,p上拉管工作在 mode5,下 拉管分别工作于五种工作模式,分别用 n1p5、n2p5、 n3p5、n4p5、n5p5 表示。其中,n、p 分别代表 n 下拉管 和 p 下拉管,数字代表对应管的工作模式。

FinFET 反相器的电压转换曲线如图 9 所示。 重离子分别撞击五种反相器的下拉管对应的输入输 出电压波形如图 10 所示。重离子在第二个时钟周 期撞击下拉管的漏端空间电荷区。重离子撞击引发 的对 SET 的影响采用相对延时(ΔDelay/Delay)来 评估。ΔDelay 表示两个(第一、第二)时钟周期的输 出与输入延迟时间之差,Delay 表示第一个时间周 期输出与输入延迟时间,即没有重离子辐射对应的 延迟时间。



图 9 五种 TIG FinFET 反相器的电压转换曲线





可以看出, ΔDelay 按 n5p5、n4p5、n1p5、n2p5、 n3p5 的顺序而增大。沟道长度和沟道宽度尺寸减 小,反相器的辐射敏感性更高。这表明,小尺寸器件

压特性相似。这表明在基于 TIG FinFET 的反相器 中,下拉管工作在 mode1、mode2、mode3 或 mode4 模式时,FinFET 反相器的 SET 敏感性得到改善。

五种 TIG FinFET 反相器的元件参数如表 2 所示。

工作模式	$(W_n/L_n)/nm$	$(W_{\rm p}/L_{\rm p})/{ m nm}$	$R/\Omega$	C/F	$V_{ m out}/{ m V}$	$\Delta Delay/Delay$
					$(V_{\rm in} = 0.4 {\rm V})$	
n5p5	8/120	8/20	3e5	3e-15	0.392	186%
n4p5	8/70	8/20	4e5	3e-15	0.407	179%
n3p5	16/20	8/20	5e5	3e-15	0.410	107%
n2p5	24/20	8/20	7e5	3e-15	0.402	94%
n1p5	36/20	8/20	4e8	3e-15	0.410	84%

表 2 五种 TIG FinFET 反相器的元件参数

## 3 结 论

本文采用 3D TCAD 仿真探究了 TIG FinFET 及 其反相器的抗辐照特性。仿真结果表明,重离子在沟 道区经过的路径越长,SET 对器件的影响越大。沟道 与衬底的敏感性不同,最敏感区域位于漏端的空间电 荷区。工作电压会通过电势来影响 SET 敏感性。在 电路设计中采用低电压,不仅可以降低功耗,还可以 降低 SET 敏感性。关于 TIG FinFET 反相器的混合 电路仿真还需进一步完善。本文采用 TIG FinFET 替代普通 FinFET 下拉管,通过改变工作模式来提升 抗辐照性能。本文的研究结果为反相器抗辐照性研 究提供了一种新的解决方案。

#### 参 考 文 献:

- [1] TOSAKA Y, SATOH S, ITAKURA T, et al. Measurement and analysis of neutron-induced soft errors in sub-half-micron CMOS circuits [J]. IEEE Trans Elec Dev, 1998, 45(7): 1453-1458.
- [2] ALMUKHAIZIM S, SHI F, LOVE E, et al. Softerror tolerance and mitigation in asynchronous burstmode circuits [J]. IEEE Trans VLSI Syst, 2009, 17 (7): 869-882.
- [3] NATARAJAN S, AGOSTINELLI M, AKBAR S, et al. A 14 nm logic technology featuring 2nd-generation FinFET interconnects, self-aligned double patterning and a 0.0588 m² SRAM cell size [C] // IEEE IEDM. San Francisco, CA, USA. 2014: 3.7.1-3.7.3.
- [4] WU Z Y, CHEN S M. NMOS transistor location adjustment for n-hit single event transient mitigation in 65 nm CMOS bulk technology [J]. IEEE Trans Nucl Sci, 2018, 65(1): 418-425.

- [5] CHEN J J, CHEN S M, HE Y B, et al. Novel layout technique for N-hit single-event transient mitigation via source-extension [J]. IEEE Trans Nucl Sci, 2013, 59 (6): 2859-2866.
- [6] LIU Z, CHEN S M, CHEN J J, et al. Parasitic bipolar amplification in a single event transient and its temperature dependence [J]. Chin Phys B, 2012, 21(9): 607-612.
- [7] ATKINSON N M, WITULSKI A F, HOLMAN W T, et al. Layout technique for single-event transient mitigation via pulse quenching [J]. IEEE Trans Nucl Sci, 2011, 58(3): 885-890.
- [8] LIU R, EVANS A, CHEN L, et al. Single event transient and TID study in 28 nm UTBB FDSOI technology [J]. IEEE Trans Nucl Sci, 2017, 64(1): 113-118.
- [9] BAO M, WANG Y, LI X, et al. Simulation study of single event effects in the SiC LDMOS with a step compound drift region [J]. Microelec Reliab, 2018, 91 (1): 170-178.
- [10] EL-MAMOUNI F, ZHANG E X, BALL D R, et al. Heavy-ion-induced current transients in bulk and SOI FinFETs [J]. IEEE Trans Nucl Sci, 2012, 59(6): 2674-2681.
- [11] LIU C S, ZHENG F L, SUN Y B, et al. Novel triindependent-gate FinFET for multi-current modes control [J]. Superlatt & Microstruct, 2017, 109: 374-381.
- LIU C S, ZHENG F L, SUN Y B, et al. Highly flexible SRAM cells based on novel tri-independent-gate FinFET
   [J]. Superlatt & Microstruct, 2017, 110: 330-338.
- [13] NSENGIYUMVA P, MASSENGILL L W, KAUPPILA J S, et al. Angular effects on single-event mechanisms in bulk FinFET technologies [J]. IEEE Trans Nucl Sci, 2018, 65(1): 223-230.
- [14] ZHANG Z G, LIU J, SUN Y M. Supply voltage dependence of single event upset sensitivity in diverse SRAM devices [C] // Int Conf Reliab, Maintainab &. Safety. Guangzhou, China. 2014; 114-119.

# 一种具有鳍状阳极的垂直 GaN 功率二极管

欧阳东法,杨 超,孙 涛,邓思宇,魏 杰,张 波,罗小蓉 (电子科技大学电子科学与工程学院,成都 611731)

摘 要: 针对垂直 GaN 肖特基二极管击穿电压低、泄漏电流大等问题,提出了一种具有鳍状 (Fin)阳极结构的高压垂直 GaN 功率二极管。该结构利用阳极金属与 GaN 半导体之间的功函数 差耗尽二极管阳极与阴极之间的导电沟道,实现二极管关断及反向耐压的功能,因此,阳极不再需 要进行肖特基接触,仅需欧姆接触即可。通过优化 Fin 阳极结构参数,新结构同时实现高击穿电压 和低正向导通压降,该器件的击穿电压为 1 791 V(@  $1 \times 10^{-4}$  A/cm²),正向导通压降为 0.815 V (@ 100 A/cm²),导通电阻仅为 0.73 m $\Omega \cdot$  cm²且具有高的温度稳定性,开态电流摆幅高达  $1 \times 10^{12}$ 量级。

关键词: 氮化镓; 功率二极管; 鳍状阳极; 垂直器件 中图分类号:TN311⁺.7 文献标识码:A DOI:10.13911/j.cnki.1004-3365.190727

## A Vertical GaN Power Diode with Fin-Shaped Anode

OUYANG Dongfa, YANG Chao, SUN Tao, DENG Siyu, WEI Jie, ZHANG Bo, LUO Xiaorong (The School of Elec. Sci. and Engineer., Univ. of Elec. Sci. and Technol. of China, Chengdu 611731, P. R. China)

**Abstract:** Vertical GaN Schottky barrier diodes (SBD) were usually confronted with relatively high reverse leakage current, which could lead to premature breakdown. Therefore, a vertical GaN power diode with fin-shaped anode was proposed. At zero bias, the electrons in the fin channel of the vertical GaN power diode were depleted due to the work function difference between the anode metal and GaN, which could realize the rectifying function without Schottky contact. By optimizing device parameters, the proposed new structure could achieve both high breakdown voltage of 1 791 V (@ $1 \times 10^{-4}$  A/cm²) and low forward voltage drop of 0.815 V (@100 A/cm²). It also exhibited well-behaved ON-state characteristics, including a ultralow differential specific ON-resistance of 0.73 m $\Omega \cdot cm^2$  with enhanced high-temperature stability and a high forward current density over kA/cm² with current swing of 12 orders of magnitude.

Key words: GaN; power diode; fin-shaped anode; vertical device

0 引 言

基于硅衬底的横向 GaN 晶体管在中低压领域 (< 650 V)已成功实现商业化,但是,横向 GaN 晶 体管击穿电压的提升需要更大的芯片面积,这导致 芯片成本增加;不同材料界面的强电场会影响器件 可靠性,导致器件提前击穿,无法充分发挥 GaN 材 料的优势。相比于横向 GaN 晶体管,垂直 GaN 晶 体管器件耐压不受横向尺寸的限制,一方面,有效减 小了芯片面积,降低了芯片成本;另一方面,耐压时 的电场峰值远离器件表面,提高了器件可靠性。其

**文章编号:**1004-3365(2020)05-0688-06

收稿日期:2019-12-12;定稿日期:2020-01-17

基金项目:国家自然科学基金资助项目(51677021,61874149);科工局基础性科研院所稳定支持项目(1902N261)

作者简介:欧阳东法(1995—),男(汉族),江西九江人,硕士研究生,研究方向为功率半导体器件与集成技术。

罗小蓉(1974—),女(汉族),四川绵阳人,教授,博士生导师,研究方向为功率半导体器件与集成技术。通信作者。

中,垂直 GaN 肖特基二极管(SBD)具有低正向导通 压降和快反向恢复特性,能够实现低导通和关断损 耗,十分适合于高频应用。然而,由于受到镜像力势 垒降低和隧穿电流的影响,垂直 GaN 肖特基二极管 反向泄漏电流增大,器件提前发生击穿,因此需要采 用有效的边缘终端来抑制 GaN SBD 的反向泄漏电 流,以提高器件击穿电压^[1-2]。GaN 难以实现选择 性 P 型掺杂以及解决杂质激活率较低等问题^[2-3],使 得场限环、结终端扩展等结终端技术难以应用于 GaN 功率器件。利用高剂量(约1×10¹⁶ cm⁻²)离子 注入在器件外围形成高阻区域则会严重破坏 GaN 材料表面,产生大量陷阱与缺陷^[4-5]。

因此,本文提出一种具有鳍状(Fin)阳极结构的 高压垂直 GaN 功率二极管。该结构通过阳极金属 与 GaN 之间的功函数差耗尽二极管阳极与阴极之 间的导电沟道,实现反向耐压时对沟道区较强的夹 断作用,最终获得低反向泄漏电流及硬雪崩击穿特 性。该器件只需 N 型 GaN 外延层,降低了器件制 造难度和制造成本。

本文采用 Sentaurus TCAD 仿真工具,对器件 静态和动态性能进行优化仿真。仿真结果表明,器 件兼具低正向导通压降、高击穿电压和低反向泄漏 电流,实现了正向导通特性与反向耐压特性的更好 折中关系。

1 器件结构与工作机理

具有 Fin 阳极结构的垂直 GaN 功率二极管如 图 1 所示。高浓度 GaN 衬底上依次外延有 8  $\mu$ m 厚 n⁻-GaN 漂移区及 0.3  $\mu$ m 厚高浓度 n⁺-GaN 帽层。 器件漂移区掺杂浓度为 1×10¹⁶ cm⁻³,用于实现器 件高耐压,n⁺-GaN 帽层则用于形成阳极的低阻欧 姆接触。Fin 阳极处依次淀积有 100 nm 厚隔离氧 化层 SiO₂、15 nm 厚栅介质层 Al₂O₃及阳极欧姆接 触金属。未特殊标明的情况下,Fin 的宽度  $W_{fn}$ 为 200 nm,有效长度  $L_{fn}$ 为 0.8  $\mu$ m。

器件导通电阻组成如图 2(a) 所示。Fin 侧壁存 在高浓度电子积累层,Fin 沟道处电阻包含体中性 区电阻  $R_{fin}$ 和积累层电阻  $R_{Acc}$ 两部分。当阳极与阴 极之间的电压  $V_{AC} = 0$  V时,由于阳极金属 Mo(功 函数为 4.95 eV)与 GaN 之间存在功函数差,导致 Fin 沟道中的电子被完全耗尽,器件被夹断而无电 流流过,呈全耗尽状态,如图 2(b)所示。当 $V_{AC}$ 大于 器件开启阈值  $V_{ON}$ 时,耗尽区变窄,Fin 沟道中心处 出现中性导电区,开始有电流流过,呈部分耗尽状态,如图 2(c)所示。当V_{AC}进一步增大,远高于平带电压 V_{FB}时,Fin 侧壁开始出现高浓度电子积累层,此时 Fin 体区与侧壁积累层共同导电,呈积累状态,如图 2(e)所示。



图 1 具有 Fin 阳极的垂直 GaN 功率二极管结构示意图



图 2 器件导通电阻组成与状态示意图:(a)器件导通电阻 组成;(b)全耗尽状态;(c)部分耗尽状态;(d)平带状态;(e)积累状态

 $V_{\rm ON} 和 V_{\rm FB}$ 的计算公式如下:  $V_{\rm ON} \approx \frac{\left[W_{\rm m} - \chi_{\rm GaN} - kT \ln(N_{\rm C}/N_{\rm D})\right]}{q} - \frac{qN_{\rm D}W_{\rm fin}^2}{8\varepsilon_{\rm GaN}} - \frac{qN_{\rm D}t_{\rm ox}W_{\rm fin}}{2\varepsilon_{\rm ox}} - \frac{Q_{\rm ox}}{C_{\rm ox}}$ (1)  $V_{\rm FB} \approx \frac{\left[W_{\rm m} - \chi_{\rm GaN} - kT \ln(N_{\rm C}/N_{\rm D})\right]}{q} - \frac{Q_{\rm ox}}{C_{\rm ox}}$ (2)

式中,W_m为金属 Mo 的功函数,χ_{GaN}为 GaN 的

电子亲和能, $N_c$ 为导带有效状态密度, $W_{fn}$ 为 Fin 的 宽度, $N_D$ 为掺杂浓度, $t_{ox}$ 为栅介质 Al₂O₃的厚度。  $Q_{ox}$ 表征 Al₂O₃/GaN 界面处的电荷密度,仿真分析 时设  $Q_{ox}$ =0。

## 2 仿真结果与分析

本文采用 Sentaurus TCAD 工具对器件性能进 行仿真验证,所使用物理模型及模型参数来源于文 献[6]。在相关物理模型及参数下,仿真结果与实验 具有良好的一致性,能够为具有低位错密度的体 GaN 功率器件设计提供参考。考虑到实际刻蚀对 Fin 侧壁带来的损伤,仿真设置 Fin 侧壁积累层电子 有效迁移率仅为13 cm²/(V•s),Fin 体区电子有效 迁移率为 130 cm²/(V•s)^[7]。

### 2.1 反向耐压特性仿真结果与分析

器件反向耐压特性的仿真结果及分析如图 3 所示。可以看出,本文 Fin 二极管的雪崩击穿特性 硬,击穿电压高达 1 791 V (@  $1 \times 10^{-4}$  A/cm²)。 这充分发挥了 GaN 材料高耐压的优势,避免了 GaN SBD 因漏电导致的提前击穿,该 Fin 二极管在 击穿前具有极低的反向泄漏电流,其在  $V_{AC} =$ -1 600 V时,漏电流仅约为  $1 \times 10^{-7}$  A/cm²,开关 电流比( $I_{ON}/I_{OFF}$  @  $V_{AC} = -1 600$  V)高达  $1 \times$  $10^{10}$ ,远高于 GaN SBD 器件。但器件击穿前反向 泄漏电流缓慢增加,且与所加电压呈指数增长关 系。原因是漏诱生势垒降低效应(Drain Induced Barrier Lowering, DIBL)导致 Fin 沟道处势垒高度 缓慢降低。



沟道中心处 y 方向导带能量分布如图 4 所示。 可以看出,器件击穿前沟道处势垒宽度随电压增大 而减小,势垒高度则线性降低,线性拟合公式如图 3 所示,具有很好的一致性,Fin 沟道处两侧阳极金属 对沟道有较强的夹断作用,使得势垒高度下降并不 明显,因此不会导致器件提前漏电击穿。当器件两 端所加反向电压到达临界击穿点时,器件漏电流急 剧上升,沟道处势垒高度也急剧降低,但 DIBL 效应 并不会导致势垒高度的迅速下降。原因是器件雪崩 击穿产生的空穴进入 Fin 沟道区,提高了 Fin 沟道 区的电势,导致势垒高度随雪崩漏电流的增加而迅 速减小。





不同工作温度下的器件反向耐压特性如图 5 所 示。可以看到,器件反向泄漏电流随温度增加而显 著增大,原因是高温会导致 GaN 能带变窄且热电子 电流增大。器件耐压及沟道中心处势垒高度随温度 的变化如图 6 所示。可以看到,不同温度下沟道区 势垒高度变化极小,不会导致反向泄漏电流显著增 加。因此,高温下泄漏电流增大主要是热电子电流 显著增加的结果。若想进一步减小高温下器件反向 泄漏电流,则需提高器件沟道区势垒高度,即加强阳 极金属对沟道区的夹断作用。器件击穿电压随温度 的升高呈增加趋势的原因是高温下晶格振动散射增 强,导致载流子碰撞电离率减小。150 ℃时击穿电 压略微下降的原因是,过大的反向泄漏电流增加了 低电场强度时雪崩产生电子-空穴对的概率,影响了 器件耐压。



2.2 正向导通特性仿真结果与分析

图 7 和图 8 所示为器件正向 *I*-V 特性仿真结果 及分析。



图 7 正向 I-V 特性(线性坐标)和微分比导通电阻曲线



图 8 正向 I-V 特性(半对数坐标)和理想度因子曲线

如图 7 所示,器件正向导通压降  $V_{\rm F}$ 为 0.815 V (@ 100 A/cm²),在  $V_{\rm AC}$ =4 V 时比导通电阻  $R_{\rm ON,sp}$ 仅为 0.73 mΩ · cm²,具有很强的正向电流能力。 如图 8 所示,该器件具有很高的开态电流摆幅,高达 1×10¹²量级,且所求理想度因子 η 接近于 1,几乎不 存在隧穿电流和耗尽层复合电流^[8]。

图 9 和图 10 所示为不同工作温度下的器件正向 *I-V* 特性。



图 9 不同工作温度下器件正向 I-V 特性(线性坐标)及微分 比导通电阻曲线

随着工作温度的升高,器件正向导通压降  $V_{ON}$ 会降低,原因同样是高温导致的 GaN 能带变窄且热 电子电流增大。但高温下晶格振动散射增强,漂移 区电子迁移率下降,器件比导通电阻会增加。本结构 有较高的漂移区掺杂浓度( $N_{\rm D}$ =1E16 cm⁻³),150 °C 时  $R_{\rm ON,sp}$ (@  $V_{\rm AC}$  = 4 V)较 25 °C 时 仅 增 加 了 24.9%,因此,本结构具有更好的温度稳定性。此外, Fin 沟道区势垒高度几乎不随温度改变,这表明功函数差对沟道区的耗尽作用也具有很高的温度稳定性。



图 10 半对数坐标下器件正向 I-V 特性及沟道区势垒高度变化

#### 2.3 器件参数优化

不同 Fin 宽度  $W_{\text{fn}}$  及有效长度  $L_{\text{fn}}$  下器件反向 耐压特性及沟道区势垒高度变化如图 11 和图 12 所 示。由图 11 可以看出,相同  $L_{\text{fn}}$  下( $L_{\text{fn}} = 0.8 \ \mu m$ ), 随着  $W_{\text{fn}}$ 的增加,器件反向泄漏电流增大,击穿电压 减小,击穿电击从由雪崩电离主导的硬击穿变为由 漏电流主导的软击穿。从图 12 可以看出,沟道区势 垒高度随  $V_{\text{CA}}$ 的增加迅速降低,说明  $W_{\text{fn}}$ 的增加不 仅会降低沟道区势垒高度,而且会产生更严重的 DIBL 效应。相同  $W_{\text{fn}}$ 下( $W_{\text{fn}} = 200 \text{ nm}$ ),随着  $L_{\text{fn}}$ 的减小,同样会导致器件反向泄漏电流增大,击穿电 压减小,沟道区势垒高度更易受到 DIBL 效应的影 响。因此,需要对  $W_{\text{fn}}$ 和  $L_{\text{fn}}$ 合理优化,以期实现低 反向泄漏电流和高击穿电压。

W_{fin}及L_{fin}对器件正向导通特性的影响如图 13 所示。随着W_{fin}的增加和L_{fin}的减小,Fin 沟道区电 阻减小,器件比导通电阻降低,有更强的电流处理能 力。但因存在较大的泄漏电流,实际设计时需保证 在低的反向泄漏电流及高的击穿电压情况下,实现 更优的正向导通特性。

当 $W_{fin} = 200 \text{ nm}, L_{fin} = 0.8 \mu \text{m}$ 时,Fin 两侧阳 极金属对沟道区较强的夹断作用使得器件具有硬雪 崩击穿特性,且允许漂移区掺杂浓度更高。如表 1 所示,本文垂直 GaN 二极管的击穿电压为1 791 V,  $R_{ON,sp}$ 仅为 0.73 m $\Omega \cdot \text{cm}^2$ 。Baliga 优值(*BFOM*=  $BV^2/R_{ON,sp}$ )高达 4.3 GW/cm²,远高于其他类型 (SBD、JBS 和 TMBS 等)垂直 GaN 二极管^[9-16]。本 文垂直 GaN 二极管具有极低的反向泄漏电流,开关 电流比( $I_{ON}/I_{OFF}$  @  $V_{AC} = -600$  V)高达  $1 \times 10^{10}$ , 实现了良好的正向导通特性及反向耐压特性。



图 11 不同 Fin 宽度及有效长度下器件反向耐压特性



图 12 不同 Fin 宽度及有效长度下沟道区势垒高度变化



图 13 Fin 宽度及有效长度对器件正向导通特性的影响

参数	$R_{ m ON,sp}/$	$I_{\rm ON} \div I_{\rm OFF}$	BV/	BFOM/
	$(m\Omega \cdot cm^2)$	@-600 V	V	$(MW \cdot cm^{-2})$
文献[9]	0.7	$1 \times 10^{9}$	1 100	1 700
文献[10]	1.2	-	600	300
文献[11]	2.1	$6  imes 10^6$	790	300
文献[12]	3.1	$3  imes 10^4$	700	160
文献[13]	1.3	$1 \times 10^8$	995	760
文献[14]	2.0	$1 \times 10^{6}$	700	250
文献[15]	1.5	$3  imes 10^4$	600	240
文献[16]	1.9	-	640	220
本文	0.73	$> 1 \times 10^{10}$	1 791	4 300

表 1 不同垂直 GaN 二极管的性能比较

## 3 结 论

本文提出一种具有鳍状阳极结构的高压垂直 GaN 功率二极管。该结构利用阳极金属与 GaN 半 导体之间的功函数差耗尽二极管阳极与阴极之间的 导电沟道,实现二极管关断及反向耐压的功能。通 过仿真优化 Fin 的宽度及长度等参数,新结构兼具 低正向导通压降、高击穿电压和低反向泄漏电流,实 现了正向导通特性及反向耐压特性更好的折衷 关系。

### 参考文献:

- LEPSELTER M P, SZE S M. Silicon Schottky barrier diode with near-ideal I-V characteristics [J]. Bell Syst Tech J, 1968, 47(2): 195-208.
- [2] HAN S, YANG S, SHENG K. High-voltage and high-I_{ON}/I_{OFF} vertical GaN-on-GaN Schottky barrier diode with nitridation-based termination [J]. IEEE Elec Dev Lett, 2018, 39(4): 572-575.
- [3] ANDERSON T J, GREENLEE J D, FEIGELSON B N, et al. Improved vertical GaN Schottky diodes with ion implanted junction termination extension [J]. ECS J Sol Sta Sci Technol, 2016, 5(6): Q176-Q178.
- [4] OZBEK A M, BALIGA B J. Planar nearly ideal edgetermination technique for GaN devices [J]. IEEE Elec Dev Lett, 2011, 32(3): 300-302.

- [5] ZHANG Y, LIU Z, TADJER M J, et al. Vertical GaN junction barrier Schottky rectifiers by selective ion implantation [J]. IEEE Elec Dev Lett, 2017, 38(8): 1097-1100.
- [6] SABUI G, PARBROOK P J, ARREDONDO M, et al. Modeling and simulation of bulk gallium nitride power semiconductor devices [J]. AIP Advan, 2016, 6(5): 055006.
- [7] XIAO M, PALACIOS T, ZHANG Y. On-resistance in vertical power FinFETs [J]. IEEE Trans Elec Dev, 2019, 66(9): 3903-3909.
- [8] CHEUNG S K, CHEUNG N W. Extraction of Schottky diode parameters from forward current - voltage characteristics [J]. Appl Phys Lett, 1986, 49(2): 85-87.
- [9] SAITOH Y, SUMIYOSHI K, OKADA M, et al. Extremely low on-resistance and high breakdown voltage observed in vertical GaN Schottky barrier diodes with high-mobility drift layers on lowdislocation-density GaN substrates [J]. Appl Phys Express, 2010, 3(8): 081001.
- [10] DISNEY D, NIE H, EDWARDS A, et al. Vertical power diodes in bulk GaN [C] //IEEE ISPSD. Kanazawa, Japan. 2013: 59-62.
- [11] TANAKA N, HASEGAWA K, YASUNISHI K, et al. 50 A vertical GaN Schottky barrier diode on a freestanding GaN substrate with blocking voltage of 790 V [J]. Appl Phys Express, 2015, 8(7): 071001.
- [12] CAO Y, CHU R, LI R, et al. Improved performance in vertical GaN Schottky diode assisted by AlGaN tunneling barrier [J]. Appl Phys Lett, 2016, 108(11): 112101.
- [13] YANG S, HAN S, LI R, et al. 1 kV/1.3 mΩ cm² vertical GaN-on-GaN Schottky barrier diodes with high switching performance [C] //IEEE ISPSD. Chicago, IL, USA. 2018: 272-275.
- [14] ZHANG Y, SUN M, LIU Z, et al. Novel GaN trench MIS barrier Schottky rectifiers with implanted field rings [C] // IEEE IEDM. San Francisco, CA, USA. 2016: 252-255.
- [15] ZHANG Y, LIU Z, TADJER M J, et al. Vertical GaN junction barrier Schottky rectifiers by selective ion implantation [J]. IEEE Elec Dev Lett, 2017, 38(8): 1097-1100.
- [16] LI W, NOMOTO K, PILLA M, et al. Design and realization of GaN trench junction-barrier-Schottky-diodes [J]. IEEE Trans Elec Dev, 2017, 64(4): 1635-1641.

# 基于 PSO-SVM 模型的 Cu CMP 抛光液组分优化

何 平1,罗 萌1,韩欣玉1,郭文艺2,潘国峰1

(1. 河北工业大学人工智能与数据科学学院,天津 300401; 2. 天津市小蜜蜂计算机有限公司,天津 300060)

摘 要: 在多层 Cu 布线化学机械抛光(CMP)工艺中,碱性抛光液组分是影响 CMP 平坦化效果 的重要因素。建立了基于 PSO-SVM 机器学习算法的模型,将化学机械抛光液组分(磨料、氧化 剂、活性剂、螯合剂)及 pH 值作为输入,铜去除速率作为输出,对 Cu-CMP 实验数据进行训练和预 测,获得优化的抛光液配比,并采用 Cu-CMP 实验进行验证。结果表明,PSO-SVM 模型预测效果 良好,预测误差在工业生产允许的范围内,有效降低了抛光液研发实验的盲目性,缩短了研发周 期,极大降低了实验成本,提高了研发效率。

## Optimization of Cu CMP Polishing Slurry Component Proportioning Based on PSO-SVM Algorithm

HE Ping¹, LUO Meng¹, HAN Xinyu¹, GUO Wenyi², PAN Guofeng¹

School of Artificial Intelligence, Hebei University of Technology, Tianjin 300401, P. R. China;
 Tianjin Little Bee Computer Technology Co., Ltd., Tianjin 300060, P. R. China)

**Abstract**: In multi-layer copper wiring CMP process, the composition of alkaline polishing fluid was an important factor affecting the flattening effect of CMP. A machine learning algorithm model based on PSO-SVM was established, in which the components of CMP (abrasive, oxidant, activator, chelating agent) and pH were used as input, and the removal rate was used as output. The optimal polishing solution ratio was obtained by training and predicting the experimental data of Cu-CMP. The experimental results showed that the prediction effect of PSO-SVM model was good, and the error was within the allowable range of industrial production. This work effectively reduced the blindness of polishing fluid R&D experiments, shortened the cycle, greatly reduced the cost of experiments, and thus improved the R&D efficiency.

Key words: CMP; polishing fluid component; support vector machine; particle swarm algorithm; PSO-SVM

0 引 言

当前,随着集成电路特征尺寸的不断减小、互连 层数的不断增加,芯片集成度已经达到极大规模集 成电路(GLSI)阶段,对超精密平坦化加工技术的精 度有更高的要求。CMP 是目前公认的唯一能实现 全局平坦化的技术,它采用机械研磨搭配化学反应 来进行平坦化加工,已成为 GLSI 的必备工艺^[1]。

抛光液在 CMP 中具有至关重要的地位,是影 响集成电路全局平坦化效果的关键因素之一。抛光 液作为 CMP 过程的耗材不能循环使用,抛光液成

收稿日期:2019-10-05; 定稿日期:2019-11-12

基金项目:国家自然科学基金青年基金项目(NSFC61704046);河北省自然科学基金资助项目(A2019202190);河北省高等学校科学技术研究重点项目(ZD2016123)

作者简介:何 平(1970—),女(汉族),四川资阳人,博士,研究生导师,研究方向为机器学习算法及其应用。

本约占 CMP 工艺的 40% 左右。随着 CMP 技术的 迅速发展, 抛光液的消耗量也迅速增长。目前国内 集成电路工艺中采用的铜抛光液主要依赖进口, 因 此, 研发具有自主知识产权、低成本、高去除速率、较 好分散稳定性并利于 CMP 后清洗的新型抛光液迫 在眉睫。

当前,抛光液的配制与研发仍采用传统的实验 方法,导致加工成本高、研发周期长、工作量大等问 题。因此,迫切需要深入研究 CMP 抛光液配比及 配比优化来提高抛光质量和抛光效果^[2]。

本文采用粒子群优化算法(Particle Swarm Optimization, PSO)算法对支持向量机(Support Vector Machine, SVM)的参数进行优化,将 PSO 算 法和 SVM 相结合,构建基于 PSO-SVM 算法的 CMP 抛光液组分优化模型。利用 PSO-SVM 超强 的非线性映射能力及小样本学习能力,得到 CMP 抛光液组分最优配比,可用于指导 CMP 抛光液实 验及生产。

1 CMP 实验及数据获取

#### 1.1 碱性抛光液及其组分

本文采用的 FA/O 系列纳米 SiO₂ 水溶胶碱性 Cu 布线抛光液,主要成分有 SiO₂ 磨料、FA/O 型螯 合剂、FA/O 非离子型表面活性剂、H₂O₂氧化剂以 及 pH 值有机碱调节剂。

抛光液依靠磨料提供机械摩擦力,抛光的性能 与磨料粒径大小、磨料种类、磨料表面官能团等参数 有关。SiO₂磨料(硅溶胶)无毒无味,对环境污染小, 硬度与铜材质硬度接近,不易划伤铜表面;H₂O₂氧 化剂可改变抛光材料表面特性,将金属 CMP 的金 属表面氧化成金属氧化物,导致金属快速溶解或金 属表面疏松多孔,利于机械去除;FA/O 螯合剂可与 金属离子形成稳定的配合物,加速铜的溶解,提高铜 抛光速率;表面活性剂可调节粘度、表面张力和磨料 表面 Zeta 电位等物理参数,改善抛光液对晶圆的抛 光特性^[3]。

碱性抛光液已成为 250 nm 以下节点的必备工 艺。本文通过稀释的氢氧化钾或磷酸来调节抛光液 pH 值。随着 pH 值增大,溶液中 OH⁻浓度大幅提 高,有利于与 SiO₂形成硅酸盐降低 SiO₂硬度,因此, SiO₂去除速率提高。

综上,在工艺条件一定时,碱性抛光液组分配比 不同和 pH 值不同会直接影响晶圆的抛光速率、表 面缺陷和洁净度,决定整个晶圆的全局平坦化效果。

#### 1.2 Cu CMP 实验设备及材料

实验主要设备包括抛光机(法国 E460)、台阶 仪、电子分析天平、抛光垫等。实验所需的耗材主要 包括河北工业大学微电子所自主研制的新型碱性抛 光液、76 mm 铜靶及 300 mm 铜镀膜片等。抛光液 中,磨料采用 SiO₂溶胶磨料,螯合剂和活性剂采用 微电子所研制的 FA/O I 型螯合剂和非离子型 FA/ O I 型活性剂,氧化剂采用 H₂O₂氧化剂。实验配制 的碱性抛光液 pH 值在 9.0~12.0 之间。

实验是在纯度为 99.99%的 76 mm 铜片上进 行抛光。抛光工艺条件定为:压力 13.78 kPa,转速 (65/60) r/min(Head speed/Plate speed),抛光液流 量 150 mL/min。

采用称量法得出铜去除速率,抛光前后分别用 电子分析天平称量铜片的质量,称量五次取平均值, 保证测量的准确性。铜的去除速率为:

$$M_{\rm RR} = (m_f - m_b) / \rho \pi r^2 \tag{1}$$

式中,m_f为抛光前的质量,m_b为抛光后的质量, ρ为抛光铜片的密度,r为铜片的半径尺寸。M_{RR}即 为抛光后的铜去除速率,单位为 nm/min。

#### 1.3 实验数据采集及预处理

实验数据通过大量正交实验获得。正交设计实验方案如表 1 所示,实验采用  $L_{25}$  正交表,选取 pH 值、磨料的体积分数、FA/O I 型螯合剂体积比、  $H_2O_2$ 体积比和活性剂体积比 5 个因素,且每个因素选 5 种条件。通过实施不同抛光液组分配比的 25 种组合实验,得到相应组分配比条件下铜的去除速率。正交实验数据如表 2 所示。

表1 正交设计实验方案

	•			
pН	$H_2O_2$	FA/O	SiO₂磨	FA/O I 型
	氧化剂	I型螯合剂	料体积分	活性剂
	体积比/	体积比/	数/%	体积比/
	$(mL \cdot L^{-1})$	$(mL \cdot L^{-1})$		$(mL \cdot L^{-1})$
9.0	0	0	1/9	10
10.0	10	10	2/8	15
10.5	20	20	3/7	20
11.0	30	30	4/6	25
12.0	50	40	5/5	30

抛光速率也被称为去除速率,是 CMP 工艺的 重要参数之一,抛光速率会直接影响产业化效率和 抛光后的晶圆表面质量,进而影响器件的参数性能。 抛光速率是抛光液化学特性和磨料特性综合作用的 结果。

		表 2 止;	父头验致	括	
pН	$H_2O_2$	FA/O I 型	$\mathrm{SiO}_2$	FA/O I 型	去除
值	氧化剂	螯合剂	磨料体	活性剂	速率/
	体积比/	体积比/	积分数/	体积比/	(nm •
	$(mL \cdot L^{-1})$	$(mL \cdot L^{-1})$	%	$(mL \cdot L^{-1})$	$\min^{-1}$ )
9.0	0	0	1/9	10	310.40
9.0	10	10	2/8	15	614.20
9.0	20	20	3/7	20	710.21
9.0	30	30	4/6	25	712.70
9.0	50	40	5/5	30	910.80
10.0	0	10	3/7	25	935.80
10.0	10	20	4/6	30	734.40
10.0	20	30	5/5	10	835.10
10.0	30	40	1/9	15	834.90
10.0	50	0	2/8	20	535.10
10.5	0	20	5/5	15	994.50
10.5	10	30	1/9	20	1 055.20
10.5	20	40	2/8	25	1 007.10
10.5	30	0	3/7	30	704.20
10.5	50	10	4/6	10	1 005.70
11.0	0	30	2/8	30	1 082.10
11.0	10	40	3/7	10	1 087.40
11.0	20	0	4/6	15	985.30
11.0	30	10	5/5	20	1 086.30
11.0	50	20	1/9	25	975.90
12.0	0	40	4/6	20	1 101.23
12.0	10	0	5/5	25	801.70
12.0	20	10	1/9	30	905.80
12.0	30	20	2/8	10	1 301.82
12.0	50	30	3/7	15	1 105.70

实验中的数据量是带有量纲的,为了使模型输 出的实验结果更稳定,需要对原始数据样本进行预 处理。本文采用小数定标方法进行预处理。小数定 标方法通过移动数据样本小数点的位置对数据进行 预处理。小数点移动的位数由数据所在属性取值中 的最大绝对值决定:

$$x' = x/\max$$

式中,max为属性中绝对值最大者。按此规范 化处理后,数据均为不超过1的数。

#### PSO-SVM 算法模型 2

### 2.1 SVM

SVM 是由 C. Cortes 和 V. N. Vapnik 等人提

出来的一种基于统计学习理论的机器学习算法。 SVM 结构简单,鲁棒性好,泛化能力强,不易出现局 部最小的情况。SVM 会根据样本的复杂程度和对 样本的训练学习能力进行衡量,运用 VC 维理论和 结构风险最小化原则等原理,寻求最佳的推广能力。 SVM 不仅可用于分类问题,1997 年 V. N. Vapnik 将 SVM 应用于回归问题上,提出了 ε-支持向量回 归机^[4]。支持向量回归机的解依赖于核函数和惩罚 参数。

假设输入向量为  $x_i \in R^n$ ,输出向量为  $y_i \in R$ ,则 线性 SVM 函数为:

$$\mathbf{y} = \mathbf{w} \cdot \varphi(\mathbf{x}) + b \tag{3}$$

式中,w为权重向量, $\varphi(x)$ 是非线性映射,b为 阈值。给定精度  $\varepsilon$ ,使式(3)满足条件:

min 
$$\frac{1}{2} \mathbf{w} \mathbf{w}^{T} + C \sum_{i=1}^{n} (\xi_{i} + \xi_{i}^{*})$$
  
s. t. 
$$\begin{cases} \mathbf{y}_{i} - f(\mathbf{x}_{i}) \leqslant \epsilon + \xi_{i} \\ f(\mathbf{x}_{i}) - \mathbf{y}_{i} \leqslant \epsilon - \xi_{i}^{*} \\ \xi_{i}, \ \xi_{i}^{*} \ge 0, \ i = 1, 2, \cdots, n \end{cases}$$
(4)

式(4)为凸二次优化问题,其中, ξi和ξi为松弛 变量,常数C为惩罚参数。

根据 KKT 条件,可以得到:  

$$\begin{cases} \alpha_i [\varepsilon + \xi_i - \mathbf{y}_i + f(\mathbf{x}_i)] = 0, \ \xi_i \cdot \gamma_i = 0 \\ \alpha_i^* [\varepsilon + \xi_i^* - \mathbf{y}_i + f(\mathbf{x}_i)] = 0, \ \xi_i^* \cdot \gamma_i^* = 0 \end{cases}$$
  
且有:  

$$\int (C - \alpha_i)\xi_i = 0$$
(6)

$$\left((C-\alpha_i^*)\boldsymbol{\xi}_i^*=0\right)$$

即可得到线性拟合函数:

$$f(\mathbf{x}) = \mathbf{w} \cdot \mathbf{x} + b = \sum_{i=1}^{n} (\alpha_i - \alpha_i^*) \mathbf{x}_i \cdot \mathbf{x} + b \quad (7)$$
可求得 w 和 b:

$$\boldsymbol{w} = \sum_{i=1}^{n} \left( \alpha_{i} - \alpha_{i}^{*} \right) \boldsymbol{x}_{i}$$
(8)

$$\begin{cases} b = \mathbf{y}_i - (\mathbf{w} \cdot \mathbf{x}_i) + \varepsilon, \ \alpha_i \in (0, C) \\ b = \mathbf{y}_i - (\mathbf{w} \cdot \mathbf{x}_i) - \varepsilon, \ \alpha_i^* \in (0, C) \end{cases}$$
(9)

#### 2.2 粒子群优化算法 PSO

(2)

PSO 算法于 1995 年由 J. Kennedy 和 R. C. Eberhart 受到 Boid 模型的启发首次提出。文中采 用的 PSO 算法是标准 PSO 算法中的带惯性权重的 PSO 算法。Y. Shi 和 R. C. Eberhart 在基础 PSO 算法更新速度的公式中引入惯性权重 w,提出了带 惯性权重的 PSO 算法,其速度和位置更新公式为:

$$V_{id}^{k+1} = w V_{id}^{k} + c_1 r_1 \left( P_{id}^{k} - X_{id}^{k} \right) + c_2 r_2 \left( P_{gd}^{k} - X_{id}^{k} \right)$$
(10)

(11)

 $X_{id}^{k+1} = X_{id}^k + V_{id}^{k+1}$ 

式中,k 表示当前时刻迭代的次数;d 表示当前 粒子所在的维数;w 为惯性权重,用以平衡局部搜索 和全局搜索;加速因子  $c_1$ 和  $c_2$ 在[0,2]内; $r_1$ 和  $r_2$ 为 [0,1]内的随机数; $V_{id}^k$ 和  $V_{id}^{k+1}$ 分别为粒子当前时刻 和下一时刻的速度; $P_{id}^k$ 和  $P_{gd}^k$ 分别为局部最优值和 全局最优值; $X_{id}^k$ 和  $X_{id}^{k+1}$ 分别为粒子当前时刻和下 一时刻的位置。

惯性权重 w 为:

$$w = w_{\text{max}} - i * (w_{\text{max}} - w_{\text{min}}) / i_{\text{max}}$$
(12)

式中, *i* 为当前的迭代次数; *i*_{max} 为最大迭代次数; *w*_{max}和 *w*_{min}分别为惯性权重的最大值和最小值。

2.3 PSO-SVM 算法模型

本文利用 PSO 算法优化 SVM 参数,建立 PSO-SVM 算法模型^[5-7],Crossvalind('Kfold', m, setfold)中'Kfold'为 k-折交叉验证方法,m 为数据 集的行数,setfold 参数值为 10。PSO-SVM 算法模 型步骤如图 1 所示。



图 1 PSO-SVM 算法模型步骤

3 基于 PSO-SVM 模型的 CMP 碱性 抛光液配比优化

### 3.1 基于 PSO-SVM 的 CMP 抛光液配比优化

抛光液配比对 CMP 去除速率和抛光质量的影响是一个多因素作用的复杂过程。本文建立了基于 PSO-SVM 的抛光液组分配比优化模型,针对抛光 液组分(磨料、氧化剂、活性剂、螯合剂、pH 值)为优 化对象,以加快去除速率为优化目标,利用 PSO-SVM 网络的非线性映射能力,学习建立优化对象和 优化目标间的映射关系。建立的五输入单输出的 PSO-SVM 模型如图 2 所示,分为训练与预测两个 过程。对实验数据进行训练和预测,获得优化的组 分配比参数。



## 图 2 PSO-SVM 模型的训练与预测过程

#### 3.2 实验结果及分析

CMP 抛光液组分配比优化模型的运行环境是 Windows 系统下的 MATLAB R2015b 平台。为避 免训练数据和测试数据分配不均,实验采用交叉验 证方法随机产生训练集和验证测试集^[8]。

用 PSO 算法粗略选择惩罚参数 C 和核函数参数γ,根据结果调整最大迭代次数、惩罚参数 C、核函数参数γ的取值范围及种群规模等,直到得到更精确的结果。使用经过小数定标方法标准化后的数据,通过 PSO 算法寻找最佳组合值,获得最佳惩罚参数 C 为 16.347 4,最佳核函数参数γ为 0.382 8,此时满足交叉验证条件的均方误差是 0.017 8。

通过 PSO-SVM 优化模型对测试数据样本进行 预测,在最好的实验结果下,预测值与期望值之间的 最大绝对误差为 0.001 6,均方误差为 0.010 6%。 对比采用 SVM 算法对去除速率的值进行预测,所 得最大绝对误差为 0.002 1,均方误差为 0.016 9%。 因此,与仅采用 SVM 算法得到的结果相比,使用 PSO-SVM 算法模型的精度更高,速度更快。

#### 3.3 验证试验及分析

在 PSO-SVM 优化模型进行充分学习并获得较 好的学习效果和模型参数后,本文在保证抛光质量 情况下,利用随机生成抛光液配比样本的方式,返回 给定去除速率范围的样本,并通过实验验证优化模 型的有效性。

当误差临界值为 0.001 6 时,生成的部分 CMP 抛光液组分配比及去除速率数据如表 3 所示。通过 优选,得到组合(0.105,0.154 5,0.278 5,0.471 38, 0.320 0),此时去除速率为 0.125 8。为了验证算法 的学习效果,通过 300 mm Cu 镀膜晶圆的 CMP 实 验验证优化的有效性^[9]。实验中抛光工艺与 2.2 节 保持一致。

衣 头短主风杆争犯无权组力能比及云际还	表 3	3 实验生成样本抛光液组分配比及去除速。
---------------------	-----	----------------------

pH 值	$H_2O_2$	FA/O I 型	${\rm SiO}_2$	FA/O I 型	去除
	氧化剂	螯合剂	磨料体	活性剂	速率/
	体积比/	体积比/	积分数/	体积比/	(nm•
	$(mL \cdot L^{-1})$	$(mL \cdot L^{-1})$	%	$(mL \bullet L^{-1})$	$\min^{-1}$ )
0.904	0.281 0	0.416	0.200	0.100	0.570
0.101	0.409 5	0.103	0.127	0.900	0.485
0.945	0.316 5	0.510	0.813	0.108	0.716
0.105	0.153 0	0.288	0.470	0.327	1.204
0.114	0.281 9	0.416	0.900	0.100	0.998
0.122	0.567 3	0.600	0.102	0.256	0.855

最终预测的最优配比如下:pH 值为 10.5,磨料 体积分数为 4.7%, FA/O I 型螯合剂体积比为 28.8%, H₂ O₂ 体积比为 0.15%, 活性剂体积比为 32.7%。在最优配比下, Cu 抛光速率为 120 nm/ min, 粗糙度为 0.1 nm, Cu 腐蚀速率为 0.002 nm/ min。实验验证得到, 最优配比下 Cu 抛光速率为 106 nm/min, 粗糙度为 0.06 nm, Cu 腐蚀速率为 0.006 nm/min。实验结果表明, PSO-SVM 算法抛 光液组分优化模型预测得到的实验结果达到工业要 求的精度范围。

4 结 论

CMP 中抛光液组分配比对材料表面抛光质量 的影响是一个多因素作用的复杂非线性过程,在实 际应用中难以通过建立传统数学模型进行优化求 解。本文提出并构建基于 PSO-SVM 算法的 CMP 碱性抛光液组分优化模型,以抛光液组分(螯合剂、 氧化剂、磨料、活性剂、pH值)为优化对象,以加快 去除速率为优化目标,利用支持向量机超强的非线 性映射能力,避开建立复杂的理论数学模型,确定优 化对象和优化目标之间的非线性映射关系,获得优 化的抛光液配比数据。

利用 PSO-SVM 模型训练结果,根据给定去除 速率的取值范围,生成相应的抛光液组分配比数据, 用于指导实际实验中抛光液的配置和研发。该项研 究工作能大幅降低为获得最优组分配比而花费的大 量尝试性实验成本,缩短抛光液的研发周期,推进研 制抛光液的进程,也为 CMP 抛光液成分的优化提 供新方法和理论依据。PSO-SVM 模型预测效果良 好,预测误差在工业允许的范围内,能较好满足 Cu CMP 抛光液的研发需要。

#### 参考文献:

- [1] 李晖,刘玉岭,刘效岩,等. CMP 抛光液对速率的影响分析及优化[J]. 半导体技术,2010,35(11): 1071-1074.
- [2] 闫辰奇,刘玉岭,张金,等.不同粒径硅溶胶磨料对 Cu CMP 的综合影响 [J]. 微纳电子技术,2017,54 (1):58-64.
- [3] 邹微波,魏昕,杨向东,等.化学机械抛光过程抛光液 作用的研究进展[J].金刚石与磨料磨具工程,2012, 32(1):53-56.
- [4] 边肇祺,张学工.模式识别 [M].北京:清华大学出版社,2000.
- [5] HU W B, YAN L P, LIU K Z, et. al. PSO-SVR: a hybrid short-term traffic flow forecasting method [C] // IEEE ICPADS. Melbourne, VIC, Australia. 2015: 553-561.
- [6] 邵俊虎,赵人达,徐腾飞.支持向量机和粒子群优化的可靠度算法[J].辽宁工程技术大学学报(自然科学版),2015,34(8):952-957.
- [7] 邱宁佳, 李娜, 胡小娟, 等. 基于粒子群优化的朴素贝 叶斯改进算法 [J]. 计算机工程, 2018, 44(11): 27-32, 39.
- [8] 季军,何平,潘国峰,等.抛光工艺在碱性阻挡层 CMP中对钴、铜去除速率选择性的影响[J].微电子 学,2018,48(5):699-704.
- [9] 林娜娜,邢哲,刘玉岭,等.GLSI 钨插塞 CMP 碱性 抛光液组分优化的研究 [J]. 半导体技术,2012,37 (1):33-36.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

# 底部填充物对 CSP-LED 芯片抗跌落性能研究

傅志红1,田有锵1,武宁杰1,郭鹏程1,王洪2

(1. 中南大学 机电工程学院,长沙 410083; 2. 中山市华南理工大学现代产业技术研究院,广东 中山 528437)

摘 要: 为了提高芯片级封装发光二极管(CSP-LED)焊点疲劳寿命,利用有限元仿真软件 ABAQUS模拟计算了 CSP-LED 芯片在跌落冲击载荷下焊点的塑性应变,并研究了裂纹拓展趋势。以焊点失效前跌落次数为指标,利用 Coffin-Manson 经验公式计算焊点寿命,研究了底部填充 物对 CSP-LED 芯片在不同冲击载荷下焊点寿命的影响。结果表明,随着冲击载荷增大,焊点疲劳 寿命减少,使用填充物能使芯片焊点寿命提高4~6倍,其影响通过跌落实验和仿真结果的对比得 到了验证。

### Study on Anti-Drop Performance of CSP-LED Chip with Underfill

FU Zhihong¹, TIAN Youqiang¹, WU Ningjie¹, GUO Pengcheng¹, WANG Hong²

(1. College of Mechanical and Electrical Engineering, Central South University, Changsha 410083, P. R. China;

2. Zhongshan Instit. of Modern Indust. Technol. of South China Univ. of Technol., Zhongshan, Guangdong 528437, P. R. China)

**Abstract:** In order to improve fatigue life of solder joint of chip scale package light-emitting diode(CSP-LED), the finite element simulation software ABAQUS was used to simulate the plastic strain of CSP-LED packaged chip under the drop load, and the crack propagation trend was studied. The number of drops before the solder joint failed was taken as an index, and the Coffin-Manson empirical formula was used to calculate the fatigue life of the solder joint. The effect of underfill on the solder joint life of the CSP-LED chip under different impact loads was investigated. The results showed that as the impact load increases, the fatigue life of the solder joint decreases, and the fatigue life of the solder joint could be improved by 4 to 6 times by using underfill, and the influence was verified by comparing the results of drop experiment and the results of simulation.

Key words: CSP-LED; underfill; drop load; solder joint life

0 引 言

发光二极管(LED)的封装形式经历了插针式、 贴片式和板上芯片式^[1],如今正在朝芯片级封装发 展。芯片级封装(CSP)最早于 1994 年由日本三菱 公司提出并应用于半导体器件的封装形式,封装后 的整体尺寸不大于原芯片尺寸的 120%。CSP 封装 的 LED 具有诸多优势:体积小、结构简单、功率大、 高密度发光、灵活度高、封装工艺简单以及容易实现

收稿日期:2019-10-08;定稿日期:2019-11-27

基金项目:广东省科技计划重大项目(2015B010127013, 2016B01012300, 2017B010112003);中山市科技发展专项资金重大项目(2017F2FC0002, 2017A1009, 2019AG014)

作者简介:傅志红(1966—),男(汉族),湖南湘潭人,博士,教授,研究方向为高分子成型技术。通信作者。

王 洪(1964—),男(汉族),江苏无锡人,博士,教授,博士生导师,研究方向光通信网络与器件、微纳光电材料与器件。通信作者。

二次光学,因此 CSP 封装的 LED 受到半导体照明 行业的广泛关注和应用^[2]。

在封装件中,封装产品的使用寿命取决于器件、 焊点和电路板这三个基本组成的寿命。其中,焊点 失效可能影响整个电路的正常工作。文献[3]认为, 随着焊点尺寸的减小,焊点成为最薄弱的连接环节, 电子产品的失效可归结为器件封装焊点的失效。

焊点失效的主要原因是焊点经过周期性的应力 应变而产生断裂裂纹,裂纹拓展使焊点完全失效。 动力载荷下焊点应力应变的大小及分布对焊点可靠 性的影响至关重要。因此,许多学者对动力载荷下 的焊点失效及焊点寿命进行了研究。朱桂兵通过实 验测试了焊点在 500g 的冲击载荷下无铅焊点失效 前的跌落次数^[4]。周新等人利用有限元软件对 PCB 进行跌落载荷下的模态及应力应变分析,并进 行了跌落实验^[5]。

CSP-LED芯片尺寸小、连接简单,具有灵活性的特点。但是,芯片尺寸越小,焊点越小,焊点可靠性也就越差^[6]。因此,文献[6]提出了在 CSP-LED芯片与电路板之间加入底部填充物,底部填充物固化后形成的收缩应力将芯片和基板焊区机械连接,分散芯片与基板之间热膨胀系数不匹配引起的应力和受外在冲击载荷在焊点处所产生的应力。使用底部填充物的方法在倒装芯片封装工艺中已有较广泛的应用。杨家辉等人从能量的角度构建填充流动模型,分析了底部填充物在倒装芯片封装工艺中的填充流动过程,并进行实验验证^[7]。高翔等人利用有限元软件分析了使用底部填充物之后的倒装芯片和填充物在循环载荷下的界面分层现象^[8]。

本文使用有限元仿真软件 ABAQUS 分析对比 了使用底部填充物前后 CSP-LED 芯片的抗跌落冲 击性能,并进行实验研究,对比了在不同跌落冲击加 速度下使用填充物前后的焊点寿命,以灯珠失效前 的跌落次数来表征焊点寿命。

1 抗跌落冲击性能数值模拟

仿真使用的数值模拟三维模型基于某公司 0905型号小芯片 CSP-LED 灯珠的实际尺寸进行建模,仿真模型封装结构剖视图如图 1 所示。

在不影响计算精度的前提下,为了提高网格质量,对所用模型做出以下简化:1)去掉 PCB 基板多余的孔洞,将基板简化为实心平板;2)焊点的形状简化为侧面为圆弧型的类长方体,如图 2 所示;3)

蓝光芯片内部视为一个整体;4)忽略 PCB 基板表 面附着的超薄的一层电路层,将基板视为均质物体。



使用 ABAQUS 软件模拟了一个动力学过程, 焊接了 CSP-LED 芯片的 PCB 基板从不同高度自由 跌落并撞击地面,然后产生回弹。为了节约计算机 计算资源,提高计算效率,构建仿真模型时将封装了 芯片的基板水平置于地面上方,并给整个基板和芯 片一个对应于不同高度跌落的预定义速度场,方向 垂直指向地面。速度场的大小参考固态技术协会 JEDEC 提供的自由跌落试验标准^[9],如表 1 所示。 仿真模型各部分所使用的材料参数如表 2 所示。

碰撞过程中地面产生的形变相对于 PCB 基板 的形变来说十分微小,对计算结果影响很小,所以进 行数值模拟时,将地面视为刚体,限制其六个方向的 自由度。数值模拟的研究重点在于受冲击载荷后焊 点的应力应变变化,所以在仿真过程中焊点使用的 是弹塑性模型,其他部分均视为弹性体。为了模拟 焊点裂纹的产生和拓展,在焊点与基板和焊点与蓝 光芯片接触的两个面上分别设置一层厚度为 0.01 mm的 Cohesive 粘性单元。Cohesive 单元由 ABAQUS软件提供,是基于损伤力学模型的用于分析裂纹拓展的单元。应用该单元模拟材料失效的原理基于 Traction-separation 描述方法^[10],基于该描述方法的常用本构模型是双线性本构模型,如图 3 所示。可以看出,在材料达到强度极限之前, Cohesive 单元经历线弹性阶段,此时单元应力与两端的分离位移成正比;在材料达到强度极限后,单元 开始刚度退化。使用 Cohesive 单元时,ABAQUS 软件使用刚度下降率(SDEG)参数来表征单元破坏 情况。当 SDEG 值从 0 到 1 逐渐增大时,表示单元 刚度逐渐退化;当 SDEG 值大于等于1 时,表示单元 完全破坏失效,即产生裂纹。

试验 条件	跌落高 度/cm	跌落速度/ (cm・s ⁻¹ )	峰值加 速度
Н	150	543	2 900g
G	130	505	2 000g
В	112	467	1  500g
F	76.2	386	900g
А	50.8	316	500g

表 1 自由跌落冲击试验标准

名称	密度/ (t・mm ⁻³ )	杨氏模量/ MPa	数量
蓝光芯片	6.1×10 ⁻⁹	181 000	1
填充胶	2.1×10 ⁻⁹	9 000	1
焊点	8.42×10 ⁻⁹	29 450	2
PCB 基板	2.68×10 ⁻⁹	15 000	1
荧光胶	2.1×10 ⁻⁹	9 000	1

表 2 仿真模型各部分材料参数



图中,*t* 表示损伤起始应力,*di* 表示损伤起始位移,*df* 表示损伤失效位移。

## 2 数值模拟结果分析

对于焊点疲劳模型和寿命预测方法的研究,已 提出的焊点疲劳模型可分为基于应力的疲劳模型、 基于塑性应变的疲劳模型、基于蠕变应变的疲劳模 型和基于损伤的疲劳模型等。

Coffin-Manson模型是基于塑性应变的疲劳模型^[11],曾被广泛应用于预测等温条件下低周循环载荷下焊点的疲劳寿命,而本文有限元模型也是模拟等温条件下焊点的低周循环寿命。该模型将焊点失效循环次数 N_i和每一循环焊点塑性应变幅度 Δε_p通过疲劳延性系数 ε[']_i 和疲劳延性指数 c 联系起来:

$$\frac{\Delta \varepsilon_{\rm p}}{2} = \varepsilon_f' \, (2N_f)^c \tag{1}$$

疲劳延性系数和疲劳延性指数与材料有关,*c* 的取值范围为-0.5~-0.7。

根据表1中五种实验条件,分别给CSP-LED 封 装模组五种不同的预定义速度场,模拟计算得到 Cohesive 单元刚度退化情况。跌落高度为50.8 cm、 112 cm、150 cm 时的 Cohesive 单元刚度退化云图如 图 4 所示。

可以看出,当焊点焊接完整、不存在孔洞和杂质 的情况下,焊点四周的单元刚度退化比中心严重,四 周单元的 SDEG 值会先达到 1,单元开始失效,裂纹 产生。从图 4(d)、图 4(e)、图 4(f)可以看出,随着焊 点受到的冲击载荷增大,焊点单元失效走势是从焊 点四周向焊点中心延伸,即是焊点裂纹拓展的趋势。 对比图 4(a)与图 4(d)、图 4(b)与图 4(e)、图 4(c)与 图 4(f),可以看出,在相同跌落冲击载荷下,使用了 底部填充物后的焊点单元刚度退化情况改善明显。 原因是焊点周围填充胶的作用是分散冲击载荷产生 的应力,应力不是只集中在焊点上,填充胶承担了一 部分应力。SDEG 值越低意味着单元离破坏失效越远,越难产生裂纹,焊点的寿命就越长。

根据表1设置五种试验高度,读取五种不同跌 落高度下焊点的塑性应变,再根据经验公式(1)计算 出焊点在跌落冲击载荷下疲劳寿命,以 N_i来表征焊 点的疲劳寿命。五种跌落高度下的疲劳寿命如图 5 所示。



(e) 112 cm 有填充物



可以看出,随着跌落高度增加,焊点疲劳寿命呈 减小的趋势。原因是,随着跌落高度的增加,焊点受 到的冲击载荷变大,每一循环对焊点产生的塑性应 变增大,根据式(1),当c固定时,塑性应变和焊点失 效循环次数呈幂函数的关系。塑性应变增大,焊点 疲劳寿命随即减小。使用了底部填充物后,焊点疲 劳寿命明显增加,这是因为使用填充物后,焊点每一 循环受冲击载荷产生的塑性应变明显减小。

## 3 实验对比

CSP-LED 灯珠模组封装过程只需两步:固晶和 过回流焊。固晶是在 PCB 基板连接灯珠的电极上 点涂液态状的锡膏,然后将 CSP-LED 芯片放在两 个电极的正上方,以保证 CSP-LED 芯片的两个电 极通过锡膏和 PCB 基板实现电路连接。过回流焊 是利用锡膏加热固化的性质,锡膏加热固化后,电路 连接相对比较稳定。封装所使用的固晶机是新益昌 自动化设备有限公司 GS100BH 平面型全自动固晶 机,回流焊是劲拓自动化设备有限公司 JTR-800D 型回流焊设备。 封装时,通过控制锡膏点涂的量来控制焊点的 高度,封装后通过千分尺测量灯珠高度来间接测量 焊点高度。数值模拟时焊点设置的高度是 0.05 mm,所以取焊点高度为 0.05 mm 的灯珠模组,根 据表 1 的实验条件进行自由跌落。底部填充物的填 充方法是在 LED 灯珠周围涂抹填充物。根据毛细 力的驱动的原理^[12],液态主要成分为环氧树脂的聚 合物会沿着灯珠与 PCB 基板的缝隙前进,逐渐填满 整个缝隙。以灯珠失效不亮之前的跌落次数作为评 价焊点寿命的指标,自由跌落结果统计得到的实测 焊点寿命如图 6 所示。



对比图 6 和图 5 可知,实测的焊点寿命与仿真 结果趋势基本一致,均随着跌落高度增加即冲击载 荷增加,疲劳寿命减少;使用了底部填充物后,焊点 寿命都显著提高。但是,仿真结果的焊点寿命会比 实际测量的略高。以130 cm的跌落高度为例,无底 部填充物时,实测寿命为14 次,仿真结果为16 次, 两者相差 2 次,误差为12.5%;有填充物时,实测寿 命为87 次,仿真结果为99 次,误差为12.1%。仿 真结果比实测寿命高,可能的原因是,焊点由锡膏经 过加热固化后,在与 PCB 板和蓝光芯片的接触面上 残留气泡、杂质或者锡膏与焊盘的热膨胀系数不匹 配而产生初试裂纹,造成应力集中。

### 4 结 论

本文使用 ABAQUS 软件对模拟了 CSP-LED 封 装模组在跌落冲击载荷下焊点裂纹拓展趋势和塑性 应变,利用 Coffin-Manson 经验公式预测焊点疲劳寿 命,并研究了不同跌落冲击载荷下底部填充物对焊点 寿命的影响。数值模拟结果表明,焊点裂纹的拓展趋势是从焊点四周向中心扩张,焊点寿命随着跌落冲击载荷增大而减少,使用底部填充物能使焊点寿命提高4~6倍,LED芯片抗冲击性能明显提升。通过实验验证了仿真结果,以130 cm 跌落高度为例,有填充物情况下实验与仿真寿命误差为12.5%。

#### 参 考 文 献:

- [1] 方军,花刚,傅仁利,等.大功率白光 LED 封装结构 和封装基板 [J]. 半导体技术,2013,38(2):140-147.
- [2] LEE K H, KIM S H, LIM W S, et al. Visible lightemitting diodes with thin-film-flip-chip-based waferlevel chip-scale package technology using anisotropic conductive film bonding [J]. IEEE Elec Dev Lett, 2015, 36(7): 702-704.
- [3] LEE W W , NGUYEN L T , SELVADURAY G S. Solder joint fatigue models: review and applicability to chip scale packages [J]. Microelec Reliab, 2000, 40 (2): 231-244.
- [4] 朱桂兵.跌落冲击载荷下板级组装无铅焊点的可靠性 分析 [C] // 第九届中国高端 SMT 学术会议论文集. 济南,中国. 2015: 288-297.
- [5] 周新,刘芳,周海亭,等.无铅焊点在跌落冲击载荷下 动态特性研究[J].噪声与振动控制,2007(4):1-3.
- [6] 张杰,杨平.冲击载荷下 BGA 焊点应有限元模拟 [J].传感技术学报,2006(5):1591-1594.
- [7] 杨家辉,姚兴军,章文俊,等.基于表面能理论的倒装
   芯片封装下填充流动研究[J].半导体技术,2018,43
   (1):70-74.
- [8] GAO X, WANG F, LIU S. Interfacial delamination analysis at chip/underfill interface and investigation of its effect on flip-chip's reliability [C] // IEEE ICEPT-HDP. 2013: 954-958.
- [9] JEDEC Standard JESD22-B110A-2004. Subassembly mechanical shock [S]. 2004.
- [10] TVERGAARD V, HUTCHINSON J W. The relation between crack growth resistance and fracture process parameters in elastic-plastic solids [J]. J Mech Phys Sol, 1992, 40(6): 1377-1397.
- [11] 李晓延, 严永长. 电子封装焊点可靠性及寿命预测方法 [J]. 机械强度, 2005, 27(4): 470-479.
- [12] 姚兴军,张关华,王正东,等. 倒装芯片封装中非牛顿 流体下填充的数值仿真 [J]. 半导体技术,2013,38 (1):77-81.

# 一种带 P 型埋层的 4H-SiC PiN 二极管

王 帅,张有润,罗佳敏,罗茂久,陈 航(电子科技大学 电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 碳化硅(SiC)PiN 二极管是应用在高压大功率整流领域中的一种重要的功率二极管。受 SiC 外延材料的载流子寿命限制以及常规 SiC PiN 二极管较低的阳极注入效率的影响,SiC PiN 二 极管的正向导通性能较差,这极大限制了其在高压大电流领域的应用。文章提出了一种带 P 型埋 层的 4H-SiC PiN 二极管,较常规 SiC PiN 二极管增强了阳极区的少子注入效率,降低了器件的导 通电阻,增大了正向电流。仿真结果表明,当正向偏压为 5 V 时,引入 P 型埋层的 SiC PiN 二极管 的正向电流密度比常规 SiC PiN 二极管提升了 52.8%。

关键词: PiN 二极管;注入效率;P型埋层;电流密度
 中图分类号:TN312⁺.4
 DOI:10.13911/j.cnki.1004-3365.190672

文章编号:1004-3365(2020)05-0704-05

## A 4H-SiC PiN Diode with P-Type Buried Layer

WANG Shuai, ZHANG Yourun, LUO Jiamin, LUO Maojiu, CHEN Hang

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

**Abstract:** The silicon carbide(SiC) PiN diode was an important power diode applied in the field of high voltage and high power rectifier. Due to the carrier lifetime limitation of SiC epitaxial materials and the low anode injection efficiency of conventional SiC PiN diodes, the forward conduction performance of SiC PiN diodes was poor, which had greatly limited its application in high voltage and high current applications. In this paper, a 4H-SiC PiN diode with p-type buried layer was proposed. Compared with conventional PiN diode, the PiN diode with p-type buried layer could enhance the efficiency of the anode area, thereby having reduced the on-resistance of the device and increased the forward current. Simulation results showed that when the forward bias voltage was 5 V, the forward current density of the silicon carbide PiN diode with p-type buried layer was 52.8% higher than that of the conventional silicon carbide PiN diode.

Key words: PiN diode; injection efficiency; P-type buried layer; current density

0 引 言

随着半导体工艺的发展,晶体管的特征尺寸不断下降,数字或混合信号 CMOS 集成电路芯片内部的工作速度数量级已经达到几百 MHz 到几 GHz。由于芯片的集成度高,内部元件及单元电路之间的

距离近、连线短、寄生参数小,芯片内部数据的传输 和处理可以采用 CMOS 电平信号。但是,在高速数 据接口方面,内部信号要经过封装键合线、PCB 板 上的连线以及通孔来与其他芯片连接,如果采用 CMOS 电平作为输出接口,则各种寄生参数会导致 数据上升/下降时间以及多路数据之间同步匹配等 严重恶化。因此,一般采用 CMOS 电平作为数据接

收稿日期:2019-11-21;定稿日期:2019-12-25

基金项目:科学挑战专题(TZ2018003)

**作者简介:**王 帅(1996—),男(汉族),安徽滁州人,硕士研究生,研究方向为半导体功率器件设计。

张有润(1980—),男(汉族),安徽合肥人,副教授,研究方向为第三代半导体碳化硅(SiC)器件和硅基光电集成电路。

口,速度小于 200 MHz。

1 器件结构和工作机理

#### 1.1 常规 PiN 二极管正向导通模型

PiN 二极管是由在 P 型阳极区和 N 型衬底之 间插入一层本征层构成,一维结构如图1所示。该 PiN 二极管包括: 高掺杂  $P^+$  区、高掺杂  $N^+$  区以及 二者之间的高阻本征 i 区(一般为较低掺杂的 N⁻ 漂 移区)。



图 1 PiN 二极管一维结构示意图

当在 PiN 二极管两端施加正向偏压时,P 型重 掺杂区与 N⁻ 漂移区界面处的势垒区存在复合电流 J_m+_n-,N型重掺杂区与 N[−]漂移区界面处的势垒区 存在复合电流  $J_{m^-n^+}$  [7]。 P⁺ 阳极区的空穴与 N⁺ 衬 底区的电子注入进入本征区两端,注入进入本征 i 区的空穴和电子在本征区两端形成积累并向内部扩 散,在 N⁻漂移区内空穴和电子经过渡越和复合分 别到达 N⁺N 结(N⁺i)和 P⁺N 结(P⁺i),从而形成向 衬底的空穴注入电流  $J_{ab}$  及向  $P^+$  阳极区的电子注入 电流 J₄。总的正向电流密度表达式为:

 $J = J_{rp^+p^-} + J_{rp^-p^+} + J_{dp} + J_{dp}$ (1)

PiN 二极管的通态电流主要由三种电流输运机 制决定:1)在电流非常小的情况下,电流输运是由 PN 结空间电荷区内的复合过程起主导作用,此时 的电流称为复合电流;2)在小电流的情况下,电流输 运是由注入到漂移区的少子扩散起主导作用,此时 的电流称为扩散电流;3)在大电流的情况下,电流输 运取决于漂移区内存在的高浓度电子与空穴,此时 的电流称为大注入电流^[8]。

当PiN二极管处于正向导通态的大注入水平 时,P型阳极区和重掺杂 N⁺衬底注入进 N 型漂移 区(i区)的空穴和电子浓度远大于漂移区本身的掺 杂浓度,此时的N型漂移区因大量空穴-电子对的存 在而呈等离子态,电阻大大降低。此过程机制称为 电导调制效应。漂移区的电导调制有利于高电流密 度通过轻掺杂漂移区时获得较低的通态压降,发生 电导调制时的 PiN 二极管载流子浓度分布如图 2 所示。



可以通过电中性条件来求解 N 型漂移区的连 续性方程,推导出 PiN 二极管的通态电流密度  $J_{\rm T}$ 与 总通态压降 $V_{ON}$ 之间的关系,即PiN二极管的正向 导通模型:

$$J_{\rm T} = \frac{2qD_{\rm a}n_{\rm i}}{d}F\left(\frac{d}{L_{\rm a}}\right)e^{qV_{\rm ON}/(2KT)}$$
(2)

其中 
$$F\left(\frac{d}{L_a}\right)$$
的表达式为:  
 $F\left(\frac{d}{L_a}\right) = \frac{(d/L_a) \tanh(d/L_a)}{\sqrt{1-0.25 \tanh^4(d/L_a)}} e^{-qV_i/(2KT)}$  (3)

式中,V;为二极管漂移区的压降。

## 1.2 P型埋层结构 PiN 二极管设计

引入P型埋层的阳极注入增强型二极管结构 如图 3 所示^[9]。在靠近 P⁺ 区的 N⁻ 漂移区中引入 P 型埋层,P型埋层和 N⁻漂移区之间形成 PN 结,此 PN 结与 P 型阳极区和漂移区形成的 PN 结之间形 成 PNP 三层结构。两个耗尽区相连的 PN 结之间 相互作用使得 P 型阳极区与漂移区边界附近的电 场强度增强,当 PiN 二极管处于正向偏置时,从 P+  $n N^+$ 区注入到 N⁻区的非平衡少子浓度增加,使得 N⁻漂移区电导调制效应增强,降低了漂移区的导通 电阻,增大了二极管的正向电流。



图中深色箭头表示常规 PiN 处于正向导通态 大注入水平时的电流分量,浅色箭头表示埋层结构 N⁻漂移区的非平衡少子浓度增加、电导调制效应增 强形成的电流分量。因此,带 P 型埋层的 PiN 器件 正向导通时总的电流密度为:

$$J = J_{p} + J_{n} + J_{Ep} + J_{En}$$
 (4)  
式中, J 为二极管总的电流密度,  $J_{Ep} = J_{En}$ 分别

为空穴电流密度的增量与电子电流密度的增量,而 $J_{p}+J_{n}$ 为常规 PiN 器件的正向电流密度。假设 P⁺ 埋层在 N⁻ 区边缘附近的电场增强因子为  $\alpha$ (大于 1),则:

$$E(+d) = \alpha E(+d)_0 \tag{5}$$

图 3 的横坐标中,"0"代表常规 PiN 器件,*d* 表示漂移区厚度的一半。结合爱因斯坦关系可得出 N⁻区边界电场,为:

$$E(+d) = \alpha \frac{KT}{qn(+d)} \left(\frac{\mathrm{d}n}{\mathrm{d}x}\right)_{x=+d}$$
(6)

结合上述漂移区边界条件及常规结构 PiN 二 极管电流密度的推导,由电中性条件和漂移区连续 性方程得到埋层结构 PiN 二极管漂移区非平衡载 流子浓度分布,为:

$$n(x) = p(x) = \frac{\alpha \tau_{\text{HL}} J_{\text{T}}}{2qL_{a}} \left[ \frac{\cosh(x/L_{a})}{\sinh(d/L_{a})} - \frac{\sinh(x/L_{a})}{2\cosh(d/L_{a})} \right]$$
(7)

由式(7)可以看出,由于电场增强,埋层结构 PiN 二极管漂移区中的电子和空穴浓度比常规器件 高。从而可以得到带有 P 型埋层的 PiN 二极管的 通态电流密度  $J'_{\rm T}$  与总通态压降  $V_{\rm ON}$ 之间的关系,求 得带 P 埋层 PiN 二极管少子注入增强新结构器件 的正向导通模型:

$$J'_{\rm T} = \frac{2\alpha q D_{\rm a} n_{\rm i}}{d} F\left(\frac{d}{L_{\rm a}}\right) e^{q V_{\rm ON}/2KT}$$
(8)  
 
$$\vec{\rm x} + F\left(\frac{d}{L_{\rm a}}\right) \\ \vec{\rm z} \vec{\rm x} \\ \vec{\rm x} \\ \vec{\rm x}$$

## 2 仿真对比与分析

本文利用 Silvaco TCAD 软件,对带 P 埋层的 SiC PiN 二极管和常规 SiC PiN 二极管的特性进行 了仿真分析与对比。仿真过程所用的模型包括 SRH、 AUGER、 INCOMPLETE、 IMPACT、 FLDMOB。常规 PiN 与埋层 PiN 二极管的参数列 于表 1。引入 P 型埋层的 4H-SiC PiN 二极管仿真 元胞结构示意图如图 4 所示。

#### 2.1 正向导通特性仿真分析

通过 Silvaco TCAD 仿真软件对埋层结构 SiC PiN 二极管和普通结构 SiC PiN 二极管进行了正向 导通特性仿真,图 5 所示为带 P 型埋层的 PiN 二极 管与普通结构 PiN 二极管正向 *J-V* 曲线对比,可以 看到,在正向偏压为 5 V 时,引入 P 型埋层的 SiC PiN 二极管正向电流密度提升显著,相比普通结构 提升了 52.8%。

表] 两种结构的主要参
-------------

会 粉	数值		
<i>参</i> 奴	埋层结构	常规结构	
阳极 P ⁺ 厚度/μm	1	1	
阳极 $P^+$ 浓度/cm ⁻³	$1 \times 10^{19}$	$1 \times 10^{19}$	
$N^-$ 漂移区厚度/ $\mu m$	30	30	
$N^-$ 漂移区浓度/cm ⁻³	$3 \times 10^{15}$	$3 \times 10^{15}$	
埋层厚度 T/μm	1	-	
埋层宽度 $W/\mu m$	2	-	
埋层间距 $S/\mu m$	2	-	
埋层距 P ⁺ 区距离/μm	0.5	-	
埋层浓度 N _{p-bury} /cm ⁻³	$1 \times 10^{19}$	-	
载流子寿命/μs	1	1	



图 4 4H-SiC PiN 二极管元胞剖面图

埋层结构 PiN 正向电流密度增大的原因是漂 移区非平衡少子浓度的增加,正向偏压为 5 V 时 X=2 μm 处埋层 PiN 二极管与常规 PiN 二极管内 部的空穴浓度对比如图 6 所示,可以看出,在漂移区 内部,埋层结构 PiN 二极管的空穴浓度比常规结构 的高,这是因为 P 型埋层的存在增强了漂移区与 P⁺ 阳极区边界附近的电场,使得二极管正向导通时 阳极区少子注入效率增大,注入漂移区的空穴增加。 正向偏压为 5 V 时埋层 PiN 与常规 PiN 的势垒区 边界处的电场分布对比如图 7 所示。可以看出,埋 层 PiN 二极管的 P 型阳极区与 N⁻漂移区边界附近 的电场显著增强。埋层 PiN 与常规 PiN 的电流密 度分布对比如图 8 所示,埋层 PiN 二极管的电流密度 提升显著。



图 6 X=2 μm 处埋层 PiN 与常规 PiN 的漂移区空穴浓度 对比



(a) 埋层 PiN (b) 常规 PiN





 (a) 埋层 PiN
 (b) 常规 PiN
 图 8 埋层 PiN 与常规 PiN 正向偏压 5 V 时的电流密度分 布对比

P 埋层中空穴总量和浓度的不同也会对二极管 的正向导通特性产生影响,因此对 P 埋层相关参数 的合理设计也是提高带 P 埋层 PiN 二极管正向电 流增益的关键。固定 P 型埋层浓度  $N_{p-bury} = 1 \times 10^{19}$  cm⁻³,埋层厚度对二极管正向导通性能的影响 如图 9 所示。可以看到,当埋层厚度 T 从 0.6 μm 增加到 1 μm 时,二极管电流密度逐渐增大。但是, P 埋层厚度较厚会导致二极管击穿电压降低,同时 也增加 P 埋层工艺的难度。



图 9 埋层厚度对二极管正向导通性能的影响

当厚度等尺寸参数固定时,P 埋层浓度对二极 管正向导通特性的影响如图 10 所示。可以看出,P 埋层浓度越高,正向导通时二极管的电导调制效果 越强,正向电流密度越大。同时,P 埋层浓度过高也 会导致二极管的击穿电压降低。



## 2.2 反向阻断特性仿真分析

埋层 PiN 与常规 PiN 的击穿电压曲线对比如图 11 所示。可以看出,埋层 PiN 的击穿电压为4 670 V,常规 PiN 的击穿电压为4 760 V。埋层

PiN 的击穿电压略有下降,原因是埋层处存在一定的电场集中现象,但对反向耐压值的影响十分小。因此,可以认为埋层 PiN 二极管仍然具有常规 PiN 二极管优异的反向阻断特性。



## 3 结 论

本文提出了一种带 P 型埋层的注入增强型 SiC PiN 二极管,通过理论分析和公式推导说明了其电导调制增强机理并建立了埋层结构 PiN 二极管的 正向导通模型,同时使用 Silvaco TCAD 仿真软件 对新结构器件进行了仿真验证。通过在 SiC PiN 二 极管的漂移区引入 P 型浅埋层,增强了 P 型阳极区 与漂移区边界的电场强度从而使得阳极区的少子注 入效率增加,电导调制增强,降低了器件的导通电阻,增大了正向电流,从而有效改善了 SiC PiN 二极管的正向导通性能。在正向偏压为 5 V 的情况下,该埋层型 PiN 二极管的电流密度比常规 PiN 二极管提升了 52.8%,更适合于高压大电流领域的功率

整流器应用。

#### 参考文献:

- RUMYANTSEV S , LEVINSHTEIN M E, SHUR
   M, et al. Optical triggering of high current (1300 A),
   high voltage (12 kV) 4H-SiC thyristor [J]. Mater Sci
   Forum, 2014(778-780): 1021-1024.
- [2] SINGH R, COOPER J A, MELLOCH M R, et al. SiC power Schottky and PiN diodes [J]. IEEE Trans Elec Dev, 2002, 49(4): 665-672.
- [3] 韩超. 4H-SiC PiN 功率二极管研制及其关键技术研究 [D]. 西安: 西安电子科技大学, 2016.
- [4] MILLAN J, GODIGNON P, PERPINA X, et al. A survey of wide bandgap power semiconductor devices [J]. IEEE Trans Power Elec, 2014, 29 (5): 2155-2163.
- [5] SUNDARESAN S, MARRIPELLY M, ARSHAVSKY S, et al. 15 kV SiC PiN diodes achieve 95% of avalanche limit and stable long-term operation [C] // IEEE Intl Symp Power Semicond Dev & ICs. Kazanawa, Japan, 2013: 175-177.
- [6] KAJI N, NIWA H, SUDA J, et al. Ultrahigh-voltage SiC P-i-N diodes with improved forward characteristics
   [J]. IEEE Trans Elec Dev, 2015, 62(2): 374-381.
- [7] 柏思宇. 高压 SiC PiN 器件的研制与静动态特性研究 [D]. 成都: 电子科技大学, 2017.
- [8] BALIGA B J. Fundamentals of power semiconductor devices [M]. Berlin: Springer, 2010.
- [9] 高吴昊,陈万军,刘超,等. 一种带有注入增强缓冲层的4H-SiC GTO 晶闸管 [J]. 半导体技术,2019,44 (4):276-280.

第 50 卷 第 5 期	微 电 子 学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

# GaN 高压 LED 在极小电流与极低温度下的 光电特性

田 媛¹,陈雷雷¹,赵琳娜¹,陈珍海²,闫大为¹,顾晓峰¹
(1. 江南大学 电子工程系 物联网技术应用教育部工程研究中心,江苏 无锡 214122;
2. 黄山学院 信息工程学院 智能微系统安徽省工程技术研究中心,安徽 黄山 245041)

摘 要: 在图形化蓝宝石衬底上制备了串联结构的氮化镓(GaN)高压发光二极管(LED),分别在 极小电流与极低温度下研究了其光电特性。结果表明,在极小电流区(I<1×10⁻⁸ A),主要输运机 制为缺陷辅助隧穿。由于能带热收缩效应和辐射复合中心的热激活效应,随着温度升高,电致发 光(EL)峰发生红移,半高宽(FWHM)增加;光输出强度与注入电流呈幂指数关系,表明极小电流 下非辐射复合占主导,且载流子通过缺陷辅助隧穿至量子阱。在极低温度下(T~40 K)仍能观测 到电致发光现象,表明载流子并未被完全冻析,在强场下可由施主态或受主态通过缺陷辅助隧穿 至量子阱;随着注入电流增加,注入电荷的库伦电场对极化电场的屏蔽作用增强,导致发光峰发生 明显的蓝移,能带填充效应则导致半高宽增加。

关键词: GaN 高压发光二极管;极小电流;极低温度;光电特性
 中图分类号:TN312⁺.8
 文献标识码:A
 文章编号:1004-3365(2020)05-0709-06
 DOI:10.13911/j.cnki.1004-3365.190657

## Study on Photoelectric Characteristics of GaN High Voltage LEDs at Extremely Low Currents and Temperatures

TIAN Yuan¹, CHEN Leilei¹, ZHAO Linna¹, CHEN Zhenhai², YAN Dawei¹, GU Xiaofeng¹

(1. Engineering Research Center of IoT Technology Applications (Ministry of Education), Department of Electronic Engineering, Jiangnan University, Wuxi, Jiangsu 214122, P. R. China; 2. Engineering Technology Research Center of Intelligent Microsystems, School of Information Engineering, Huangshan University, Huangshan, Anhui 245041, P. R. China)

**Abstract:** The series-mode GaN high voltage light emitting diodes (LED) were fabricated on the patterned sapphire substrates, and their photoelectric characteristics at extremely low currents and temperatures were investigated, respectively. The results showed that, in the very low current region ( $I < 1 \times 10^{-8}$  A), the primary transport mechanism was the defect-assisted tunneling. With the increasing temperature, the peak position of the electroluminescence (EL) spectrum was red-shifted and the width at half maximum (FWHM) increased, resulting from the thermal shrinkage effect of the band gap and the thermal activation effect of radiative recombination centers. The power law relationship between the optical output intensity and the injection current indicated that the non-radiative recombination played a dominant role in the low current region, and the carriers tunnelled into the quantum wells assisted by defects. At extremely low temperatures ( $T \sim 40$  K), obvious EL behaviors could still be

**基金项目:**国家自然科学基金资助项目(61504050);江苏省研究生科研与实践创新计划资助项目(SJCX19_0796,KYCX18_ 1855);安徽省重点研究和开发计划资助项目(201904b11020007)

作者简介:田 媛(1994—),女(壮族),广西宜州人,硕士研究生,主要从事 III 族氮化物光电器件的研究工作。 闫大为(1981—),男(汉族),山东枣庄人,博士,副教授,主要从事 III 族氮化物电子和光电器件的可靠性研究。通信 作者。

收稿日期:2019-11-15;定稿日期:2019-12-17

observed, suggesting that the carriers had not been completely frozen out, which could tunnel into the quantum wells from the donor or acceptor states assisted by defects under the strong electrical field. As the injection current increased, the peak position was blue-shifted and the FWHM increased, mainly due to the enhanced shielding effect of the Coulomb field of injected charges on the polarized field and the energy band filling effect, respectively.

**Key words:** GaN high voltage light emitting diodes; extremely low current; extremely low temperature; photoelectric characteristics

#### 0 引 言

Ⅲ族氮化物通常为直接带隙半导体,具有很高的 辐射复合效率,通过调节其组分可获得0.7~6.2 eV 的连续带隙,能覆盖整个可见光区域,是制备高效发 光二极管(LED)的优选材料^[1-3]。GaN 基 LED 具 有体积小、寿命长和高效节能等优势,但传统单颗低 压器件必须工作在高电流密度下才能获得较大的光 功率,此时器件会遭受严重的 droop 效应^[4],导致发 光效率远低于理想值^[5-6]。目前,缓解该问题的一种 有效方法是采用多颗 LED 串联的高压工作结 构^[7-8],使器件工作在小注入电流密度下来获得高发 光效率和光输出强度。

对于光电集成通信应用,系统要求光源在极小 电流驱动下输出一定的光信号强度。因此,高压 GaN 基 LED 比传统单颗 LED 更有利于实现光电 系统的高效能源管理。实验发现,在极低温度下 GaN 基 LED 内部的载流子并未被完全冻析,器件 不仅仍能正常发光,而且最高发光效率还会提 高^[9-10]。因此,研究极小电流与极低温度下高压 GaN 基 LED 的光电特性对于光电集成应用具有重 要意义。

基于以上认识,本文制备了一系列串联结构的 GaN 基高压 LED,并分别研究了其在极小电流与极 低温度下的光电特性。结果表明,在极小正向注入 电流(I<1×10⁻⁸A)下主要的输运机制均为缺陷辅 助隧穿;在极低温度(T~40 K)下,电子和空穴在强 场下可从施主或受主态通过中间缺陷态隧穿至量子 阱,发生带边辐射复合。此外,还讨论了高压 LED 发光峰位和半高宽随电流及温度的变化,以及光输 出功率及量子效率与注入电流的关系。

1 GaN 高压 LED 的制备

本文使用的 GaN 高压 LED 外延片是利用金属 有机化学气相淀积(MOCVD)法生长在图形化蓝宝 石衬底(PSS)上的。图 1(a) 所示为器件的外延结构 示意图,主要包括 1.5 μm 厚 u-GaN 缓冲层,2 μm 厚 n-GaN 接触层,7 个周期 3 nm/7 nm 厚 Ino. 2 Gao. 8 N/GaN 多量子阱层,70 nm 厚 p-Al_{0.15} Ga_{0.85} N 电子 阻挡层和 200 nm 厚 p-GaN 层。器件制备工艺步骤 如下:1)采用标准光刻和 lift-off 工艺定义刻蚀台面 区,以 Cl₂和 BCl₃混合气体(流量比为 25:15)对外 延片进行电感耦合等离子体(ICP)刻蚀,直至深度 达到 n-GaN 接触层;2)以 SiO₂和光刻胶作掩膜,在 选定的区域继续刻蚀 n-GaN 至蓝宝石衬底,获得芯 粒隔离沟槽;接着,在 p-GaN 上蒸镀 100 nm 的 ITO 金属电极,并立即在 N₂氛围中 550 ℃快速热退火 15 min,形成良好的欧姆接触,以增加电流扩展能力 和提高光的抽出效率;3)在器件表面淀积 1500 nm 厚 SiO₂钝化层,利用缓冲氧化物刻蚀(BOE)溶液湿 法刻蚀出 N 电极和 P 电极,并蒸镀 pad 金属将三个 芯片单元串联起来,最终形成的串联结构 GaN 高压 LED 器件如图 1(b) 所示。





N-pad

# (b) 实验器件俯视图图 1 串联结构 GaN 高压 LED 器件

## 2 GaN 高压 LED 的光电特性测试及 分析

GaN 高压 LED 的正向变温 *I-V* 特性如图 2(a) 所示,变温范围从 300 K 到 400 K。可以发现,在正 向小电流区(I 区, $I < 1 \times 10^{-6}$  A)和中电流区(II 区,  $1 \times 10^{-6}$  A  $< I < 1 \times 10^{-4}$  A),*I-V* 特性呈现出两段 斜率不同的线性依赖关系。为判断具体的电流输运 机制,LED 器件的 *I-V* 关系可表示为^[11]:

$$I = I_0 \exp(\frac{eV}{nkT} - 1) \tag{1}$$

式中,e 为电子电荷量,V 为电压, $I_0$  为V=0 时 的反向饱和电流,k 为玻尔兹曼常数,T 为绝对温 度,n 为理想因子。利用式(1)分别拟合图 2(a)中 I 区 和 II 区的数据,得到不同温度下的n,如图 2(b)所示, 图中下标 1 和 2 分别对应 I 区和 II 区。可以看出,n基本不随温度发生变化。在极小电流下, $n_1\sim3$ ,大于 2,表明隧穿机制占主导;进一步增加电流, $n_2\sim1.5$ , 大于 1 小于 2,表明扩散-复合机制占主导。



考虑到器件内部存在大量的电学缺陷态、极大的自建极化电场(*F*_{pol})和较大的禁带宽度,I 区的隧穿电流应主要为斜向缺陷辅助隧穿电流^[12]。正向偏压下的载流子输运过程示意图如图 3 所示,图中实心和空心圆分别代表电子与空穴,*F*_{pol}为极化电场,*F*_{cha}为注入电荷产生的库伦电场。在小电流区,电子和空穴通过缺陷辅助隧穿的形式注入至量子阱中发生辐射复合(①过程),而在中电流区,电子和空穴通过扩散的形式注入量子阱发生辐射复合(②过程)。



图 3 正向电流输运过程示意图

图 4(a)给出了极小正向注入电流下(I=8× 10⁻⁸ A)器件的 EL 光谱对温度的依赖关系。在极 小正向电流下可观测到显著的发光现象,直接证明 了①过程的合理性。

图 4(b)给出了 EL 峰位和 FWHM 随温度的变化。可以发现,当 T 从 300 K 升至 400 K 时,EL 峰位 从 458.6 nm 增至 461.9 nm,FWHM 则从 17.2 nm 增至 22.0 nm。有研究认为,自发极化和压电极化都 是温度的弱函数^[13],并不能引起发光峰位的显著红 移,因此,本文认为禁带宽度的热收缩效应可能是导 致峰位红移的主要原因。有效禁带宽度和温度的关系可用 Varshni 经验公式近似表示为^[14]:

$$E_{g} = E_{g}(0) - \frac{\alpha T^{2}}{T + \beta}$$
⁽²⁾

式中, $E_g(0)$ 为  $T \sim 0$  K 时的禁带宽度, $\alpha$  和 $\beta$  为 材料相关的常数。由 EL 峰位计算得到的有效禁带 宽度对温度的依赖关系如图 4(c)所示,图中红色实线 为根据式(2)拟合的结果。可以看出,计算结果与理 论公式能很好地吻合。常数取值为  $E_g(0) = 2.74$  eV,  $\alpha = 2.306 \times 10^{-4}$  eV/K, $\beta = 221.5$  K。这些参数值 均在合理的范围内^[15]。 在材料生长过程中,量子阱内部 In 组份的实际 分布并不均匀,容易形成一些组份较高的团簇,成为 有效的辐射复合中心^[16]。因此,FWHM 随温度的 增大可归因于高温下载流子能够占据能量分布更宽 的局域态。

图 4(d)给出了光输出强度与注入电流的关系。 在双对数坐标系下,两者遵循良好的线性依赖关系, 线性拟合系数 *m* 约为 2,表明在极小电流下量子阱 内的复合过程主要为非辐射复合,且载流子是通过 缺陷辅助隧穿至量子阱的^[11]。





(d) 光输出强度与注入电流的关系

在更大的变温范围内(T=10 K~300 K)测得 的 GaN 高压 LED 的 *I-V* 特性如图 5 所示。可以发 现,在大注入电流区( $I>1\times10^{-3}$  A),电流与温度呈 正相关的依赖关系。这说明随着温度的升高,体电 阻减小,这种温度依赖关系可归因于 p-GaN 中显著 的空穴冻析效应。在低温正向小偏压下,半对数坐 标中的 *I-V* 曲线呈现出两段斜率不同的线性区域, 其斜率几乎不随温度发生变化,传统的扩散-复合机 制不能解释这种现象。为了解释上述现象,文献 [12]提出了斜向隧穿过程模型,当 T<200 K 时,低 偏压和中偏压下的电流输运机制分别是缺陷辅助电 子隧穿和缺陷辅助空穴隧穿;当 T>200 K 时,则主 要由扩散-复合电流机制主导。



图 5 GaN 高压 LED 的变温 I-V 特性

图 6(a)给出了极低温度(T~40 K)下 GaN 高 压 LED 的 EL 光谱随正向注入电流的变化。发光 行为能被观测,直接证明了即使在极低温度下依然 存在可移动的电子和空穴。理论上讲,GaN 中的电 子和空穴在 T~40 K 时应基本被完全冻析,自由载

图 4 极小正向电流(*I*=1×10⁻⁸ A)下 GaN 高压 LED 的光 学特性

图 6(b)给出了发光峰位与注入电流的关系。 可以看出,当 I 从 0.2 mA 增加到 100 mA 时,峰位 从 468.5 nm 减至 451.7 nm,且蓝移速率逐渐减小, 在高电流区达到饱和。可理解为:1)开始时,随着注 入电流的增加,量子阱内部的电子和空穴浓度逐渐 增加,产生的库伦电场能有效屏蔽极化电场,使量子 阱的倾斜程度减弱,有效禁带宽度变大,进而峰位发 生明显的蓝移;2)当注入电流较大时,载流子浓度显 著提高,产生的电场能极大地屏蔽极化电场,使量子 阱的能带变平,导致峰位不再发生蓝移。由于实验 中采用了占空比为 5%的脉冲电流,因此电流自热 导致的禁带宽度收缩效应的影响可以忽略。

图 6(c)给出了发光峰的 FWHM 与注入电流的 关系。可以看出,随着注入电流的增加,FWHM 也 逐渐增大。原因是量子阱内载流子浓度的增加引起 了明显的局域态能级填充效应。



(a) EL 光谱与注入电流的关系



(b) 发光峰位与注入电流的关系



图 6 极低温度  $(T \sim 40 \text{ K})$ 下 GaN 高压 LED 的光学特性

当温度 T~40 K时,基于低温 EL 光谱测试系 统测得的相对外量子效率(EQE)与注入电流的关 系如图 6(d)所示。可以看出,随着注入电流的增 加,发光效率急剧下降。原因是大量电子向 p 型 GaN 区泄漏^[10]。

## 3 结 论

本文制备了串联结构的 GaN 高压 LED,分别 研究了其在极小正向注入电流下与极低温度下的光 电特性。实验结果表明:1)在极小电流区的电流输 运机制主要为缺陷辅助隧穿;随着温度升高,EL 峰 位红移和 FWHM 增加主要由能带热收缩效应与辐 射复合中心的热激活效应引起;2)在极低温度下观 测到的发光,主要由强电场作用下的载流子从施主 态或受主态直接通过缺陷辅助隧穿至量子阱导致; 随着注入电流的增加,EL 峰位蓝移和 FWHM 增加 分别由注入电荷的库伦电场对阱内极化电场的屏蔽 作用增强和能带填充效应决定,外量子效率随注入 电流急剧下降则由电子泄漏至 p 型 GaN 区导致。

### 参考文献:

- [1] PONCE F A, BOUR D P. Nitride-based semiconductors for blue and green light-emitting devices [J]. Nature, 1997, 386(6623): 351-359.
- [2] TOSHIHIKO K, NAKAGAWA M. Fundamental analysis for visible light communication system using LED light [J]. IEEE Trans Consum Electron, 2004, 50(1): 100-107.
- [3] GROBE L, PARASKEVOPOULOS A, HILT J, et al. High-speed visible light communication systems
   [J]. IEEE Commun Mag, 2013, 51(12): 60-66.
- [4] RYU H Y, RYU G H, CHOI Y H, et al. Modeling and simulation of efficiency droop in GaN-based blue light-emitting diodes incorporating the effect of reduced active volume ofInGaN quantum wells [J]. Curr Appl Phys, 2017, 17(10): 1298-1302.
- [5] XU J, SCHUBERT M F, NOEMAUN A N, et al. Reduction in efficiency droop, forward voltage, ideality factor, and wavelength shift in polarization-matched GaInN/GaInN multi-quantum-well light-emitting diodes [J]. Appl Phys Lett, 2009, 94(1): 1-3.
- [6] 刘乃鑫,王怀兵,刘建平,等.p型氮化镓的低温生长及发光二极管器件的研究[J].物理学报,2006,55
   (3):1424-1429.
- [7] 曹东兴,郭志友,梁伏波,等. GaN 基高压直流发光
   二极管制备及其性能分析 [J]. 物理学报,2012,61
   (13):517-523.
- [8] CAI Y, ZOU X, CHONG W C, et al. Optimization of electrode structure for flip-chip HVLED via two-level metallization [J]. Phys Status Solidi, 2016, 213(5): 1199-1203.

- [9] YAN D W, LI L S, REN J, et al. Electron-leakagerelated low-temperature light emission efficiency behavior in GaN-based blue light-emitting diodes [J]. J Semicond, 2014, 35(4): 87-90.
- [10] ZHAO L N, YAN, D W, ZHANG Z H, et al. Temperature-dependent efficiency droop in GaN-based blue LEDs [J]. IEEE Elec Dev Lett, 2018, 39(4): 528-531.
- [11] CAO X A, STOKES E B, SANDVIK P, et al. Diffusion and tunneling currents in GaN/InGaN multiple quantum well light-emitting diodes [J]. IEEE Elec Dev Lett, 2002, 23(9): 535-537.
- [12] YAN D W, LU H, CHEN D, et al. Forward tunneling current in GaN-based blue light-emitting diodes [J]. Appl Phys Lett, 2010, 96(8): 1-3.
- [13] LU H, SANDVIK P, VERTIATCHIKH A, et al. High temperature Hall effect sensors based on AlGaN/ GaN heterojunctions [J]. J Appl Phys, 2006, 99(11): 1-4.
- [14] VARSHNI Y P. Temperature dependence of the energy gap in semiconductors [J]. Physica, 1967, 34 (1): 149-154.
- [15] CHICHIBU S F, ABARE A C, MINSKY M S, et al. Effective band gap inhomogeneity and piezoelectric field in InGaN/GaN multiquantum well structures [J]. Appl Phys Lett, 1998, 73(14): 2006-2008.
- [16] 罗毅,郭文平,邵嘉平,等. GaN 基蓝光发光二极管的波长稳定性研究 [J]. 物理学报,2004,53(8): 2720-2723.
- [17] 王春安, 符斯列, 刘柳, 等. C-V 法研究温度对 GaN 基蓝光二极管 pn 结的影响 [J]. 发光学报, 2018, 39 (10): 91-98.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

## 牵引用 3300 V 平面栅 IGBT 栅极台面结构研究

肖 强,梁利晓,朱利恒,覃荣震,罗海辉 (株洲中车时代半导体有限公司,湖南 株洲 412001)

摘 要: 针对机车牵引用 3 300 V/1 500 A IGBT 功率模块,采用 TCAD 仿真工具研究了不同栅 极结构对器件静态和动态参数的影响。当平面栅 IGBT 采用栅极台面结构且台面厚度逐渐降低 时,器件的静态阻断电压提高,开关损耗降低,但是器件的开关时间增加;此外,关断时过快的 dv/ dt 会引起栅极电压振荡,开启时过快的 di/dt 会引起很大的电流过冲,导致器件应用的可靠性降 低。在机车牵引的应用环境下,IGBT 的栅极结构参数需要从电学参数和可靠性两个方面进行折 中设计。

关键词: 机车牵引; 平面栅 IGBT; 台面结构; 可靠性
 中图分类号:TN322⁺.8
 **文**献标识码:A
 **DOI**:10.13911/j.cnki,1004-3365.190754

**文章编号:**1004-3365(2020)05-0715-05

## Study on Structure of 3 300 V Planar Gate IGBT Terraced Gate for Traction Application

XIAO Qiang, LIANG Lixiao, ZHU Liheng, QIN Rongzhen, LUO Haihui (Zhuzhou CRRC Times Semiconductor Co., Ltd., Zhuzhou, Hunan 412001, P. R. China)

**Abstract:** The mechanism of gate structure was analyzed on the 3 300 V/1 500 A IGBT power module applied in locomotive traction, and the research was done by TCAD simulation tools. Better trade-off of performance and reliability could be achieved by a terraced gate structure. When terraced gate structure was taken in planar gate IGBT with reduced thickness, the blocking voltage of device was increased, and the switching loss was decreased, however the switching time was increased. When the device was turned-off, oscillations were caused by the high dv/dt. When the device was turned-on, a high current overshoot was caused by the high di/dt. Consequently, when the gate structure of IGBT chip was designed, performance and reliability should be balanced especially for the traction applications.

Key words: locomotive traction; planar gate IGBT; terraced gate; reliability

0 引 言

IGBT 集成了 MOSFET 的电压控制和晶体管 的低导通压降等特点,在各类电力电子转换装置中 有广泛应用。高铁、地铁等轨道交通行业的发展使 其对具有高压、大电流能力的功率开关的需求增大, 以 3 300 V/1 500 A 的 IGBT 功率模块为代表^[1-2]。

相比于 MOSFET,同耐压级别的 IGBT 具有更低的导通压降,原因是当 IGBT 导通时,耐压区内电子和空穴产生电导调制效应。但是,少子空穴会导致 IGBT 关断时有较长的拖尾电流,增加了器件的关断损耗,限制了器件的工作频率。当 IGBT 应用于机车牵引时,设计结构参数不能仅追求单一性能

收稿日期:2019-12-31;定稿日期:2020-01-15

基金项目:国家重点研发计划资助项目(2018YFB1201802)

作者简介:肖 强(1986—),男(苗族),湖南邵阳人,硕士,中级工程师,从事 IGBT 技术与产品开发。 梁利晓(1988—),男(汉族),河北邢台人,博士,中级工程师,从事 IGBT 技术与产品开发。

的极限优值,而应从静态功耗、动态功耗和可靠性等 多个方面进行折中^[1-2]。例如,降低 IGBT 集电极空 穴注入效率可以减少电流拖尾时间,从而降低器件 的关断损耗,但是会引起器件导通压降变大,因此不 能较好实现器件电学参数的折中^[3-5]。

平面栅 IGBT 二维结构如图 1 所示,栅极采用 台面结构,可以降低密勒电容 C_{GC},实现器件电学参 数和可靠性的更优折中,同时减小短路安全工作区 测试中的栅电压过冲^[6]。不同的栅极台面结构对器 件参数的改变也不同,基于 3 300 V/1 500 A 的 IGBT 功率模块,利用 TCAD 仿真工具研究了不同 栅极台面结构对器件静态和动态参数的影响。



图 1 平面栅 IGBT 的二维结构示意图^[6]

1 结构及工作机理分析

由图 1 可以看到,在平面栅 IGBT 结构中,Pwell 掺杂区和 n-sub 之间增加了一个 N-well 掺杂 区,N-well 区的掺杂浓度远高于 n-sub 区的掺杂浓 度。N-well/n-sub 掺杂区构成了一种载流子存储层 结构:当器件导通时,N-well/n-sub 扩散结产生内建 电场,该电场可阻碍空穴从 n-sub 区向 N-well 区扩 散,以提高空穴在 Emitter 一侧的浓度,从而降低器 件的导通压降。此外,平面栅 IGBT 的栅电极构成 一种台面结构:器件沟道上方为薄氧化层,厚度用  $T_{ox}表示;$  n-sub 区上方为厚氧化层,厚度用  $T_{ter}$ 表示。

IGBT 栅极台面结构工艺流程如图 2 所示,步 骤为:1)生长厚氧化层;2)台阶刻蚀;3)热生长一层 薄栅氧;4)淀积多晶硅。通过改变步骤 1)的氧化工 艺条件,可以调节台面厚度 T_{ter}。

Poly Gate 除了形成 IGBT 的栅电极结构外,还 对 P-well/N-well 结起到场板终端的作用。当器件 处于阻断耐压状态时,N-sub 区耗尽后正电荷产生 的一部分电力线终止于 Poly Gate,使 P-well/Nwell 结的电场集中降低,提高了器件的击穿电压。 当台面氧化层厚度改变时,栅极台面对表面电场的 调节程度不同,器件的击穿电压也因此发生改变。 *T*ter值影响器件击穿电压的仿真曲线如图 3 所示,随 着 *T*ter值变小,器件的击穿电压逐渐增加。栅极台 面厚度越小,n-sub 区耗尽后正电荷产生的电力线 终止于 Poly Gate 的越多,终止于 P-well/N-well 结 边界的越少。



不同  $T_{ter}$ 值对器件 I-V 特性曲线的影响如图 4 所示。随着  $T_{ter}$ 值变大, 栅氧化层与硅界面上感应 的电子越少, 感应电荷对器件积累层电阻的降低作 用越弱, 导致器件电流能力下降。根据图 4 所示的 结果, 在 1 500 A 的额定电流条件下,  $T_{ter}$ 为 0.6  $\mu$ m 时, 导通压降为 1.8 V;  $T_{ter}$ 为 1.65  $\mu$ m 时, 导通压降 为 1.85 V。 $T_{ter}$ 厚度增加 1.05  $\mu$ m, 导通压降提高 2.8%。3 300 V 耐压 IGBT 的导通压降主要由长漂 移区分担, 积累层电阻对导通压降的贡献很少, 因 此, 增加栅极台面厚度对器件的导通特性影响很小。

2 动态特性分析

随着栅极台面氧化层厚度增加,IGBT 的电容

发生变化,器件的开关曲线和开关损耗受到影响。因此,栅极台面氧化层厚度的选择需要折中考虑器件的静态特性和动态开关特性。以3 300 V/1 500 A的 IGBT 功率模块为例,模块总共由 24 个 IGBT 芯片和 12 个 FRD 芯片封装组成。





T_{ter}对器件 C_{GE}和 C_{GC}电容的影响如图 5 所示, 是在 1 500 A 额定输出电流下 IGBT 芯片组的电容 仿真结果。在相同的集电极电压下,随着栅极台面 氧化层厚度增加,器件的 C_{GE}电容值因栅-氧化层-金 属接触面积的增加而略微变大,C_{GC}电容值则因氧化 层厚度的增加而显著降低。受到 C_{GE}和 C_{GC}电容值 改变的影响,IGBT 的开关特性也会发生变化。



图 5 T_{ter}对器件 C_{GE}和 C_{GC}电容的影响

感性负载条件下的 IGBT 动态仿真电路如图 6 所示,FRD 为快恢复二极管,在器件关断时起续流 作用,其他电路参数根据 3 300 V/1 500 A 的 IGBT 功率模块进行设置:外接栅电阻  $R_{\rm G}$  为 10  $\Omega$ ,负载电 感 L 为 120  $\mu$ H,集电极寄生电感  $L_{\rm s}$  为 50 nH,发射 极寄生电感  $L_e$  为 2 nH, 栅电极并联电容  $C_{ge}$  为 330 nF, V_{bus}取值为 1 800 V。IGBT 的开关特性采用双脉冲 测试的方法进行仿真^[7-8]:通过对  $V_{ge}$  施加—15 V 到 15 V 之间变化的方波电压脉冲, 控制器件的导通和 关断。



图 6 IGBT 双脉冲仿真等效电路示意图

 $T_{ter}$ 对 IGBT 关断特性的影响曲线如图 7 所示, 随着  $T_{ter}$ 数值降低, $C_{GC}$ 电容值变大,导致器件关断 时 $V_{GE}$ 的密勒平台变宽,从而增加关断时的延迟时 间。在 IGBT 关断延迟时间内,器件的电流维持不 变,但体内的载流子被不断抽取。图 8 对比了不同  $T_{ter}$ 数值条件下关断延迟时间结束时器件体内的载 流子分布。随着关断延迟时间增加,器件体内的载 流子数目不断降低,其中,靠近 Emitter 电极处的载 流子浓度下降,导致关断过程中器件体内耗尽区扩 展更快,即产生更大的 dv/dt。



T_{ter}对 IGBT 开启特性的影响曲线如图 9 所示, 在此过程中,栅极电流对 C_{GE}和 C_{GC}电容充电。当栅 极电压小于阈值电压时,器件维持关断且两端的电 压保持在高压,此时 C_{GC}电容很小,栅电流对 C_{GE}电 容充电,使栅极电压不断增大;当栅极电压超过阈值 电压 后,器件导通,电路中的一部分电流通过 IGBT,因此通过二极管的电流不断减小,二极管进 人反向恢复阶段;当通过 IGBT 的电流超过负载电流时,两端电压  $V_{CE}$ 开始降低。随着  $V_{CE}$ 降低, $C_{GC}$ 电容增大,栅极电流开始对  $C_{GC}$ 充电而不对  $C_{GE}$ 电容充电,因此  $V_{GE}$ 出现密勒平台。FRD 反向恢复电流的变化曲线如图 10 所示,当  $C_{GE}$ 变小时,栅电压充电更快,使得 IGBT 的电流上升速度加快,二极管反向恢复电流峰值更高。因此,随着  $T_{ter}$ 数值降低,IGBT 开启过程有更大的 di/dt,同时产生更高的电流过冲。





图 9  $T_{ter}$ 对 IGBT 开启特性的影响

不同栅极台面厚度下 IGBT 的开关过程的参数 对比如表 1 所示,随着台面厚度增加,器件的关断功 耗和开启功耗均变大。在 IGBT 关断过程中,当 *T*ter减小时,电压上升过程中的 dv/dt 变大,这将减 少器件维持在高压、大电流状态下的持续时间,因此 器件在关断过程中的功耗也变小。在 IGBT 开启过 程中,当 *T*ter减小时,电流上升过程中的 di/dt 变大, 这也将减少器件高电压、大电流的交叠时间,因此器 件在开启过程中的功耗也变小。



参数	台面厚度 T _{ter} /µm			
	0.6	1.26	1.47	1.65
关断损耗 E _{off} /J	5.00	5.10	5.26	5.46
关断时( $dv/dt$ )/(V・ $\mu s^{-1}$ )	692	673	639	593
开启损耗 E _{on} /J	5.17	5.69	5.89	6.04
开启时( $di/dt$ )/(A・ $\mu$ s ⁻¹ )	1 150	920	908	902

IGBT 在关断时的 dv/dt 与器件体内的载流子 变化情况有关,器件体内耗尽区扩展越快,产生的 dv/dt 越大。在 IGBT 关断延迟过程中,漂移区内的 载流子被不断抽取,导致载流子浓度逐渐下降,在此 过程中,集电极电流基本维持不变,空间电荷区逐渐 向集电极扩展。随着空间电荷区的扩展,体内电场 逐渐变大,雪崩倍增效应产生更多的电子和空穴,导 致空间电荷区的扩展速度变慢。碰撞电离对器件关 断过程的影响如图 11 所示,图中实线表示耗尽区边 界。在有碰撞电离模型的条件下,耗尽区边界的扩 展速度较慢,当电场强度突增时,会出现耗尽区暂时 变窄的现象,原因是体内载流子受雪崩倍增效应的 影响而突然增多;在没有碰撞电离模型的条件下,耗 尽区宽度随着时间逐渐变大,体内的载流子浓度也 逐渐下降。



图 11 碰撞电离对器件关断过程的影响

碰撞电离对器件关断曲线的影响如图 12 所示, 对比了有碰撞电离模型和没有碰撞电离模型情形下 IGBT 的关断曲线。可以看到,在没有碰撞电离模 型的条件下,IGBT 关断时的 dv/dt 更大,可从图 11 中的耗尽区边界扩展情况得到验证。随着 dv/dt 变 大,器件处于高压、大电流状态下的时间减少,使得 关断损耗降低。根据计算可得,在没有碰撞电离模 型的条件下,器件的关断损耗为 4.61 J,相比表 1 中 所示的关断损耗降低了 0.39 J。



随着 T_{ter}值增大,IGBT 的静态击穿电压降低, 这意味着在相同的集电极电压下,器件体内的雪崩 倍增效应越强,载流子浓度越大。在 IGBT 关断时, 器件体内的耗尽区扩展速度变慢,导致 dv/dt 变小, 使得器件的关断损耗升高。因此,为了降低器件的 关断损耗,需要提高器件关断时的 dv/dt,一种方法 是通过增加器件关断时的延迟时间来加强体内的载 流子抽取,即降低 T_{ter}的数值;另一种方法是增大器 件的击穿电压,从而减弱载流子的雪崩倍增效应。

根据仿真结果可知,当栅极台面厚度减小时,器件的静态阻断电压变大,开关功耗变小,缺点是会损失器件所能应用的开关频率。台面厚度越小,C_{GC}电容则越大。小 T_{ter}数值对器件关断特性的影响如图 13 所示,在 IGBT 关断过程中,当 dv/dt 很大时,C_{GC} 电容会产生对栅极的充电电流;此时栅极既有放电 电流又有充电电流,易使得栅极电压发生振荡,同时 器件的集电极电压和电流也会发生振荡。

此外,栅极台面厚度变小,C_{GE}电容会略微变小。 小数值 T_{ter}对器件开启特性的影响如图 14 所示,在 IGBT 开启过程中,较大的 d*i*/dt 有利于降低开启损 耗,但会导致续流二极管产生较大的反向恢复电流 峰值,该电流峰值会叠加到 IGBT 器件上,使得 IGBT 开启时产生较大的电流过冲,易致器件失效。 当栅极台面厚度较大时,厚度对器件开关曲线的影响越来越小,且较高的台阶不利于后续工艺的稳定性。因此,在设计 IGBT 的栅极结构参数时需要进行折中优化^[6,9]。



### 3 结 论

本文针对 3 300 V/1 500 A 的平面栅 IGBT 功 率模块,采用 TCAD 仿真工具研究了栅极台面结构 对器件静态和动态参数的影响。厚台面栅结构有利 于降低器件导通和关断时的延迟时间,提升工作频 率,但会相对增加关断损耗和开通损耗;薄台面栅结 构有利于降低器件的关断损耗和开通损耗,但会大 大增加器件关断和开启的延迟时间,同时,关断时过 快的 dv/dt 容易导致电压、电流振荡,开启时过快的 di/dt 会引起很大的电流过冲,对于实际应用非常不 利。因此,在设计 IGBT 的栅极结构参数时,需要折 中考虑器件在实际应用中的综合表现,而不能只追 求部分参数更优的数值。
# 一种集成 RC 吸收器的低 EMI 分离栅 VDMOS

王 玲,成建兵,陈 明,张才荣,邓志豪 (南京邮电大学 电子与光学工程学院、微电子学院,南京 210023)

摘 要: 为满足高速、高集成度和低 EMI 的要求,提出了一种分离栅 VDMOS 器件。通过在 JFET 区集成梳状 MOS 电容、漂移区电阻,构成内部集成 RC 吸收器,减小了器件关断过程中漏端 电压斜率  $dV_{ds}/dt$  和电流斜率  $dI_d/dt$ 。仿真结果表明,相比于常规 VDMOS,该 VDMOS 的漏端过 冲电压从 535 V 降低到 283 V,抖动频率从 42 MHz 降低到 33 MHz,抖动持续时间从 65 ns 缩短到 30 ns。

 关键词:
 VDMOS; 分离栅; RC 吸收器; EMI

 中图分类号:TN386
 文献标识码:A
 文章编号:1004-3365(2020)05-0720-06

 DOI:10.13911/j.cnki.1004-3365.190652

#### A Spilt-Gate VDMOS with Integrated RC Snubber for Low EMI

WANG Ling, CHENG Jianbing, CHEN Ming, ZHANG Cairong, DENG Zhihao

(College of Electronic and Optical Engineering & College of Microelectronics, Nanjing University of Posts and Telecommunications, Nanjing 210023, P. R. China)

**Abstract:** A novel spilt-gate VDMOS structure was proposed to meet the requirements of high speed, high integration and low EMI. The voltage slope  $dV_{ds}/dt$  and current slope  $dI_d/dt$  had been reduced during device turnoff by integrating an internal *RC* snubber consisting of a comb-shaped MOS capacitor and a drift region resistor in the JFET region. The simulation results showed that compared with the conventional VDMOS, the drain overshoot of the proposed VDMOS was decreased from 535 V to 283 V, the oscillation frequency was reduced from 42 MHz to 33 MHz, and the oscillation duration was shortened from 65 ns to 30 ns.

Key words: VDMOS; spilt-gate; RC snubber; EMI

0 引 言

开关电源正朝着高速、高效率、高集成度方向发展,电源中的电磁干扰(EMI)效应越来越严重,而日常电子设备对 EMI 效应越来越敏感,EMI 效应成为研究热点^[1-2]。优化功率器件的电学特性是减小 EMI 效应最有效的途径之一^[3-4]。

对于改善功率器件的 EMI, 一是减小器件本身 产生的 EMI, 二是吸收器件已产生的 EMI。第一种

作者简介:王 玲(1995—),女(汉族),四川巴中人,硕士,研究方向为功率器件。 成建兵(1974—),男(汉族),江苏南京人,副教授,研究方向为功率器件。

方式通过减小输入信号的斜率,包括增加栅电阻、增加栅电容、采用可变电容 C_{gd}等。第二种方式通过增加吸收器。采用第一种方式,文献[5]提出了直接增大栅电阻的方法;文献[6]提出了一种网格栅 SJ-VDMOS,增加栅源和栅漏的交叠尺寸,从而增大了栅电容,但也增加了开关时间和开关损耗;文献[7]、文献[8]分别提出了虚拟基区 VDMOS、内置缓冲层SJ-VDMOS,只在高压、高频下增大栅漏电容 C_{gd},在降低开关损耗的同时减小了 EMI,但增加了制造成本。采用第二种方式,文献[9]提出了内部集成 RC

收稿日期:2019-11-14; 定稿日期:2019-12-10

基金项目:国家自然科学基金资助项目(61274080)

吸收器的 shield-gate VDMOS,但耐压较低,不适合 大功率应用。

本文提出了一种用于感性负载电路的高速、大 功率、低 EMI 分离栅 VDMOS 器件。通过内部集成 RC 吸收通路,减小了关断过程中漏端电压斜率 dV_{ds}/dt 和电流斜率 dI_d/dt,从而减小了 EMI。

1 器件设计背景

在高速开关电源中,功率器件的开关速度决定 了感性负载的电流斜率。感性负载较大的电流斜率 是产生 EMI 效应的直接因素。因此,器件的开关速 度与 EMI 值需要进行折中。EMI 测试电路和常规 VDMOS 关键节点波形分别如图 1、图 2 所示。





在器件关闭阶段,电感中存在大的 dI_d/dt,其感 应的电动势会引起 V_{ds}过冲。该过冲会激励由负载 电感 L_{load}和漏端对地寄生电容组成的 LC 谐振腔, 从而导致 V_{ds}抖动。若无额外的电流通路,电感电流 I_d与沟道电流 I_{ch}的变化率基本一致。因此,器件的 开关速度与 EMI 存在不可调和的矛盾。如图 2 所 示,在器件开启阶段,电感中存在较大的电流斜率, 器件等效成电阻并联在 LC 谐振腔两端,所以器件 在开启阶段不会有明显的过冲和抖动。

实际电源电路中,一般采用吸收缓冲电路来防 止器件损坏和击穿,使功率器件远离危险工作区,提 高可靠性,降低 dI_d/dt、dV_{ds}/dt 和抖动,从而改善 EMI。最简单的吸收电路是在 VDMOS 的源漏两 端并联一个适当的电容,但仅增加电容并不会改变 抖动的阻尼系数。一般通过在电容上串联合适的电 阻而形成 RC 吸收通路,以增大阻尼系数。该吸收 通路并联在谐振回路的两端,电容提供谐振能量通 道,电容的值决定吸收程度,最终使得串联电阻形成 功率吸收。电阻增加的阻尼可有效减小抖动持续时 间,从而减小 EMI。

*RC* 吸收器主要有分立器件和单片集成两种实现方式。分立器件方式具有实现方法简单、调试灵活等优点,但所需的元件尺寸和互连线寄生电感较大,限制了应用于高速高集成度开关电源。单片集成方式中,*RC* 吸收器通常与 VDMOS 芯片堆叠封装在一起,有效解决了分立器件的缺点,但需要额外的制造工艺,堆叠封装引入的键合线电感会恶化吸收高频 EMI 的能力^[10]。

#### 2 器件结构及原理

在器件关闭阶段,常规 VDMOS 结构的 Cds 较小,其较弱的续流能力会引起较大的 Vds 过冲,同时导致 LC 谐振腔较高频率的抖动,因此器件会产生明显的高频 EMI。通过增大 Cds 可以增强关闭阶段电容的续流能力和降低 LC 谐振腔的抖动频率。Cds 主要由 PN 结(P-body/N-drift)势垒电容组成,PN 结势垒电容值受掺杂浓度和结面积的影响。掺杂浓度和结面积越大,势垒电容就越大。掺杂浓度过高会导致击穿电压降低,且在相同原胞尺寸下,过大的结面积会增加 JEFT 区电阻,因此不能只通过增加 PN 结的势垒电容来改善器件的 EMI 性能。

本文提出了一种内部集成 RC 吸收器的分离栅 VDMOS, 剖面图如图 3 所示。该 VDMOS 在保持 较小原胞面积、较高击穿电压的同时, 具有较快的开 关速度和较低的 EMI。

为了实现较快的开关速度,本文以分离栅 VDMOS结构为基础进行优化设计,在原JFET区 集成一个梳状 MOS电容 C_{MOS}。C_{MOS}与漂移区电阻 R_{drift}组成一个 RC 吸收通路,有效降低了关闭阶段 的 EMI。集成 C_{MOS}既能减小分离栅 VDMOS 对击 穿电压的影响,又能进一步降低密勒电容 C_{gd}。



图 3 本文提出的 VDMOS 剖面图

器件的开关速度与 C_{gd}值紧密相关。大的 C_{gd}值 使得开关过程中的平台时间增加,不仅减慢开关速 度,还会增加额外的功率损耗。为了实现较快的开 关速度,需要减小 C_{gd}。常规 VDMOS 中,C_{gd}由栅-漂移区交叠电容 C_{ox}和漂移区耗尽电容 C_s串联组 成,栅漏电容结构如图 4(a)所示。C_{ox}由栅-漂移区 交叠面积和栅氧层厚度决定,所以其电容值固定。 在相同漏端电压下,漂移区的耗尽层厚度随着掺杂 浓度的增加而减小。耗尽层厚度决定了 C_s的单位 面积电容值。常规 VDMOS 具有较大的栅-漂移区 交叠面积,因此 C_{gd}值较大。

分离栅 VDMOS 的栅漏电容结构如图 4(b)所示。该 VDMOS 具有小的栅-漂移区交叠面积,但被 分离的部分没有电极,不会形成横向耗尽区,漂移区 的耗尽层厚度小于常规 VDMOS,即 C_s的单位面积 电容大于常规 VDMOS,所以 C_{sd}值还有一定的优化 空间。因为没有横向耗尽区,大量电场线聚集在 Pbody、N-drift 与栅氧层的交界处,器件的击穿电压 大幅降低。

在分离栅 VDMOS 基础上,本文提出了一种 VDMOS,栅漏电容结构如图 4(c)所示。随着漏端 电压的升高,PN 结反偏效应和 C_{MOS}两侧的电荷平 衡效应形成与传统 VDMOS 类似的耗尽区。该耗 尽区既减小了 C_s,又改善了分离栅结构击穿电压降 低的问题。本文 VDMOS 结构既降低了 C_{gd}值,又 不损害击穿电压,保证了较短的平台时间,从而增加 了开关速度。

本文提出的 RC 吸收器的等效电路如图 5 所示。 集成的 C_{MOS}采用成熟 STI(Shallow Trench Isolation) 工艺实现。RC 吸收器中的电容越大,吸收效果越明 显。一方面,采用梳状结构可显著增加 MOS 电容的 有效面积,另一方面,通过在梳状之间添加 N⁺ 区可明 显提高单位面积电容。因此,在有限面积下能获得较 大的电容值。C_{MOS}的下极板到漏电极之间的漂移区 构成了吸收器的电阻 R_{drift} 。R_{drift} 值随着 V_{ds}的增加而 增加。V_{ds}较高时,R_{drift} 极大增加了抖动的阻尼系数, 从而减小了抖动的持续时间。



(c)本文 VDMOS图4 几种 VDMOS 的栅漏电容结构

Drain



图 5 本文提出的 RC 吸收器的等效电路

 $C_{MOS}$ 占用了原 JFET 区的导电面积,使得导通 电阻明显增加。为优化导通电阻,在  $C_{MOS}$ 左右两侧 添加了重掺杂的 N⁺ 区域。根据电荷平衡原理,该 N⁺ 区域和  $C_{MOS}$ 两侧的二氧化硅层在器件关闭阶段 形成横向耗尽区,起到维持击穿电压的作用。同时, 在器件导通阶段,导通电阻有效降低。

#### 3 仿真结果与分析

使用图1所示的测试电路,对本文提出的

可以看出,在相同栅电流 I_G下,本文 VDMOS 的 V_{gs}变化更快于常规 VDMOS,尤其是在开关过 程中进入平台区间之后的阶段,两种结构的波形 差异明显。本文 VDMOS 具有较小的 C_{gd},V_{gs}波形 的平台区间远小于常规 VDMOS。较快的 V_{gs}变化 使得 V_{ds}变化明显快于常规 VDMOS,这既提高了 特征频率,又大幅降低了开关损耗。在器件关断 过程中,小的 C_{gd}值限制了 V_{ds}的电压信号耦合至栅 端的能力,所以 V_{gs}几乎不会产生抖动,且保持平 滑下降的趋势。



图 6 常规 VDMOS 与本文 VDMOS 的关键节点波形对比

相比于常规 VDMOS,本文 VDMOS 在器件关 断过程中, $V_{ds}$ 的过冲降低了 252 V,抖动频率从 42 MHz降低到 33 MHz,抖动持续时间从 65 ns 缩 短到 30 ns。为了更好阐述本文 VDMOS 在关闭过 程中的工作机理,仿真时记录了图 7(a)所示的关键 电流,即电感电流  $I_{d}$ 、沟道电流  $I_{ch}$ 和 RC 通路电流  $I_{re}$ 。关键通路的电流变化曲线如图 7(b)所示。



在器件关闭阶段, *I*_{ch}迅速减小后, 常规 VDMOS 的电容 *C*_d, 较小, 使得放电补偿能力较弱, *I*_d就等于

 $I_{ch}$ 。因此,电感上存在大的  $dI_d/dt$ 。在本文结构中, 如图 7(b)所示, $C_{MOS}$ 产生的放电电流  $I_{rc}$ 能够补偿  $I_{ch}$ 的减小。因此, $I_d$ 的变化率  $dI_d/dt$  减小,进而电 感上感应的电动势  $L_d \times (dI_d/dt)$ 变小,即 $V_{ds}$ 的过冲 减小。同时, $C_{MOS}$ 使 LC 谐振腔的电容值增大,降低 了 LC 的谐振频率。由于漂移区的耗尽,RC 吸收通 路的电阻  $R_{drift}$ 逐渐增大,其提供的阻尼效果显著减 小了  $V_{ds}$ 抖动的持续时间。

本文 VDMOS 中 C_{MOS}的氧化层厚度 t_{OX_MOS} 对器件的击穿电压和 EMI 特性影响较大,对导通电阻的影响较小,仿真结果如图 8 所示。

随着 tox_MOS的减小, CMOS值增大,使得 RC 通路 吸收 EMI 的能力增强。从图 8(a)可以看出曲线趋 势。较薄的氧化层会明显增加内部电场强度, 从 而限制器件的耐压。因此,将 CMOS最外侧的氧化 层厚度适当增加,在保证导通电阻和 EMI 吸收能 力几乎不变的前提下,可将器件的击穿电压提升 到 600 V。



本文 VDMOS 中电容 C_{MOS}的深度 d_{trench}对 EMI 特性、击穿电压和导通电阻影响较大,仿真结果如图 9 所示。d_{trench}决定了电容的容值,随着深度的增加, RC 通路吸收 EMI 的能力增加。JFET 区电阻为器 件导通电阻的重要组成部分之一,其电阻值受 JFET 区中掺杂浓度的影响较大。C_{MOS}两侧的 N⁺ 区位于 JFET 区,且与电容保持同一深度。因此,随 着 d_{trench}增加,器件的导通电阻明显下降。



图 9 d_{trench} 对电学特性的影响曲线

在同一掺杂浓度下, C_{MOS}两侧的 N⁺ 区宽度对 器件的 EMI 特性的影响较小,但对器件的导通电阻 和击穿电压的影响较大, 仿真结果如图 10 所示。

可以看出,导通电阻随着 N⁺ 区宽度的增加而 降低,原因是 N⁺ 区的宽度影响了 JFET 区电阻。击 穿电压在 N⁺ 区宽度超过一定值之后,急剧下降。 原因是过宽的 N⁺ 区导致 P-body 与 N⁺ 区的间距过 小,用于耐压的 N-drift 区不足以承受较大的偏压, 从而限制了器件的击穿电压。



图 10 击穿电压和导通电阻随 N⁺ 区宽度的变化曲线

#### 4 结 论

本文设计了一种内部集成 RC 吸收器的分离栅 VDMOS 器件。通过在 JFET 区集成了梳状 MOS 电容与漂移区电阻构成的 RC 吸收器,RC 吸收通路 在器件关断过程中产生的放电电流  $I_{re}$ 减缓了漏端 的电流斜率  $dI_d/dt$  和电压斜率  $dV_{ds}/dt$ ,进而实现 了器件的高开关速度与低 EMI 的综合平衡。仿真 结果表明,本文 VDMOS 在大功率高速开关的情况 下,漏端过冲电压降低了 47%,抖动频率降低了 21%,抖动持续时间降低了 54%。

#### 参 考 文 献:

- [1] NDOKAJA, DI NAPOLI A. LED power supply and EMC compliance [C] // IEEE Int Energy Conf & Exhib (ENERGYCON). Florence, Italy. 2012: 254-258.
- [2] ISTOK R, LELUTU L. Switching power supply used in lighting systems as major electromagnetic noise source [C] // International IEEE CANDO-EPE. Budapest, Hungary. 2018: 223-226.
- [3] BONA C, FIORI F. EMI-inducted failures in MOS power transistors [C] // Int Conf Electromagn Advan Appl. Torino, Italy. 2009: 564-567.
- [4] KAPELS H. Superjunction MOS devices-from device development towards system optimization [C] // 13th Europ Conf Power Elec & Appl. Barcelona, Spain. 2009; 1-7.
- [5] IRIFUNE H, OHTA H, YAMASHITA H, et al.
   800 V super junction MOSFET (HV-DTMOS IV) with better trade-off between switching loss and dV_{DS}/
   dt [C] // PCIM Europe; Int Exhib & Conf Power Elec, Intellig Motion, Renew Energy & Energy

Managem. Nuremberg, Germany. 2016: 1-6.

- [6] ZHU J, YANG Z, SUN W F, et al. Design criterion of the superjunction DMOS for low EMI noise in the flyback converter system [C] // IEEE 28th ISPSD. Prague, Czech. 2016: 331-334.
- [7] SAITO W, AIDA S, KODUKI S, et al. Improvement of switching trade-off characteristics between noise and loss in high voltage MOSFETs [C] // IEEE 23rd ISPSD. San Diego, CA, USA. 2011: 316-319.
- [8] HIROAKI Y, SYOTARO O, HISAO I, et al. Low noise superjunction MOSFET with integrated snubber

#### (上接第719页)

#### 参考文献:

- UZUKA T. Trends in high-speed railways and the implications on power electronics and power devices
   [C] // IEEE Intl Symp Power Semicond Dev ICs. San Diego, CA, USA. 2011: 6-9.
- [2] 丁荣军,刘国友. 轨道交通用高压 IGBT 技术特点及 其发展趋势 [J]. 机车电传动, 2014(1): 1-6.
- [3] BALIGA B J, ADLER M S, GRAY P V, et al. The insulated gate rectifier (IGR): a new power switching device [C] //IEDM. San Francisco, CA, USA. 1982: 264-267.
- [4] IWAMURO N, LASKA T. IGBT history, state-ofthe-art, and future prospects [J]. IEEE Trans Elec

structure [C] // IEEE 30th ISPSD. Chicago, IL, USA. 2018: 32-35.

- [9] CHENJ J. Design optimal built-in snubber in trench field plate power MOSFET for superior EMI and efficiency performance [C] // IEEE Int Conf SISPAD. Washington D C, USA. 2015: 459-462.
- [10] DORP J V, BERBERICH S E, ERLBACHER T, et al. Monolithic *RC*-snubber for power electronic applications [C] // IEEE Ninth Int Conf Power Elec & Drive Syst. Singapore. 2011: 11-14.

Dev, 2017, 64(3): 741-752.

- [5] 朱利恒,蒋其梦,陈星弼. 具有更宽安全工作区的 IGBT 元胞的研究与设计 [J]. 微电子学,2010,40 (6):904-907.
- [6] 刘国友,覃荣震,DEVINY I,等.牵引用3 300 V
   IGBT/FRD芯片组设计与开发[J].机车电传动,2013(2):5-8.
- [7] 钟再敏, 徐旭. 车用 IGBT 模块及其驱动电路双脉冲 实验 [J]. 电力电子技术, 2017, 51(2): 109-112.
- [8] 郑大勇,陈广聪. IGBT 动态参数测试方法分析 [J].电子产品可靠性与环境试验, 2013, 31(S1): 247-250.
- [9] 忻力,荣智林,窦泽春,等. IGBT 在轨道交通牵引应 用中的可靠性研究 [J]. 机车电传动,2015(5):1-5.

# 栅极电阻对 GaN MOSFET 瞬态特性的影响研究

蒋丽华¹,罗 霞²,廖 勇²,罗海军²,龙兴明²

(1. 重庆城市管理职业学院,重庆 401331; 2. 重庆师范大学 物理与电子工程学院,重庆 401331)

**摘 要:** 为了研究栅极电阻对 GaN MOSFET 的开关速率和输出特性中出现振荡的影响,首先利 用 MOSFET 的基本公式对其导通和关断时的输出瞬态电流进行了理论推导,然后通过实验平台 测试 GaN MOSFET 的瞬态电流值,且与理论值对比,验证栅极电阻带来的影响。实验结果表明, GaN MOSFET 的瞬态电流值实验值与理论值基本吻合,在导通和关断时,GaN MOSFET 的输出 瞬态电流和输出电流的高频震荡均随栅极电阻的增加而减小。栅极电阻从 10 Ω 变化到 100 Ω 时, 导通时开关速率上升率占总开关速率上升率的 84.7%,关断时开关速率下降率占总开关速率下降 率的 54.06%。在栅极电阻为 10~100 Ω 范围内,GaN MOSFET 具有较快的开关速度。

关键词: GaN MOSFET; 栅极电阻; 瞬态电流
 中图分类号:TN386.2
 文献标识码:A
 POL 10 12011/(:...): 1004 2265 200102

**DOI:**10.13911/j.cnki.1004-3365.200192

**文章编号:**1004-3365(2020)05-0726-06

## Study on Influence of Gate Impedance on Transient Characteristics of GaN MOSFET

JIANG Lihua¹, LUO Xia², LIAO Yong², LUO Haijun², LONG Xingming²

Chongqing City Management College, Chongqing 401331, P. R. China;
 College of Physics and Electronic Engineering, Chongqing Normal University, Chongqing 401331, P. R. China)

**Abstract:** In order to analyze the influence of gate impedance on the switching rate and output characteristics of GaN MOSFET, firstly, the output transient current of MOSFET was deduced theoretically by using the basic formula of MOSFET during turn-on and turn-off, and then the transient current value of GaN MOSFET was tested through the experimental platform, which compared with the theoretical value, so as to verify the influence of the gate impedance. The experimental results showed that the experimental value of the GaN MOSFET's transient current value was basically consistent with the theoretical value. When turning on and turning off, the GaN MOSFET output transient current and high-frequency oscillation of output current decreased with the increase of grid resistance. The rising rate accounted for 84.7% of the total switch rising rate when turning on, and the falling rate accounted for 54.06% of the total switch falling rate when turning off. The GaN MOSFET had a fast switching speed within  $10 \sim 100 \Omega$  gate impedance.

Key words: GaN MOSFET; gate resistance; transient current

收稿日期:2020-04-30;定稿日期:2020-07-02

基金项目:重庆市自然科学基金面上项目(cstc2019jcyj-msxmX0490)

作者简介:蒋丽华(1973—),女(汉族),重庆人,教授,从事信息技术研究。通信作者。

罗 霞(1995--),女(汉族),四川资阳人,硕士研究生,从事电子与信息技术研究。

#### 0 引 言

新型宽禁带 GaN MOSFET 具有开关速度快、 体积小、导通电阻低、结温高、耐压高等特点而被广 泛应用^[1-2],其优良的开关性能有利于降低开关损 耗、提高开关频率、减少无源器件的体积和提高功率 密度^[3-4]。随着开关频率的提高,开关速率需进一步 提高,这意味着器件有更高的瞬态电流和瞬态电 压^[5-8],更易受系统参数的影响。因此,器件会产生 较强的电磁能量脉冲等非理想特性,影响电力电子 系统的可靠运行,甚至造成器件失效和系统 损坏^[9-13]。

高频电路中,栅极电阻等参数对开关管开关特性的影响较显著。文献[14]分析了栅极电阻对场效应管的影响,进行了仿真对比,但没有进行实验验证。文献[15]研究了驱动回路和共源极杂散电感对MOSFET 瞬态特性的影响,但分析模型较复杂,难以直观得出杂散参数的影响规律。文献[16]研究了MOSFET 因驱动电压引起的自维持振荡现象。

本文在上述研究基础上对 GaN MOSFET 的栅 极电阻从 10 Ω 变化到 1 000 Ω 时进行了瞬态特性 测试。利用器件基本特性方程,通过改变栅极电阻 精确地计算漏极电流的瞬态变化量。比较了栅极电 阻的理论计算值与实际测试值对 GaN MOSFET 的 开关速率、输出振荡幅度等瞬态特性的影响。

1 GaN MOSFET 瞬态特性理论模型

#### 1.1 理论模型推导原理

为推导 GaN MOSFET 的开关瞬态特性,建立 了开关实验系统,结构如图 1 所示。核心测试器件 为安 森 美 公 司 的 GaN MOSFET (型 号 为 NTP8G202N)。该电路还包括直流电源、续流二极 管、栅极电阻和交流电感。通过加载在栅极驱动电 压 V_{GG}上的方波电压来控制电路的开关状态。

#### 1.2 理论推导

假设外部环境温度不变,本文仅讨论栅极电阻 对 GaN MOSFET 瞬态特性的影响。

在导通状态之前,该 MOSFET 处于关断状态^[17]。此时电流在续流二极管中流动,初始条件为 栅极驱动电压  $V_{GG} = 0$  V。 $V_{GG} = 5$  V 时导通开始,  $V_{GG}$ 经过栅极电阻  $R_G$ 给输入电容  $C_{iss}$ 充电。栅极充 电时间常数为  $R_G C_{iss}$ 。在脉冲周期导通后,电路开

始关断并将电流传回续流二极管。在导通瞬态过程中,栅源电压 V_{GS}为:

$$V_{\rm GS} = V_{\rm GG} (1 - \exp(-\frac{t}{R_{\rm G} C_{\rm iss}}))$$
(1)



图 1 开关实验系统结构

在关断瞬态之前,电路处于导通状态^[17]。初始 条件为 $V_{GG}$ =5 $V_{o}V_{GG}$ =0V时关断动作开始,栅 极电阻 $R_{G}$ 、输入电容 $C_{iss}$ 构成放电电路,放电时间常 数为 $R_{G}C_{iss}$ 。在关断瞬态过程中, $V_{GS}$ 为:

$$V_{\rm GS} = V_{\rm GG} \exp\left(-\frac{t}{R_{\rm G} C_{\rm iss}}\right) \tag{2}$$

为了更直观地研究导通和关断的瞬态过程中 V_{cs}的瞬态变化情况,将式(1)、式(2)分别对时间求 导,可得:

$$\frac{\mathrm{d}V_{\mathrm{GS}}}{\mathrm{d}t}|_{\mathrm{ON}} = \frac{V_{\mathrm{GG}}}{R_{\mathrm{G}} C_{\mathrm{iss}}} \exp(-\frac{t}{R_{\mathrm{G}} C_{\mathrm{iss}}}) \tag{3}$$

$$\frac{\mathrm{d}V_{\mathrm{GS}}}{\mathrm{d}t}|_{\mathrm{OFF}} = -\frac{V_{\mathrm{GG}}}{R_{\mathrm{G}}C_{\mathrm{iss}}} \exp(-\frac{t}{R_{\mathrm{G}}C_{\mathrm{iss}}}) \tag{4}$$

一旦栅电压超过阈值电压,在导通过程中,漏极 电流开始流动。MOSFET 在沟道夹断特性下工作, 漏极电流为:

$$I_{\rm DS} = \frac{B}{2} (V_{\rm GS} - V_{\rm TH})^2 \tag{5}$$

(6)

式中, $V_{\text{TH}}$ 为开启电压,B为:  $B = \frac{W\mu C_{\text{OX}}}{L}$ 

式中,W 为沟道宽度,L 为沟道长度,µ 为电子 迁移率,C_{ox}为栅极与衬底之间的氧化层单位面积 电容。V_{TH}为:

$$V_{\rm TH} = V_{\rm FB} + \frac{2kT}{q} \ln \frac{N_{\rm A}}{n_{\rm i}} + \frac{\sqrt{4 \,\epsilon_{\rm si} k T N \ln \frac{N_{\rm A}}{n_{\rm i}}}}{C_{\rm OX}}$$
(7)

式中, ε_{si}为半导体介电常数, k 为玻尔兹曼常数, T 为热力学温度, n_i为本征载流子的浓度。V_{FB}

为平台电压,即氧化层固定电荷与金属-半导体的功 函数差。N_A为 P 型基区掺杂浓度。

将式(3)代入求导后的式(5)中,得到导通时漏 极电流的导数形式,为:

$$\frac{\mathrm{d}I_{\rm DS}}{\mathrm{d}t}|_{\rm ON} = B(V_{\rm GS} - V_{\rm TH}) \frac{V_{\rm GG}}{R_{\rm G} C_{iss}} \exp(-\frac{t}{R_{\rm G} C_{iss}})$$
(8)

同理,得到关断时漏极电流的导数形式,为:

$$\frac{\mathrm{d}I_{\mathrm{DS}}}{\mathrm{d}t}|_{\mathrm{OFF}} = -B(V_{\mathrm{GS}} - V_{\mathrm{TH}}) \frac{V_{\mathrm{GG}}}{R_{\mathrm{G}} C_{\mathrm{iss}}} \exp(-\frac{t}{R_{\mathrm{G}} C_{\mathrm{iss}}})$$
(9)

为了讨论栅极电阻 *R*_G对器件导通和关断的瞬态特性影响,利用式(8)和式(9)对 *R*_G求导,可得:

$$\frac{d^{2} I_{\rm LS}}{dt dR_{\rm G}}|_{\rm ON} = B(V_{\rm TH} - V_{\rm GS}) \frac{V_{\rm GG}}{R_{\rm G}^{2} C_{\rm iss}} \exp(-\frac{t}{R_{\rm G} C_{\rm iss}}) (\frac{t}{R_{\rm G} C_{\rm iss}} - 1)$$

$$(10)$$

$$\frac{d^{2} I_{\rm LS}}{dt dR_{\rm G}}|_{\rm OFF} = -B(V_{\rm TH} - V_{\rm GS}) \frac{V_{\rm GG}}{R_{\rm G}^{2} C_{\rm iss}} \exp(-\frac{t}{R_{\rm G} C_{\rm iss}}) (\frac{t}{R_{\rm G} C_{\rm iss}} - 1)$$

$$(11)$$

该模型参数从 NTP8G202N 数据手册中提取, 常温参数如表 1 所示。

表 1 NTP8G202N 理论参数

参数	数值
$V_{ m DS}/{ m V}$	12
$C_{ m iss}/{ m nF}$	0.7
$V_{ m GG}/{ m V}$	5
$V_{ m GS}/{ m V}$	2.3
B(常温下)	0.5~1.5

2 实验与测量结果

#### 2.1 实验系统

根据图1所示的开关搭建了实验装置,如图2 所示。该实验系统包含高精度电源、高精度变阻箱、 函数发生器、数字示波器(带宽为200 MHz)、高带 宽电流探头(0.1 V/A)和恒温箱。各设备型号和参 数如表2所示。

#### 2.2 测试数据

采用该测试平台分别测试器件导通和关断状态 下不同  $R_{\rm G}$ 时的漏源电流  $I_{\rm DS}$ 。 $R_{\rm G}$ 从 10  $\Omega$  变化到 1 000  $\Omega$ 时测试 5 组电阻,分别为 100  $\Omega$ 、220  $\Omega$ 、 470  $\Omega$ 、680  $\Omega$ 、1 000  $\Omega$ , $I_{\rm DS}$ 曲线如图 3 所示。图 3(a) 为导通状态,图 3(b)为关断状态。从图 3 可以看 出,*I*_{DS}电流出现高频振荡。原因是*V*_{DS}上升到最大 值或减小到最小值时开关回路中的寄生电感、寄生 电容发生谐振,造成*V*_{DS}发生振荡。此时,流经结电 容*C*_{DG}的电流为*C*_{DG}・d*V*_{DS}/d*t*,其中的一部分电流 流经*R*_G,另一部分电流流经栅源电容。当*V*_{GS}发生 振荡时,*I*_{DS}电流也发生振荡。



图 2 实验系统的测试装置

表 2 各设备型号和参数

名称	型号	参数
高精度电源	IT6132B	电压:30 V;电流:5 A; 精度:0.1 mV,0.01 mA
变阻箱	ZX90/4	阻值范围:0.1,1,10,100,1000 Ω
函数发生器	DG4162	频率:160 MHz;采样率:500 GS/s
数字示波器	MSO4024	频率:200 MHz;采样率:4 GS/s
电流探头	RP1005C	频率:100 MHz
恒温箱	SM3-22PF	范围:-200 ℃~1 500 ℃; 精度:0.50 ℃

导通状态下, $R_{\rm G}$ 为 100 Ω时,输出过冲电流为 1.22 A; $R_{\rm G}$ 为 220 Ω时,输出过冲电流为 0.57 A。 关断过程中, $R_{\rm G}$ 为 100 Ω时,输出过冲电流为 0.4 A; $R_{\rm G}$ 为 220 Ω时,输出过冲电流为 0.25 A。由 此可见,不论是导通状态还是关断状态,过冲电流均 随 $R_{\rm G}$ 的增加而减小。

从图 3(a)可知,随着 R_G的增加,输出电流的上 升时间逐渐增加。原因是导通状态对 C_{DG}、漏源电 容 C_{DS}充电时,电流的上升时间会随 R_G的增加而增 加。从图 3(b)也可得出类似结论,电流的下降时间 随 R_G的增加而增加。

采用该测试平台, 在  $R_G$ 为 10~1 000 Ω 范围内 测试了 GaN MOSFET 的导通上升时间  $t_{on}$ 和关断 下降时间  $t_{off}$ , 不同  $R_G$ 下的  $t_{on}$ 、 $t_{off}$ 如表 3 所示。可以

3.5 100 Ω 220 Ω  $470 \Omega$ 3.0 680 Ω 1 000 Ω 1.22 A V 2.5 № 2.0 2.0 1.5 .57 A 1.0 0.5 200 400 600 800 1 000 1 200 时间 / ns (a) 导通状态 2.4 100 Ω  $220 \Omega$ 2.2 470 Ω 680 Ω 2.0 1 000 Ω 漏源电流I_{Ds}/A 1.8 1.6 1.4 1.2 1.0 0.8 0.6<mark>L</mark> 200 400 800 1 000 1 200 1 400 600 时间 / ns (b) 关断状态

看出,导通和关断时,ton、toff均随RG的增加而增加。

图 3 不同 R_G时的 I_{DS}曲线

表 3 不同 $R_G$ 下的 $t_{on}$ 和 $t$	$t_{\rm off}$
--------------------------------	---------------

$R/\Omega$	$t_{ m on}/ m ns$	$t_{ m off}/ m ns$
10	6.5	45.5
22	10	49.5
47	36	65
68	55	70
100	92	82
300	132	99
470	146	103
1 000	194	113

导通状态下, *R*_G从 10 Ω 变化到 100 Ω 时, *t*_{on}从 6.5 ns 变化到 92 ns; *R*_G从 100 Ω 变化到 1 000 Ω 时, *t*_{on}从 92 ns 变化到 194 ns。因此, 第二个条件时 *R*_G对上升时间的影响没有第一个条件大。

在关断状态下, R_G从 10 Ω 变化到 100 Ω 时, t_{on}从 45.5 ns 变化到 82 ns; R_G从 100 Ω 变化到 1 000 Ω 时,  $t_{on}$ 从 82 ns 变化到 113 ns。因此,第二个条件时  $R_{G}$  对上升时间的影响没有第一个条件大。

#### 3 数据分析

在 250 ℃、导通状态下, $R_G$ 从 10 Ω 变化到 1 000 Ω时,利用表 1 的理论参数,结合式(8)、式 (10)进行计算,得到  $dI_{DS}/dt$  和  $d^2I_{DS}/(dt dR_G)$ 的理 论值,如表 4 所示。

表 4 导通状态下不同 R_G计算出的各参数值

$R_{ m G}/\Omega$	$(\mathrm{d}I_{\mathrm{DS}}/\mathrm{d}t)/(\mathrm{A} \cdot \mu \mathrm{s}^{-1})$	$(d^2 I_{\rm DS}/(dt dR_{\rm G}))/$
		$(\mathbf{A} \boldsymbol{\cdot} \boldsymbol{\mu} \mathbf{s}^{-1} \boldsymbol{\cdot} \boldsymbol{\Omega}^{-1})$
10	253	-47.6
100	47	-0.068
1 000	9.8	-0.0044

从表 4 可知, R_G从 10 Ω 变化到 100 Ω 时, 开关 速率上升率占总开关速率上升率的 84.7%; R_G从 100 Ω 变化到 1 000 Ω 时, 开关速率上升率占总开关 速率上升率的 15.3%。因此, 第一个条件下的开关 速率上升率大于第二个条件。

在 250 ℃、导 通 状态下,  $R_{\rm G}$  从 10 Ω 变化到 1 000 Ω 时, 利用测试平台测得实验值, 再利用式 (8)、式(10)进行计算, 得到  $dI_{\rm DS}/dt$  和  $d^2 I_{\rm DS}/(dt dR_{\rm G})$ 的理论值,数据对比如图 4 所示。从图 4 (a)可知,  $dI_{\rm DS}/dt$  的实验值与理论值都随  $R_{\rm G}$ 的增加 而减小, 这表明理论值与测量值基本吻合。原因是 输入电容充电时, 输入电容值不变而  $R_{\rm G}$ 不断增加, 达到相同阈值电压时充电时间会增加。从图 4(b) 可知,  $d^2 I_{\rm DS}/(dt dR_{\rm G})$ 随  $R_{\rm G}$ 的增加而减小, 最终趋于 稳定状态。



(a)  $dI_{DS}/dt$  与 $R_G$ 的关系



(b)  $d^2 I_{DS}/(dt dR_G)$ 与 R_G的关系

图 4 导通时 dI_{DS}/dt 和 d² I_{DS}/(dtdR_G)的理论值与测试值 对比

在 250 ℃、关断状态下,  $R_{\rm G}$  从 10 Ω 变化到 1 000 Ω时, 利用表 1 的理论参数, 结合式(9)、式 (11), 计算出  $dI_{\rm DS}/dt$  和  $d^2I_{\rm DS}/(dt dR_{\rm G})$ 的理论值, 如 表 5 所示。

$R_{ m G}/\Omega$	$(\mathrm{d}I_{\mathrm{DS}}/\mathrm{d}t)/(\mathrm{A}\cdot\mu\mathrm{s}^{-1})$	$(\mathrm{d}^2 I_{\mathrm{DS}}/(\mathrm{d} t \mathrm{d} R_{\mathrm{G}}))/$ $(\mathrm{A} \cdot \mu \mathrm{s}^{-1} \cdot \Omega^{-1})$
10	-33.45	-3.23
100	-23.87	-0.37
1 000	-15.73	-0.0017

表 5 关断状态下不同 R_G计算出的各参数值

从表 5 可知, $R_{\rm G}$ 从 10  $\Omega$  变化到 100  $\Omega$ 时,开关 速率下降率占总开关速率下降率的 54.06%; $R_{\rm G}$ 从 100  $\Omega$  变化到 1 000  $\Omega$ 时,开关速率下降率占总开关 速率下降率的 45.94%。因此,第一个条件下的开 关速率下降率大于第二个条件。

关断时,  $dI_{DS}/dt$  和  $d^2I_{DS}/(dt dR_G)$ 的理论值与 测试值对比如图 5 所示。由图 5(a)可知,  $dI_{DS}/dt$  的 实验值与理论值都随  $R_G$ 的增加而减小, 表明理论值 与测量值基本吻合。原因是输入电容充电时, 输入 电容值不变而  $R_G$ 不断增加, 达到相同阈值电压时充 电时间会增加。从图 5(b)可知,  $d^2I_{DS}/(dt dR_G)$ 随  $R_G$ 的增加而减小, 最终趋于稳定状态。

综上可知,在导通和关断状态下,开关速率随  $R_{\rm G}$ 的增加而减少。 $R_{\rm G}$ 从 10  $\Omega$  变化到 100  $\Omega$  时,导 通时开关速率上升率占总开关速率上升率的 84.7%;关断时开关速率下降率占总开关速率下降 率的 54.06%。因此在 $R_{\rm G}$ 为 10~100  $\Omega$ 范围内, GaN MOSFET 具有较快的开关速度。



(b)  $d^2 I_{DS}/(dt dR_G) 与 R_G 的关系$ 

图 5 关断时 dI_{DS}/dt 和 d² I_{DS}/(dtdR_G)的理论值与测试值 对比

#### 4 结 论

本文建立了栅极电阻对 GaN MOSFET 输出瞬态电流快慢影响的测试平台。通过该平台研究了栅极电阻对 GaN MOSFET 开关速率的影响,利用器件基本特性方程推导出了理论值,其值与实验值基本吻合。结果表明,在导通和关断状态下栅极电阻对 GaN MOSFET 的开关特性影响方式有两种:1)输出瞬态电流随着栅极电阻的增加而减小;2)输出电流的高频振荡随着栅极电阻的增加而减小。后续将进一步研究栅极电阻与 GaN MOSFET 的可靠性关系。

#### 参考文献:

[1] HUDGINS J L, DE DONCKER R W. Power

semiconductor devices: for variable speed drives [J]. IEEE Industry Appl Magaz, 2012, 18(4):18-25.

- [2] KACHI T. Recent progress of GaN power devices for automotive applications [J]. Jpn J Appl Phys, 2014, 53(10): 100210.
- [3] WU Y F. Paralleling high-speed GaN power HEMTs for quadrupled power output [C] // 28th Annu IEEE APEC. Long Beach, CA, USA. 2013: 211-214.
- [4] PENGELLY R S, WOOD S, MILLIGAN J W, et al. A review of GaN on SiC high electron-mobility power transistors and MMICs [J]. IEEE Trans Microwave Theo & Techniq, 2012, 60(6): 1764-1783.
- [5] UMEGAMI H, HATTORI F, NOZAKI Y, et al. A novel high-efficiency gate drive circuit for normally offtype GaN FET [C] // IEEE Trans Industry Appl Magaz, 2014, 50(1): 593-599.
- [6] CHEN K, ZHAO Z, YUAN L, et al. The impact of nonlinear junction capacitance on switching transient and its modeling for SiC MOSFET [J]. IEEE Trans Elec Dev, 2015, 62(2): 333-338.
- [7] CHEN Z, BOROYEVICH D, BURGOS R, Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics [C] // IEEE Int Power Elec Conf -ECCE ASIA. Sapporo, Japan. 2010: 164-169.
- [8] RAJAPAKSE A D, GOLE A M, WILSON P, et al. Electromagnetic transients simulation models for accurate representation of switching losses and thermal performance in power electronic systems [J]. IEEE Trans Power Deliv, 2005, 20(1): 319-327.
- [9] 朱义诚,赵争鸣,王旭东,等. SiC MOSFET 与 SiC SBD 换流单元瞬态模型 [J]. 电工技术学报,2017,32

(12): 58-69.

- [10] AVERY C R, BURROW S G, MELLOR P H, et al. Electrical generation and distribution for the more electric aircraft [C] // 42nd Int Univ Power Engineer Conf. Brighton, UK. 2007: 1007-1012.
- [11] ROSERO J A, ORTEGA J A, ALDABAS E, et al. Moving towards a more electric aircraft [J]. IEEE Aerosp & Elec Syst Magaz, 2007, 22(3): 3-9.
- [12] LIANG M, ZHENG T Q, LI Y, et al. An improved analytical model for predicting the switching performance of SiC MOSFETs [J]. J Power Elec, 2016, 16(1): 374-387.
- [13] XU S, SUN W F, SUN D Y, et al. Analysis and design optimization of brushless DC motor's driving circuit considering the CdV/dt induced effect [C] // IEEE ECCE. Atlanta, GA, USA. 2010: 2091-2095.
- [14] WANG Z, ZHANG J, WU X, et al. Analysis of stray inductance's influence on SiC MOSFET switching performance [C] // IEEE ECCE. Pittsburgh, PA, USA. 2014: 2838-2843.
- [15] LEMMON A, MAZZOLA M S, GAFFORD J, et al. Instability in half-bridge circuits switched with wide band-gap transistors [J]. IEEE Trans Power Elec, 2014, 29(5): 2380-2392.
- [16] STEWART P, BINGHAM C. Electrical power and energy systems for transportation applications [J]. Energies, 2016, 9(7): 1-3.
- [17] JAHDI S, ALATISE O, ALEXAKIS P, et al. The impact of temperature and switching rate on the dynamic characteristics of silicon carbide Schottky barrier diodes and MOSFETs [J]. IEEE Trans Indust Elec, 2015, 62(1): 163-171.

#### ・产品与可靠性・

## 针对更精确电迁移预测应用的热耦合模型建模

杨 双¹,石新新²,伍 宏²,粟雅娟^{3,5},董立松³,陈 睿³,张利斌³,苏晓菁^{1,3},陈 颖^{1,3}, 盖天洋^{1,3},郭 成^{1,3},屈 通^{1,3},韦亚一^{1,3,4,5}

(1. 中国科学院大学,北京 100049; 2. 中芯国际集成电路制造有限公司,上海 201203;
 3. 中国科学院 微电子研究所 集成电路先导工艺研发中心,北京 100029;

4. 中国科学院 微电子研究所 微电子器件与集成技术重点实验室,北京 100029;

5. 广东省大湾区集成电路与系统应用研究院, 广州 510535)

摘 要: 基于先进逻辑 CMOS 工艺平台,构建了集成电路热耦合模型,为后端金属线电迁移预测提供更精确的温度变化和分布信息。在建模过程中,为了提高建模和仿真效率,对金属线网络和晶体管有源区进行简化,并用热传输比率对热耦合进行表征。考虑到晶体管参数、金属线走向、 金属线之间相对位置对热传输比率的影响,模型中引入相关因子对热传输比率做进一步修正。最后,将该热传输模型嵌入到商用仿真软件中。结果表明,热传输比率(即温度)的仿真值与基于工 艺平台流片的实测值吻合良好,验证了模型的准确性。

关键词: 热耦合模型;热传输比率;金属线;有源区;电迁移
 中图分类号:TN406
 文献标识码:A
 文章编号:1004-3365(2020)05-0732-06
 DOI:10.13911/j.cnki.1004-3365.190608

### Thermal Coupling Modeling for More Accurate Electromigration Prediction

YANG Shuang¹, SHI Xinxin², WU Hong², SU Yajuan^{3,5}, DONG Lisong³, CHEN Rui³, ZHANG Libin³, SU Xiaojing^{1,3}, CHEN Ying^{1,3}, GAI Tianyang^{1,3}, GUO Cheng^{1,3}, QU Tong^{1,3}, WEI Yayi^{1,3,4,5}

(1. University of Chinese Academy of Sciences, Beijing 100049, P. R. China; 2. Semiconductor Manufacturing International Corporation,

Shanghai 201203, P. R. China; 3. Integrated Circuits Advanced Process R&D Center, IMECAS, Beijing 100029, P. R. China; 4. Key Laboratory of Microelectronic Devices & Integrated Technology, IMECAS, Beijing 100029, P. R. China; 5. Institute of Integrated Circuits and Systems Applications, Davan District, Guangdong Province, Guangzhou 510535, P. R. China)

**Abstract:** Based on advanced logic CMOS technology platform, a thermal coupling model had been built for the purpose of a more accurate prediction of the metal interconnect's temperature change and distribution in IC's. During the model setup, the metal wire network and the transistor active area were simplified to improve the efficiency of modeling and simulation, and the thermal transmission ratio was used to characterize the thermal coupling effect. More factors were added to the model in order to reflect the influence to the thermal transmission ratio by the transistor parameters, the orientation and the relative position of the metal wires. In the end, the thermal coupling model was embedded into a commercial simulation tool. The simulation results showed that

收稿日期:2019-10-29;定稿日期:2019-12-06

基金项目:国家自然科学基金资助项目(61804174);国家重大专项资助项目(2017ZX02315001);国家科技重大专项资助项目 (2017ZX02101004)

作者简介:杨 双(1993—),男(汉族),贵州水城人,硕士,研究方向为集成电路热传输模型。 石新新(1990—),男(汉族),江苏南通人,博士,研究方向为集成电路热传输模型。通信作者。 粟雅娟(1975—),女(壮族),贵州锦屏人,博士,研究员,研究方向为设计工艺联合优化、计算光刻技术。通信作者。 simulated value of the heat transfer ratio (i. e., temperature) was in good agreement with the actual value based on the process platform. The model accuracy was verified.

Key words: thermal coupling model; thermal transmission ratio; metal wire; active area; electromigration

#### 0 引 言

随着集成电路向高性能、低功耗、高集成度方向 发展,导体中的电流密度越来越大。在晶体管的源 漏端、沟道中,电流传输时存在的散射使晶体管发生 自热^[1]。平面晶体管自热产生的热量大部分经衬底 传输到外部环境,对后端金属线温度影响小。而 FinFET 鳍片与衬底之间的热阻很大,自热产生的 热量大部分沿着接触孔传输到后段金属线,使得金 属线温度升高^[2]。焦耳热效应和金属线之间热耦合 效应进一步使金属线温度升高。过高的温度使金属 线发生电迁移,降低了电路的性能和可靠性^[3]。在 先进工艺节点下电路的电迁移仿真过程中,金属线 温度模拟成为不可或缺的一环,其精度直接影响电 迁移仿真结果的准确性。为了精确模拟金属线的温 度,需要建立温度的热耦合模型^[4]。

业界提出了多种金属线温度模拟方法。电热耦 合模拟法是在考虑电路自热的情况下,模拟电路自 身功耗导致的温度和性能变化[5]。但是,该方法需 要考虑封装对温度的影响,不适用于设计过程中的 电路温度分析。有限元模拟法可精确模拟金属线、 电介质的温度分布,但计算量大、仿真时间长、参数 多,不适用于具有庞大金属线网络的先进 SoC 电路 仿真[6-7]。文献[8]提出了一种基于热传输比率构建 的较精确、快速的热耦合模型,能精确模拟出几百万 条金属线上的温度变化量,但没有考虑具体工艺平 台情况,仿真结果与实测结果的误差较大。本文在 热传输比率模型的基础上,结合先进逻辑 CMOS 工 艺平台的实际情况,对现有模型中金属线、器件模型 参数的近似进行修正,综合考虑有源区晶体管参数、 开启比率、金属线走向及位置关系等对热耦合的影 响,建立器件-金属线、金属线-金属线的热耦合 模型。

本文从理论上分析热源在传输介质中的衰减特性,对电路的物理结构进行简化,构建器件-金属线 与金属线-金属线之间的热耦合模型。将该模型嵌 入到仿真软件中,用实际测量数据与本模型的仿真 结果进行对比验证。

#### 1 理论基础

热阻易受材料类型、物理结构、介质表面粗糙度 等因素影响,采用热网络法求解金属线温度,存在较 大误差,难以满足先进工艺节点下电迁移预测对温 度精度的要求^[9]。采用热传输比率来构建热耦合模 型,无需考虑金属线与热源之间复杂的物理结构,无 需求解复杂的方程式,在电路设计过程中,能更快地 模拟出金属线的温度值。

集成电路中,将自热器件和自热金属线的热传 输简化为如图1所示的二维模型。图1中左方为热 源在均匀介质中的温度传输简化模型,右方扇形表 示相同圆心角的两条弧流过的热量相等。半径为r₁ 的灰色区域表示温度为T_H的热源,白色环形区域表 示均匀导热介质,外围方形浅色区域表示温度为T_c 的芯片内部环境。



图 1 自热器件和自热金属线的热传输简化二维模型

由于导热介质均匀,根据能量守恒,圆心角相等 的圆弧流过的热通量相等,即:

$$q_1 \times r \times \theta = q_2 \times (r + \Delta r) \times \theta \tag{1}$$

式中, $q_1$ 、 $q_2$ 分别表示半径为r、 $r+\Delta r$ 处的热流量,k为介质热导率。根据傅里叶定律,得:

$$q_1 = k \times \frac{\partial T(r)}{\partial r} \tag{2}$$

$$q_2 = k \times \frac{\partial T(r + \Delta r)}{\partial r} \tag{3}$$

将式(2)、(3)代入式(1)化简,得到介质温度分 布的微分方程:

$$\frac{\partial^2 T(r)}{\partial r^2} + \frac{1}{r} \frac{\partial T(r)}{\partial r} = 0$$
(4)

求解该方程并代入边界条件,得到介质温度分 布函数。距离热源边界 *x* 处介质温度与热源温度的 比率则为:

$$\alpha = \frac{\Delta T(x)}{\Delta T_{\rm H}} = \frac{\ln r_2 - \ln(r_1 + x)}{\ln r_2 - \ln r_1}, r_2 - r_1 > x > 0$$
(5)

式中, $\Delta T(x)$ 表示距离热源边缘 x 处的温度变化(相对于环境温度), $\Delta T_{\rm H}$ 表示热源的温度变化, $r_1$ 为热源等效半径, $r_2$ 为热源中心到热边界的距离。

从上述简化的热耦合模型可知,理想状况下,热 源对受热体温度的影响与热源自身的温度、尺寸、受 热体与热源的间距、热边界条件等有关,与介质的热 导率、热阻无关。

热源的温度变化  $\Delta T_{\rm H}$ 是受热源与环境之间的 热阻网络影响的。但基于确定的工艺平台下,芯片 内部各个热源(包括各种器件、各层金属线)都处于 性质确定的介质层中,其与足够远的环境之间的等 效热阻值相对确定。因此, $\Delta T_{\rm H}$ 主要取决于消耗功 率的变化。理想状况下,热传输比率  $\alpha$  与热源尺寸、 距热源的距离、距热边界的距离有关。实际情况会 偏离理想情况,但可引入有限的修正参数来获得令 人满意的精度。总体来说,相比于求解具体的热阻 网络,热传输比率的建模和仿真在难度、成本方面有 显著优势。

只要建立起热源温度与功率的关系模型和热传输比率的模型,就可计算热源对任一受热体温度变化的贡献。一般情况下,多个热源同时存在,受热体的温度变化等于各热源贡献的线性叠加。根据傅里叶定律的积分形式,受热体与环境之温差等于两者间的等效热阻与从受热体流入环境的总热量之乘积。受热体到环境的等效热阻是固定的,从受热体流入环境的总热量等于从各热源流入热量的线性叠加。因此,受热体相对于环境的温度变化也等于各热源贡献的线性叠加。如果受热体本身消耗一定的功率,温度变化则需叠加上自身功耗所致的温度变化。

综上所述,电迁移预测所需的金属线实际温度 等于自身焦耳热产生的温度变化与周围所有热源贡 献的线性叠加。需要建立两套模型,一套是热源温 度与功耗的关系模型,另一套是热传输比率的模型。 本文主要研究热传输比率模型的建立、仿真与验证。

2 模型的简化与假设

#### 2.1 模型中热传递的简化

热能传递有三种基本方式,即热传导、热对流和

热辐射。热对流需借助流体,电路中几乎不存在流体,则不考虑热对流的影响^[10]。民用 IC 中,工作温度较低,芯片内部的热辐射微弱,金属线的宽度为几 十纳米,长度为微米级,接收面积很小,热辐射导致的热传递可忽略不计。因此,芯片中热能的传递只 考虑热传导的影响。

IC 中的热量均来源于器件和金属线的自热。 自热产生的热量与功耗有关,功耗与时钟周期有关。 热量传导的响应时间(毫秒级)远大于时钟周期(纳 秒级),可近似认为,短时间内,热源温度不随时钟周 期的变化而变化^[11]。

#### 2.2 金属线模型的简化

金属线的温度受周围热源的热耦合和自身焦耳 热的影响。热耦合和焦耳热分别与金属线疏密程 度、电流密度有关。后段金属线的线宽、间距、电流 密度在其自身上的分布并不总是相等,使得金属线 温度的分析更复杂。为了便于建模,本文根据电流 密度的变化,将金属线分割成独立的片段。这种简 化不仅简化了金属线温度的计算,且提高了计算的 精度。

IC 中主要材料的热导率如表 1 所示。可以看出,金属的热导率远大于氧化层。

表 1 IC 中主要材料的热导率

材料	热导率/(W・m ⁻¹ ・K ⁻¹ )
铜	380~403
钨	170
铝	210~237
硅	$124 \sim \! 148$
锗	64
环氧玻璃	0.35
二氧化硅	1.4

对于被氧化层包裹的金属线,热量沿金属线传导,传输到氧化层的热量很少。热量在金属线上快速地从一端传递到另一端,但在氧化层中,热量快速 衰减。因此,可近似将金属线看作等温体,等温体的 温度用平均温度来表征。

文献[8]用有限元法对互连的金属线进行温度 仿真,研究了互连金属线直接热传导对金属线热耦 合的影响。结果表明,互连金属线之间温度的影响 只局限在连接处邻近很小的区域,不会对金属线的 平均温度产生影响。这是因为互连金属线很窄,其 传导的热量有限,所以模型中可忽略互连金属线直 接热传导对热耦合的影响。

#### 2.3 器件-金属线热耦合的近似

IC中的器件通常放置在有源区。有源区材料 为单晶硅,是热的良导体,自热会引起该有源区的温 度升高。实际电路中,有源区存在器件、源漏极局部 互连、栅极局部互连等层,每一层对金属线温度均有 贡献。但根据现有条件,无法测定每一层的温度,无 法确定金属线与每一层间的热传输比率。有源区中 器件间的距离远小于器件与后段金属线间的距离, 单个器件温度的变化难以对金属线的温度造成影 响,无法表征单个器件与后端金属线之间的热耦合。 因此,模型不考虑每个温度层或每个器件的温度,而 是将有源区看作一个整体,将有源区中热源与金属 线的热耦合等效为有源区与金属线的热耦合,从而 大大简化建模和仿真的复杂度。

有源区与有源区之间被氧化层隔离,可将有源区 视为相对独立的等温体,其温度为该有源区中所有热 源温度的平均值。逻辑 CMOS 电路中,绝大多数器 件为晶体管。晶体管功耗约占芯片整体功耗的 95%, 所以,近似认为有源区温度是所有晶体管温度的平均 值,用 RMS 方法进行计算。有源区的 TCAD 温度仿 真结果如图 2 所示。图中,(a)表示单个晶体管自热 的有源区,(b)表示多个晶体管自热的有源区。可以 看出,有源区的高温集中分布在晶体管密集的区域 内。这表明,本文模型的简化是合理的。



图 2 有源区的 TCAD 温度仿真结果

#### 2.4 局部区域热耦合的近似

金属线与热源间的热耦合主要来自于热传导。 热传导介质是具有低热导率的氧化层,温度在层中 衰减很快。热源和金属线之间热传输比率与间距的 变化曲线如图 3 所示。横纵坐标的数据是通过线性 函数,将原始数据线性归一化到[0,1]范围内而得。 可知,随着热源和金属线间距的增大,受热金属线与 热源间的热传输比率快速衰减。当间距大于一定值 之后,热源对受热金属线温度的影响变得微弱。将 模型中受热金属线和环境中所有热源的热耦合等效 为受热金属线和邻近区域内有限热源的热耦合,以 牺牲较小的仿真精度的代价大大简化了模型。



3 热耦合模型的建立

IC 中的热源主要为自热的器件和金属线,热源 受热金属线的温度变化、周围热源的热耦合和自身 焦耳热的影响。晶体管和金属线自热导致的温度变 化可通过已有自热模型计算得到。本文主要研究金 属线与热源的热耦合,用热传输比率来构建金属线-器件、金属线-金属线的热耦合模型。

#### 3.1 器件-金属线热耦合模型

根据 2.2 节的近似,器件-金属线的热耦合等效 为有源区-金属线的热耦合,构建有源区-金属线的 热耦合模型则需确定有源区的温度。有源区的温度 为所有晶体管温度的均方根。

设有源区中任意晶体管为第i个。该晶体管的 功率为 $P_i$ 。根据晶体管自热模型,自热导致的晶体 管温度变化 $\Delta T_i$ 为:

$$\Delta T_i = R_{\rm th} \times P_i \tag{6}$$

式中,R_{th}为自热系数,与晶体管鳍片数目、栅条数目、沟道长度以及晶体管类型有关,功率 P_i为源 漏两端电流与电压之积。

假设有源区中有 N 个晶体管,第 i 个晶体管自 热导致的温度变化为  $\Delta T_i$ 。该有源区的温度变化  $\Delta T_{AA}$ 为:

$$\Delta T_{\rm AA} = \sqrt{\sum \Delta T_i^2 / N} \tag{7}$$

有源区温度确定后,利用四端法间接测量出金 属线的温度,即可计算金属线与有源区间的热传输 比率,从而构建金属线和有源区的热耦合模型。

由前文可知,金属线与有源区之间的热传输比

率与距离有关。本文通过测量大量不同距离金属线 与有源区的热传输比率,根据热传输比率随距离衰 减的特性拟合热传输比率与距离的关系表达式,建 立任意间距的热耦合模型。考虑到实际电路中,晶 体管鳍片数目、栅条数目、沟道长度会影响有源区面 积的大小,进而影响有源区与金属线间的热耦合,导 致相同功率下不同类型晶体管的温度变化不同。所 以,模型中引入与晶体管鳍片数目、栅条数目、沟道 长度有关的参数,通过调整这些参数使热传输比率 接近实际的值。

实际情况下,为了降低芯片的功耗,有源区晶体 管并不总是开启的。晶体管的开启和关断导致有源 区的温度分布不再均匀,而是随着晶体管的开启和 关闭呈波状分布。晶体管开启比率越小,这种不均 匀性越突出,RMS 方法计算得到的有源区温度与实 际值偏差越大。为了校正这种偏差,模型中引入与 晶体管开启比率有关的参数。通过调整该参数,使 所计算的有源区温度变化更接近于实际情况。

由于设计规则的限制,有源区中晶体管都是朝 同一个方向放置的。功耗在晶体管中主要沿沟道分 布,在同等条件下,平行于沟道的金属线与有源区的 热耦合强于垂直于沟道的金属线与有源区的热耦 合。为了在模型中反映这种差异,引入与金属线走 线方向有关的参数,以校正金属线在不同方向走线 带来的误差。

#### 3.2 金属线-金属线热耦合模型

金属线与金属线间的热耦合是用热传输比率进 行表征的。由 2.2 节可知,金属线被分割处理后,各 部分可视为等温体。与金属线-有源区热耦合模型 类似,通过测量大量不同距离金属线之间的热传输 比率来拟合热传输比率与距离的关系式,从而建立 任意间距下金属线之间的热耦合模型。金属线之间 的热耦合不仅与距离有关,而且很大程度上受位置 关系的影响。

模型中,金属线的位置关系分为三种,即平行、 正交和其他类型。金属线的位置关系如图 4 所示。 图中,a 为平行金属线;b 为正交金属线,c 为其他类 型位置关系的金属线。图的上方为俯视图,下方为 切面图。平行金属线之间耦合距离用最小间距表 示,正交和其它类型金属线之间耦合距离则为受热 金属线中间点与自热金属线之间的距离。平行金属 线之间的热传输比率只用距离这一个参数即可精确 表征,而正交和其它类型金属线之间的热传输比率 则需引入与位置关系有关的参数,对热传输比率关

#### 系式进行修正,使仿真结果更接近于实际值。



#### 4 模型验证与分析

为了验证模型,基于该工艺平台设计合适的测试结构。一方面,利用该模型对测试结构的温度进行仿真,得到金属线和有源区、金属线和金属线之间的热传输比率。另一方面,基于该工艺平台对测试结构进行流片。

在与仿真条件相同的情况下进行测试。不同层 金属线与有源区之间的热传输比率曲线对比如图 5 所示,以验证金属线与有源区热耦合。同层金属线 之间的热传输比率曲线对比如图 6 所示,以验证同 层金属线热耦合。不同层金属线之间的热传输比率 曲线对比如图 7 所示。图 7 中,M2、M3、M4 分别表 示将自热金属线放置在 M2、M3、M4 金属层,选取 自热金属线上、下不同金属层中的点,测量该点金属 线与自热金属线的热传输比率,以验证不同层金属 线之间的热耦合。横坐标表示实际测量的热传输比 率被线性归一化到[0,1]范围的值,纵坐标表示相同 条件下热传输比率仿真值被线性归一化到[0,1]范 围的值。可以看出,热传输比率的仿真值与实测值 吻合良好。



图 5 不同层金属线与有源区之间的热传输比率曲线对比



#### 5 结 论

本文基于先进逻辑 CMOS 工艺平台,对金属线 和有源区建立简化模型,并引入相关因子,反映了晶 体管参数、金属线走向、金属线相对位置等因素对热 传输比率的影响。在此基础上,构建了热源与金属 线之间的热耦合模型,设计合适的测试结构,基于该 工艺平台进行流片、测试。结果表明,仿真值与实测 值吻合良好。随着金属线的物理尺寸持续缩小,电 流密度增大,金属线的电迁移对温度会更敏感,先进 工艺下对金属线温度精度要求更高。为应对这种发 展趋势,一方面,将对金属线采用更小的分割粒度, 提高金属线与金属线热耦合模型的精度。另一方 面,评估其他类型器件自热对有源区温度的影响,进 一步提高模型的精度。

#### 致谢:

在构建本模型的过程中,ANSYS 相关工作人 员在金属线模型简化、器件与金属线热耦合等效为 有源区和金属线热耦合,以及金属线与金属线热耦 合等方面,与本文研究团队进行有意义的讨论,并给 出了有益的建议,作者在此表示衷心感谢!对 SMIC 为本课题提供的帮助,对参与该工作的其他 技术人员,对论文写作过程中给予帮助的同事、作者 在此一一表示感谢。

#### 参考文献:

- BURY E, KACZER B, ROUSSEL P, et al.
  Experimental validation of self-heating simulations and projections for transistors in deeply scaled nodes [C]
  // IEEE Int Reliab Phys Symp. Waikoloa, HI, USA. 2014: XT. 8. 1-XT. 8. 6.
- [2] PRASAD C, JIANG L, SINGH D, et al. Self-heat reliability considerations on Intel's 22 nm Tri-Gate technology [C] // IEEE IRPS. Anaheim, CA, USA. 2013: 5D. 1. 1-5D. 1. 5.
- [3] CHEN H B, TAN S X D, PENG J, et al. Analytical modeling of electromigration failure for VLSI interconnect tree considering temperature and segment length effects [J]. IEEE Trans Dev & Mater Reliab, 2017, 17(4): 653-666.
- [4] NUNES R O, DE ORIO R L D. Study of the impact of electromigration on integrated circuit performance and reliability at design level [J]. Microelec Reliab, 2017, 76(Suppl. 1): 75-80.
- [5] 刘森,周润德,贾松良. CMOS 集成电路的电热耦合效 应及其模拟研究 [J]. 微电子学,2001,31(1):10-12.
- [6] ZIABARI A, ARDESTANI E K, RENAU J, et al. Fast thermal simulators for architecture level integrated circuit design [C] // 27th Annu IEEE Semicond Therm Measurem & Managem Symp. San Jose, CA, USA. 2011: 70-75.
- [7] RZEPKA S, BANERJEE K, MEUSEL E, et al. Characterization of self-heating in advanced VLSI interconnect lines based on thermal finite element simulation [J]. IEEE Trans Comp Packag & Manufactur Technol Part A, 1998, 21(3): 406-411.
- [8] PAN S H, CHANG N. Fast thermal coupling simulation of on-chip hot interconnect for thermalaware EM methodology [C] // IEEE 65th ECTC. San Diego, CA, USA. 2015: 1168-1175.
- [9] 张琦,蔡志匡,王子轩,等.一种基于热阻网络的叠层 芯片结温预测模型[J].固体电子学研究与进展, 2020,40(1):66-70.
- [10] 杨世铭,陶文铨. 传热学 [M]. 第四版. 北京: 高等教 育出版社, 2016.
- [11] JENKINS K A, FRANCH R L. Impact of self-heating on digital SOI and strained-silicon CMOS circuits [C] // IEEE Int Conf SOI. Newport Beach, CA, USA. 2003; 161-163.

# LDD 注入工艺对 40 nm 中压 NMOS 器件 HCI-GIDL 效应的优化

闫翼辰¹,蔡小五¹,魏兰英²,蔡巧明²,曹杨¹,杜林³
(1.中国科学院大学,北京 100049; 2.中芯国际集成电路制造有限公司(北京),北京 100176;
3.安徽继远检验检测技术有限公司,合肥 230088)

摘 要: 基于 40 nm CMOS 工艺,研究了 8 V MV NMOS 器件的 HCI-GIDL 效应的优化。分析 了增大 LDD 注入倾角、二次 LDD 注入由 P 注入变为 As 注入两种措施对电学特性的影响。测试 结果表明,两种措施均对器件的衬底电流、关态泄漏电流产生较好效果。利用 TCAD 工具,模拟了 LDD 注入工艺的优化对掺杂形貌、电场分布和碰撞电离强度的影响。分析了 HCI-GIDL 效应得以 优化的物理机制。

文章编号:1004-3365(2020)05-0738-05

## Optimization of 40 nm MV NMOS Device with LDD Injection Process for HCI-GIDL Effects

YAN Yichen¹, CAI Xiaowu¹, WEI Lanying², CAI Qiaoming², CAO Yang¹, DU Lin³

 Univ. of Chinese Academy of Sciences, Beijing 100049, P. R. China; 2. SMIC Integr. Circ. Manufact. Co., Ltd. (Beijing), Beijing 100176, P. R. China; 3. Anhui Jiyuan Inspection and Testing Technol. Co., Ltd., Hefei 230088, P. R. China)

**Abstract:** The balance optimization of HCI-GIDL effects of 8 V MV NMOS devices based on 40 nm CMOS technology were studied. The influence of increasing LDD injection tilt angle and changing the second-step LDD injection atom from P to As on the electrical characteristics of the device were analyzed. The test results showed that both measures had good effect on the substrate current and off-state leakage current. The effects of LDD injection process optimization on doping profile, electric field distribution and impact ionization intensity were simulated with TCAD tool. The physical mechanism of optimization of the HCI-GIDL effects were analyzed. **Key words:** HCI-GIDL effect; NMOS device; LDD injection

0 引 言

半导体器件特征尺寸不断缩小,MOS器件的可 靠性和静态功耗作为器件重要指标而备受关注。热 载流子注入(HCI)效应和栅致漏极泄漏电流效应 (GIDL)效应对器件重要指标的影响较大。小尺寸、 中压(MV)器件中,较大电场会加剧 HCI-GIDL 效 应,从而影响可靠性和静态功耗。业界已对这两种 效应开展了大量研究工作。X. Tang 等人研究了超 薄绝缘体上 InGaAs 背栅 nMOSFET 的 HCI 效 应^[1]。M. C. Wang 等人研究了 28 nm 高 K 堆叠 栅 nMOSFET 的 隧 穿 和 GIDL 效 应^[2]。C. Edoardo 等人指出, HCI 效应会导致栅漏交叠区界

收稿日期:2019-10-20;定稿日期:2019-12-03

基金项目:国家重点研究发展计划项目(2016YFB0901804)

作者简介:闫翼辰(1995—),男(汉族),四川绵阳人,硕士,研究方向为中压 CMOS 器件可靠性。

面态的产生,从而增大 GIDL 电流^[3]。

轻掺杂漏(LDD)技术由 S. Ogura 等人于 1980 年首先提出。原理是,在重掺杂源、漏区与导电沟道 间增加了轻掺杂缓冲区,使源、漏端电场大幅减小, 最大场强偏离到栅外,从而抑制了热电子效应和源、 漏穿通效应。目前,轻掺杂漏技术包括带侧墙、不带 侧墙、DI、不对称、阶梯埋入、TOPS、埋 As 等 LDD 技术^[4]。T. Hori 等人首次完整描述了深亚微米大 倾角注入漏(LATID)技术^[5]。A. Bravaix 等人指 出,LATID 技术虽然大幅降低横向电场,但却扩展 了界面缺陷的横向分布^[6]。D. K. Nayak 等人研究 了混合 P/As nLDD 结对深亚微米 CMOS 器件的短 沟道特性、HCI 寿命的优化^[7]。业界对小尺寸 MV 器件 HCI-GIDL 两种效应在实际工艺中的工艺平 衡优化研究较少。

本文第1节介绍 HCI-GIDL 效应基本原理,第 2节研究了40 nm MV NMOS 器件 LDD 工艺的平 衡优化方案,分析了结果,第3节给出结论。

#### 1 HCI-GIDL 效应基本原理

在 HCI 效应中,源漏压降产生的横向电场加速 沟道中的载流子,使其在漏极附近耗尽区与晶格碰 撞并产生电子-空穴对。电子和空穴在栅极垂直方 向电场下分别向栅极和衬底移动,形成栅极电流  $I_{g}$ 、衬底电流  $I_{sub}$ 。对  $I_{sub}$ 的测量是 HCI 效应量化的 重要手段。 $I_{sub}$ 与漏端边缘的沟道电场  $E_{m}$ 的关 系为^[8]:

$$I_{\rm sub} = I_{\rm DS} \frac{A_{\rm i} E_{\rm m}^2}{B_{\rm i} ({\rm d}E_{\rm x}/{\rm d}x) \,|_{\rm L}} {\rm e}^{-B_{\rm i}/E_{\rm m}}$$
(1)

式中, $A_i$ 和 $B_i$ 分别为电离系数中的指前因子、指数常数;  $(dE_x/dx)|_L \approx E_m/(2T_{OX})$ ,  $T_{OX}$ 为栅氧厚度。漏端  $dE_x/dx$ 为常数,表明此处的沟道电子被漏极收集。

GIDL 电流产生于关断状态 ( $V_{G} < 0$  V)下 NMOS 管的栅漏交叠区界面。当栅、漏极分别处于 负压、正压,且栅漏电压  $V_{DG}$  很大时,交叠区会产生 较强电场,界面附近硅中价带电子将隧穿到导带,产 生带-带隧穿电流,即 GIDL 电流。通常的测量方法 为测量反向  $V_{GS}$  和较大正向  $V_{DS}$ 下的漏端电流  $I_{D}$ 。 GIDL 电流模型为^[9-10]:

$$I_{\text{GIDL}} = A \times E_{\text{s}} \times e^{-3BT_{\text{OX}}/(V_{\text{DG}}-1.2)}$$
(2)

式中,A为常数系数, $E_s$ 为硅表面垂直方向电场,硅与二氧化硅的介电常数之比为3,B=21.3

MV/cm,  $T_{OX}$  为交叠区氧化层厚度。 $V_{DG} = V_D + |V_G|$ 。带-带隧穿产生的最低电势差需有 1.2 V。 HCI和 GIDL 效应分别如图 1、图 2 所示。



2 工艺平衡优化方案与结果分析

本文采用40 nm 工艺制作 MV NMOS 器件,工 作电压为8 V。该器件存在的问题是由 HCI-GIDL 效应引发较高的 *I*_{sub}、关态泄露电流 *I*_{boff}。为达到对 两种效应的平衡优化,本文采用了两种 LDD 改良工 艺,如图3所示。第一种工艺为增大注入倾角,第二 种工艺为注入原子由P 变更为 As。首先利用 Sentaurus TCAD 工具仿真拟定平衡优化方案,再 流片收集 WAT 数据。对比并分析工艺变更前后的 *I*_{boff}-*I*_{sub},完成对 HCI-GIDL 效应的平衡优化。

#### 2.1 增大 LDD 注入倾角

在 Sentaurus TCAD 工具中,设置 LDD 注入倾 角分别为小、中、大,注入能量分别为 A、B、C (C>B >A)。通过排列组合进行仿真。3 种注入能量、3 种注入角度时的 *I*_{boff}-*I*_{sub}关系如图 4 所示。可以看 出,在能量 A、大倾角 LDD 注入方式下, *I*_{boff}和 *I*_{sub}大



#### 图 3 LDD 注入工艺改良前后对比

在实际流片中,原工艺为垂直注入,改良工艺为 大倾角注入。大倾角注入时的 *I*boff-*I*sub 趋势如图 5 所 示。可以看出,相比于无倾角注入方式,大倾角注入 方式(即改良工艺)的 *I*boff-*I*sub 趋势向原点方向漂移。







图 5 大倾角注入时的 Iboff-Isub 趋势

为研究 LDD 注入角度对 40 nm MV NMOS 器件的电特性影响,利用 Sentaurus TCAD 工具构建了器件结构。采用小倾角、大倾角两种方式进行LDD 注入掺杂。两种注入角度时的掺杂形貌如图 6 所示,两种注入角度时的 *I*_{sub}-*V*_G 曲线如图 7 所示。可以看出,与小倾角注入方式相比,大倾角注入方式的LDD 掺杂区域在竖直方向上更浅、在水平方向上更向沟道延伸,因此在同一栅压时,*I*_{sub}更小。

两种注入角度时的电场分布、碰撞电离强度分 布分别如图 8、图 9 所示。可以看出,与小倾角注入 方式相比,大倾角注入方式的 LDD 区域的横向电场 和碰撞电离分布梯度均呈下降趋势。在水平切线方 向上,一维横向峰值电场强度降低了 24.1%,一维 碰撞电离峰值强度降低了 86.2%。由式(1)可知, 横向电场和碰撞电离分布梯度的降低即E_m和A_i/B_i 的减小,会导致 I_{sub}下降,从而抑制 HCI 效应。对于 GIDL 效应,I_{GDL}不仅与 V_{DG}相关,还受横向电场影 响^[11]。较大横向电场通过两方面来增大 I_{GDL},一是 电子的能量上升使带-带隧穿几率提高;二是源极与 沟道间势垒高度的降低,这与漏致势垒降低(DIBL) 效应类似。大倾角注入时,通过 LDD 注入降低了横 向电场峰值及梯度,从而抑制了 GIDL 效应。





图 7 两种注入角度时的 I_{sub}-V_G 仿真曲线



⁽c)水平切线方向上的一维碰撞电离强度 图 9 两种注入角度时的碰撞电离强度分布

#### 2.2 LDD 采用 As 注入

相比于一步 P 注入工艺,常规两步 P 注入工艺 对 HCI 效应有抑制作用,但显著增大了 GIDL 电 流。为平衡两种效应,在 Sentaurus TCAD 工具中 设置第二步 LDD 注入为 As 注入,注入能量分别为 C、D(D>C)。两种注入能量时 As 注入的 I_{boff}-I_{sub} 关系如图 10 所示。可以看出,与 P 注入方式相比, As 注入方式增大了 I_{sub},但大幅减小了 I_{boff},这平衡 了两种效应。相比于 D 能量条件,C 能量时 As 注 入的优化效果更明显。

实际流片中C能量、As注入的I_{boff}-I_{sub}关系如图11所示。可以看出,3种注入剂量时,I_{boff}-I_{sub}趋势从常规工艺位置向右下方漂移,这与仿真结果吻合。



图 10 两种注入能量时 As 注入的 Iboff-Isub关系



图 11 实际流片中C能量、As 注入的 Iboff-Isub趋势

采用 As 注入方式后,在沟道中会引发较高峰 值电场,使热载流子产生几率增加,但却能减少沟道 与源、漏间的阻抗,从而改善饱和电流 I_{dsat}。原因 是,在较大原子质量、较小扩散系数条件下,结构中 会形成掺杂浓度分布梯度陡峭的浅结,使小尺寸短 沟道的 DIBL 效应得到抑制,从而减小 GIDL 电流^[12]。

#### 3 结 论

本文研究了 LDD 注入工艺对 40 nm MV NMOS 器件 HCI-GIDL 效应的改善情况。分析了 增大 LDD 注入倾角、第二步注入由 P 注入变为 As 注入两种措施对器件电学特性的影响。实验结果表 明,增大 LDD 注入倾角时,衬底电流和关态泄漏电 流均得到较好抑制。As 注入时衬底电流增大,但关 态泄漏电流明显降低。综上所述,这两种效应均得 到明显的平衡优化。利用 TCAD 工具模拟了 LDD 注入工艺变更对掺杂形貌、电场分布和碰撞电离强 度的影响,分析了 HCI-GIDL 效应得以平衡优化的 物理机制。

#### 参考文献:

- [1] TANG X Y, LU J, ZHANG R, et al. PBTI and HCI degradations of ultrathin body InGaAs-on-insulator nMOSFETs fabricated by wafer bonding [C] // Int Reliab Phys Symp. Monterey, CA, USA. 2015: XT. 7. 1-XT. 7. 6
- [2] WANG M C, HSU K C, GUO J W, et al. Decoupled tunneling and GIDL effects for 28 nm high-k stacked nMOSFETs [C] // 6th ISNE. Keelung, China. 2017: 1-2.
- [3] EDOARDO C, KEVIN M, SEAMUS M, et al. GIDLincrease due to HCI stress: correlation study of MOSFET degradation parameters and modeling for reliability simulation [C] // Int Reliab Phys Symp.

Monterey, CA, USA. 2019: 1-5.

- [4] 郑长勇. 新型 MOSFET 器件结构设计、建模及特性模拟[D]. 合肥: 安徽大学, 2015.
- [5] HORI T, HIRASE J, ODAKE Y, et al. Deepsubmicrometer large-angle-tilt implanted drain (LATID) technology [J]. IEEE Trans Elec Dev, 1992, 39(10): 2312-2324.
- [6] BRAVAIX A, VUILLAUME D. Gate-voltage dependence of the hot-carrier degradation of largeangle-tilt implanted drain (LATID) and standard LDD N-MOSFET's [C] // IEEE ESSDERC. Grenoble, France, 1993, 833-836.
- [7] NAYAK D, HAO M Y, UMALI J, et al. A comprehensive study of performance and reliability of P, As, and hybrid As/P nLDD junctions for deepsubmicron CMOS logic technology [J]. IEEE Elec Dev Lett, 1997, 18(6): 281-283.
- [8] TAM S, KO P K, HU C. Lucky-electron model of channel hot-electron injection in MOSFET'S [J]. IEEE Trans Elec Dev, 2005, 31(9): 1116-1125.
- [9] WANG T, CHANG T E, CHIANG L P, et al. Investigation of oxide charge trapping and detrapping in a MOSFET by using a GIDL current technique [J]. IEEE Trans Elec Dev, 1998, 45(7): 1511-1517.
- [10] SEMENOV O, PRADZYNSKI A, SACHDEV M. Impact of gate induced drain leakage on overall leakage of submicrometer CMOS VLSI circuits [J]. IEEE Trans Semicond Manufactur, 2002, 15(1): 9-18.
- [11] CHEN J H, WONG S C, WANG Y H. An analytic three-terminal band-to-band tunneling model on GIDL in MOSFET [J]. IEEE Trans Elec Dev, 2001, 48(7): 1400-1405.
- [12] WANG C H, WANG C C, DIAZ C H, et al. Arsenic/ phosphorus LDD optimization by taking advantage of phosphorus transient enhanced diffusion for high voltage input/output CMOS devices [J]. IEEE Trans Elec Dev, 2002, 49(1): 67-71.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020 年 10 月	Microelectronics	Oct. 2020

# 多失效机理下基于 FIDES 的 MEMS 失效率 预计研究

高 成¹,陈炳印¹,黄姣英¹,张改丽²

(1. 北京航空航天大学 可靠性与系统工程学院,北京 100191; 2. 中国北方车辆研究所,北京 100072)

摘 要: 针对 MEMS 在工艺和结构上的新特点以及当前国内外尚未形成与 MEMS 相关的失效率预计模型的研究现状,基于失效物理方法和现有 FIDES 标准,提出了一种 MEMS 失效率预计方法。在 MEMS 工艺影响分析基础上,结合实验数据和失效物理方法,提出了 MEMS 在多失效机理下的总体失效分布函数计算方法;之后,基于 FIDES 基本失效率预计模型,提出了 MEMS 的失效率预计模型及其适用的参数取值方法;最后,完成了某型 MEMS 高 g 值微加速度计的失效率预计案例。结果表明,预计模型充分考虑了 MEMS 在工艺和结构上的新特点以及多失效机理的共同作用,可有效解决现有标准手册不能准确反映制造工艺发展现状和手册中失效数据

关键词: MEMS;可靠性预计;失效物理; FIDES
 中图分类号:TN406
 文献标识码:A
 文章编号:1004-3365(2020)05-0743-07
 DOI:10.13911/j.cnki.1004-3365.190631

## Research on Failure Rate Prediction of MEMS Based on FIDES with Multiple Failure Mechanisms

GAO Cheng¹, CHEN Bingyin¹, HUANG Jiaoying¹, ZHANG Gaili²

School of Reliability and System Engineering, Beihang University, Beijing 100191, P. R. China;
 North Vehicle Research Institute, Beijing 100072, P. R. China)

**Abstract:** Aiming at the new characteristics of MEMS in process and structure, a MEMS reliability prediction method based on the failure physics method and the FIDES was proposed. Based on the analysis of the process influence of MEMS, combined with the experimental data and the failure physics method, the overall failure distribution function calculation method of MEMS under multiple failure mechanism was proposed. Then, based on the FIDES basic failure rate prediction model, the reliability prediction model of MEMS was proposed. Finally, the reliability prediction case of a type of MEMS high g micro-accelerometer was completed. The new characteristics of MEMS and the multi-failure mechanism to MEMS were considered in the method. It could effectively solve the problem that the existing standard manual cannot accurately reflect the development status of the manufacturing process and the failure data in the manual was not applicable.

Key words: MEMS; reliability prediction; failure physics; FIDES

收稿日期:2019-11-09;定稿日期:2019-12-11

作者简介:高 成(1972—),男(汉族),内蒙赤峰人,研究员,研究方向为电子元器件可靠性评价和大规模集成电路测试。 陈炳印(1996—),男(汉族),河南洛阳人,硕士研究生,研究方向为电子元器件可靠性分析。通信作者,chenby@ buaa.edu.cn。

基金项目:装备预研项目资助(41402040301);军用电子元器件科研项目(1807WK0002)

#### 0 引 言

微机电系统(MEMS)是指可批量制造的,集微 机构、微传感器、微执行器、信号处理和控制电路、通 信和电源等为一体的微型器件或机电系统^[1],具备 微型化、集成化和生产批量化等优点。从 MEMS 结 构上来看,除了常规的电路结构之外,一般都包含可 动的微机械结构。从工艺上看,MEMS 技术是基于 IC 技术发展起来的,重点发展了能够大批量加工 MEMS 中微机械结构的微机械加工技术^[2],如表面 微加工技术、体微加工技术和 LIGA 技术。

国内外尚未对 MEMS 的可靠性预计研究形成 统一的方法。文献[3-4]通过实验数据分析或软件 仿真得到 MEMS 的部分可靠性参数,但未形成 MEMS 的失效率预计模型。

目前,基于标准手册的电子产品失效率预计方 法在业内使用最为广泛^[5],如 GJB/Z299C-2006、 MIL-HDBK-217Plus、FIDES等。然而,常用标准手 册发布时间较早,模型数据更新较慢,且 MEMS 与 传统集成电路相比在结构和工艺上具有新的特点, 因此,标准手册中模型参数的取值方法对 MEMS 具 有一定的不适用性。

失效物理的可靠性分析方法认为电子产品会随时间而逐步退化直至失效,可以通过失效物理 模型来描述失效时间与失效机理之间的相关关 系^[6]。随着 MEMS 在不同领域的广泛应用,其工 作环境复杂多样,面临着多种失效机理共同作用 的失效风险,需要综合考虑多种失效机理的竞争 关系。

本文采用层次分析法和失效物理方法,基于 FIDES标准中的相关模型,综合考虑 MEMS 的工 艺和结构特点以及多失效机理共同作用,寻求适用 于 MEMS 的模型参数取值方法,得到了 MEMS 的 失效率预计模型。

1 基于层次分析法的工艺影响分析

针对 MEMS 器件的三种制造工艺:表面微加工 技术  $A_1$ 、体微加工技术  $A_2$ 和 LIGA 技术  $A_3$ ,从其工 艺成熟度  $C_1$ 、兼容性  $C_2$ 、机械性能  $C_3$ 、加工质量  $C_4$ 和深宽比  $C_5$ 着手,对比分析三种工艺各自的特性, 可得工艺对比分析,如表 1 所示。

表 1 三种 MEMS 制造工艺对比分析表

特性		工艺			
	$A_1$	$A_2$	$A_3$		
$C_1$	相当成熟	最成熟	较成熟		
$C_2$	较好	不理想	不理想		
$C_3$	受一定影响	较好	好		
$C_4$	良好	良好	好		
$C_5$	几至十几	几十	上百		

由表1可知,三种制造工艺在五个特性方面各 有优势和不足。以五个特性为分析依据,采用相对 尺度将因素两两比较,将模糊信息数值化,之后运用 层次分析法^[7],给出三种工艺的相对重要度系数,作 为后续失效率预计模型中考虑的一个重要因素。工 艺层次分析模型如图1所示。



重要性程度评定方法如表2所示[8]。

表 2 重要性程度评定表

因素 <i>i</i> 比因素 <i>j</i>	量化值
同等重要	1
较强重要	3
特别重要	5
两相邻判断的中间值	2,4

结合表 1 和表 2,可构造判断矩阵 A 和各特性因素比较矩阵 C_i:

	[ 1	1/2	1/2	1	2	
	2	1	2	2	2	
A =	2	1/2	1	2	3	(1)
	1	1/2	1/2	1	2	
	1/2	1/2	1/3	1/2	1	

$$\boldsymbol{C}_{1} = \begin{bmatrix} 1 & 3 & 5\\ 1/3 & 1 & 2\\ 1/5 & 1/2 & 1 \end{bmatrix}$$
(2)  
$$\boldsymbol{C}_{2} = \begin{bmatrix} 1 & 1/2 & 2\\ 2 & 1 & 4 \end{bmatrix}$$
(3)

$$\mathbf{C}_{2} = \begin{bmatrix} 2 & 1 & 1 \\ 1/2 & 1/4 & 1 \end{bmatrix}$$

$$\mathbf{C}_{2} = \begin{bmatrix} 1 & 1 & 1/2 \\ 1 & 1 & 1/2 \end{bmatrix}$$
(4)

$$\begin{bmatrix} 1 & 1 & 1/2 \\ 2 & 2 & 1 \end{bmatrix}$$

$$\boldsymbol{C}_{4} = \begin{bmatrix} 1 & 1/2 & 1/3 \\ 2 & 1 & 1/2 \\ 3 & 2 & 1 \end{bmatrix}$$
(5)

$$\boldsymbol{C}_{5} = \begin{bmatrix} 1 & 1 & 1/2 \\ 1 & 1 & 1/2 \\ 2 & 2 & 1 \end{bmatrix}$$
(6)

经计算及检验可得,各矩阵的不一致程度均在 可接受范围内。判断矩阵和各个特征因素比较矩阵 的权向量分别为:

 $\boldsymbol{\omega} = [0.1648, 0.2967, 0.2802, 0.1648, 0.0934]^T$ 

(7)

$$\boldsymbol{\omega}_{1} = \begin{bmatrix} 0.\ 2857, 0.\ 5714, 0.\ 1429 \end{bmatrix}^{T}$$
(8)

$$\boldsymbol{\omega}_2 = [0.6413, 0.2375, 0.1211]^T$$
 (9)

$$\boldsymbol{\omega}_{3} = \begin{bmatrix} 0.\ 1618, 0.\ 3088, 0.\ 5294 \end{bmatrix}^{T}$$
(10)

$$\boldsymbol{\omega}_4 = \begin{bmatrix} 0.\ 2500, 0.\ 2500, 0.\ 5000 \end{bmatrix}^T \tag{11}$$

$$\boldsymbol{\omega}_{5} = [0.1618, 0.3088, 0.5294]^{T}$$
 (12)

由  $A_j = \sum_{i=1}^{s} \boldsymbol{\omega}(i) \times \boldsymbol{\omega}_i(j)$  可分别得到三种工艺

的总评分:

$$A_1 = 0.339 \ 0 \tag{13}$$

$$A_2 = 0.3212 \tag{14}$$

$$A_3 = 0.339\ 7 \tag{15}$$

则表面微加工、体微加工、LIGA 三种工艺的相 对权重系数为:

$$\epsilon_{A1} = 0.9979$$
 (16)

$$\boldsymbol{\varepsilon}_{A2} = 0.945 5 \tag{17}$$

 $\boldsymbol{\varepsilon}_{A3} = 1 \tag{18}$ 

2 基于多失效机理的失效分布

MEMS 器件失效模式和失效机理^[9]如表 3 所示。

研究统计表明¹⁰,在电子器件的失效机理中, 由热应力引发的失效占全部失效的 65%~80%,振 动和冲击应力作用下的失效占 10%,其他失效情况 占 10%。因此,本文主要针对温度、振动、冲击三种 最常见的失效机理进行分析和模型调研,通过失效 物理模型推导与仿真相结合的方法得到 MEMS 在 三种失效机理共同作用下的失效分布函数,为后续 基于标准手册的失效率预计模型的相关参数设置提 供理论依据。

表 3 MEMS 器件失效模式和失效机理

失效模式	失效机理		
断裂	冲击导致的过载荷断裂或温变、振动导致的		
	疲劳断裂		
粘附	冲击、振动、水汽侵入、电应力		
腐蚀	水汽侵入导致的电化学腐蚀		
蠕变	温变		
磨损	粗糙表面相互接触产生碎屑、颗粒		
分层	冲击、振动、水汽侵入、温变		
碎屑污染	冲击、振动、工艺问题		

#### 2.1 热应力

热应力基本失效物理模型表示为:

$$\eta = A_0 \times \exp(E_a/kT) \tag{19}$$

式中, $A_0$ 为常数、 $E_a$ 为激活能、k为玻尔兹曼常数、T表示温度,其中 $A_0$ 和 $E_a$ 均与所选器件类别有关。对该模型公式两边同时取对数,可得:

$$\ln \eta = a + b/T \tag{20}$$

式中, $a = \ln A_0$ , $b = E_a/k$ ,系数  $a \ \pi b$  的值可结 合各温度应力作用下的失效数据,通过 MATLAB 拟合确定。之后,将温度应力设置为服从正态分布 的随机变量,通过蒙特卡洛仿真,生成 MEMS 在温 度应力为 T 时的寿命样本,然后对寿命样本进行分 布拟合,得到 MEMS 在受温度应力为 T 时服从的 失效分布。

#### 2.2 振动应力

在循环振动载荷作用下,可通过 S-N 曲线来表 示振动应力与寿命的关系。振动失效的基本失效物 理模型表示为:

$$NS^{\kappa} = D \tag{21}$$

式中,S为均方根值,N为S应力下的寿命,K 和D为常数,可通过器件的试验数据拟合得到。对 该模型公式两边同时取对数,可得:

$$\ln N = a + b \ln S \tag{22}$$

式中, $a = \ln D$ ,b = -K,系数  $a \ \pi b$  的值可采 用与热应力分析相同的方法得到,进而得到 MEMS 在所受振动应力为 S 时所服从的失效分布。

#### 2.3 冲击应力

假设冲击载荷作用于 MEMS 的时间是随机的, 且载荷在每个单位时间内作用的次数服从泊松分 布,则在时间 *t* 内,冲击载荷作用 *n* 次的发生概 率为:

$$P_n(t) = \frac{(\alpha t)^n e^{-\alpha t}}{n!}$$
(23)

式中,α为载荷在单位时间内的平均作用次数, at为载荷在t时间内的平均作用次数。则器件在冲 击环境下的可靠度函数为:

$$R(t) = \sum_{n=0}^{\infty} R^n P_n(t) = e^{-(1-R)_{ol}}$$
(24)

MEMS 在随机冲击载荷下的失效分布函数为:  $F_{3}(t) = 1 - e^{-(1-R)_{at}}$  (25)

式中,R为在随机应力作用和恒定强度条件下 MEMS的静态可靠度。用随机变量 X表示作用在 器件上的冲击应力,其概率密度函数用  $f_x(x)$ 来表 示,器件的强度用 Y来表示,则:

$$R = P(X \leqslant Y) = \int_{0}^{Y} f_{x}(x) dx$$
(26)

#### 2.4 多失效机理下的总体失效分布函数

假设每种失效机理对 MEMS 的作用都是相互 独立的,任何一种失效的出现都代表 MEMS 的失 效,即:

$$\tau = \min\{\tau_1, \tau_2, \cdots, \tau_i, \cdots, \tau_n\}$$
(27)

式中, $\tau_i$ 为 MEMS 在第 i 个失效机理单独作用下的失效时间。用  $F_i(t)$ 来表示 MEMS 在第 i 个失效机理单独作用下的失效分布函数,则其总体失效分布函数为^[11]:

$$F(t) = P(\tau \leqslant t) = 1 - \prod_{i=1}^{n} [1 - F_i(t)]$$
(28)

#### 3 基于 FIDES 的失效率预计方法

MEMS 整体失效率模型由三部分组成,包括由 MEMS 各失效机理决定的局部失效率 $\lambda_{physics}$ 、部件 制造中的质量与技术控制系数  $\pi_{PM}$ 和包含此部件的 产品在开发、制造及运行过程中的质量与技术控制 系数  $\pi_{process}$ ,即 FIDES 标准^[12]中的基本失效率预计 模型:

 $\lambda_{\rm p} = \lambda_{\rm physics} \pi_{\rm PM} \pi_{\rm process} \tag{29}$ 

#### 3.1 λ_{physics}的取值方法

参数 λ_{physics}表征了各种物理应力对失效率预计 结果的影响,而 FIDES 中仅给出了双极工艺集成电 路、MOS工艺集成电路以及其他一些传统集成电路的取值方法,不完全适用于具有工艺和结构上新特点的 MEMS,且其适用的模型参数数据也可能随着 MEMS 的发展而不再适用。

因此,通过研究 MEMS 总体失效分布函数,可 从 MEMS 的结构特点、失效模式、失效机理和现有 失效数据的基础上得到多失效机理共同作用下的失 效结果,进而确定出适用于 MEMS 的 λ_{physics} 取值。 λ_{physics}的表达函数根据 MEMS 在热应力、振动应力 和冲击应力共同作用下的失效分布函数 F(t) F(t) 和使用周期 ξ 来确定。λ_{physics}的取值方法为:

$$\lambda_{\rm physics} = \frac{F(\xi)}{\xi} \tag{30}$$

$$\boldsymbol{\xi} = \min\{\boldsymbol{\tau}_1, \boldsymbol{\tau}_2, \cdots, \boldsymbol{\tau}_i, \cdots, \boldsymbol{\tau}_n\}$$
(31)

#### 3.2 π_{PM}的取值方法及修正

制造系数 π_{PM}表示制造商质量保证、产品质量 保证和产品用户与供应商之间的经验对器件质量带 来的影响。在 FIDES 标准中, π_{PM}的取值方法为:

$$\pi_{\rm PM} = e^{1.39 \times (1 - Part_Grade) - 0.69}$$
(32)

式中,Part_Grade为器件的制造质量等级,对于集成电路来说:

$$Part_Grade = \frac{(QA_{\rm m} + QA_{\rm p} + RA_{\rm p}) \times \varepsilon}{36}$$
(33)

式中,QA_m为器件制造商质量保证系数,QA_p为 产品质量保证系数,RA_p为制造商进行的试验结果 和严重程度的系数,经验系数 ε 为器件买方与供应 商之间的经验值。上述各参数取值方法可参考 FIDES 标准。

在计算 Part_Grade 时,可将制造工艺因素 ε_A 对 MEMS 的影响考虑在内,使得 Part_Grade 能充 分反映出不同制造工艺的差别,结果更加准确。则 MEMS 器件的制造质量等级可修正为:

$$Part_Grade = \frac{(QA_{m} + QA_{p} + RA_{p}) \times \varepsilon \times \varepsilon_{A}}{36}$$
(34)

其中 ε_A 的 值 可 由 第 1 节 中 的 工 艺 影 响 分 析 得到。

#### 3.3 *π*_{process}的取值方法

π_{process}表示在产品生命周期内与可靠性相关的因素。在 FIDES 标准中,π_{process}的取值方法为:

$$\pi_{\text{process}} = e^{2.079 \times (1 - Process_Grade)}$$
(35)

式中, Process_Grade 为过程控制的影响等级水平,由器件在全寿命周期的不同阶段进行评估之后确定:

$$Process_Grade = \sum \frac{W_i V_i}{\max V_i}$$
(36)

式中,V_i为第*i*个阶段的评估值,W_i为每个阶段 对可靠性影响的相对权重。

对于全寿命周期每个阶段的评估,可参考 FIDES标准中提供的一系列详细的评估建议问题, 并给出相应的评估值。

π_{process}系数的取值在 1~8 之间变化,若未评估,
 可取缺省值 4,但使用缺省值可能会降低最终预计结果的准确性。

4 实例分析

以某型 MEMS 高 g 值微加速度计为例^[13],进行 MEMS 器件失效率预计方法研究。微加速度计 采用表面微加工工艺,量程为 100 000g,可以承受 的冲击载荷极限为 180 000g。该型 MEMS 高 g 值 微加速度计对产品质量保证和全寿命周期各阶段均 有很高的要求。

#### 4.1 热应力分析

该型 MEMS 高 g 值微加速度计在各恒定温度 应力条件下的失效时间数据如表 4 所示。

表 4	器件在各恒定温度应力条件下的失效时间

温度应力/K	失效时间/h			
	$t_1$	$t_2$	$t_3$	
393	910	950	1 000	
403	410	480	510	
413	200	230	280	

对失效数据进行分析,可得到该型微加速度计 分别 在 三 种 温 度 应 力 下 的 平 均 寿 命,并 进 行 MATLAB 线性拟合,温度应力下失效数据线性拟 合结果曲线如图 2 所示。

通过 Matlab 线性拟合可得到,在 95%的置信 区间内,a=-21.91,b=11 310,线性拟合优度 R_ square=1。即可得到该型 MEMS 微加速度计在温 度应力条件下的寿命模型:

 $\eta = e^{-21.91 + 11.310/T} \tag{37}$ 

将器件在工作状态下的温度应力波动设置为服 从正态分布的随机变量^[14],通过蒙特卡洛仿真方 法,生成该型 MEMS 微加速度计在工作温度为 303 K 时的寿命样本,然后对寿命样本进行分布拟合,得到 的结果如图 3 所示。





由拟合曲线可知,寿命样本在对数正态坐标系 中拟合程度最好,因此可得到该型 MEMS 微加速度 计在热效应失效机理下的寿命服从对数正态分布。 失效分布函数为:

 $F_{1}(t) = \Phi\left(\frac{\lg t - 6.6957}{\sqrt{0.0028}}\right)$ (38)

温度应力下的可靠度曲线如图 4 所示。



#### 4.2 振动应力分析

同 4.1 节的方法,可得该型 MEMS 微加速度计 在振动应力下的寿命模型:

$$N = e^{-12.73 \ln S + 13.08} \tag{39}$$

该型 MEMS 微加速度计在振动疲劳失效机理 下的寿命服从对数正态分布。失效分布函数为:

$$F_2(t) = \Phi(\frac{\lg t - 2.747}{\sqrt{0.001}}) \tag{40}$$

振动应力下的可靠度曲线如图 5 所示。

#### 4.3 冲击应力分析

假设作用于该微加速度计的冲击载荷服从均值

为 60 000g,标准差为 35 000g 的正态分布,且冲击 发生的概率服从泊松分布,平均每小时发生 0.05 次,则:

$$R = \Phi(\frac{18-6}{3.5}) = 0.9997 \tag{41}$$

$$F_3(t) = 1 - e^{-0.000\ 015t} \tag{42}$$



冲击应力下的可靠度曲线如图 6 所示。



#### 4.4 λ_{physics}取值

结合上述得到的该高 g 值 MEMS 微加速度计 在热效应、振动疲劳和冲击失效三种失效机理下所 服从的失效分布函数,代入式(28),可得:

$$F(t) = 1 - \left[1 - \Phi\left(\frac{\lg t - 6.695 7}{\sqrt{0.002 8}}\right)\right] \times \left[1 - \Phi\left(\frac{\lg t - 2.747}{\sqrt{0.001}}\right)\right] \times e^{-0.000 015t} \quad (43)$$

则:

$$\lambda_{\text{physics}} = \frac{F(558.42)}{558.42} = 8.945 \times 10^{-4} \ h^{-1} \qquad (44)$$

4.5 失效率预计

依据 3.2 中  $\pi_{PM}\pi_{PM}$ 的取值方法,可得:

$$Part_Grade = \frac{(3+3+2) \times 4 \times 0.9979}{36} = 0.887$$
(45)

$$\pi_{\rm PM} = e^{1.39 \times (1 - Part_Grade) - 0.69} = 0.59$$
(46)

π_{process}系数的取值在 1~8 之间变化,对于一般 产品来说,若未评估,可取缺省值为 4。考虑该型 MEMS 器件特殊的军用背景,其在全寿命周期的各 个阶段均有较高的可靠性要求,因此在未评估时,可 在 1~4 内取缺省值为 2.5。

MEMS 失效率预计模型的预计结果为:

$$\lambda_{p} = \lambda_{physics} \pi_{PM} \pi_{process} = \\ 8.945 \times 10^{-4} \times 0.59 \times 2.5 = \\ 1.319 \times 10^{-3} h^{-1}$$
(47)

#### 5 结 论

本文通过研究 MEMS 工艺和结构上的新特点 和失效机理,进行了基于层次分析法的 MEMS 工艺 影响分析和多失效机理竞争下的总体失效分布函数 计算方法研究,最终基于 FIDES 基本失效率预计模 型,提出了 MEMS 的失效率预计模型。

该模型在试验数据和失效物理模型相结合的基础上给出了表征各物理应力因素影响的模型参数的取值方法,具有一定的创新性。然而,虽是基于试验数据和失效物理方法所得到的结果,但其失效模型是在试验数据基础上拟合得到的,预计结果与实际情况相比会有一定的误差。因此在后续研究中,可根据实际情况来减小误差,优化预计结果。

#### 参考文献:

- [1] 苑伟政,乔大勇. 微机电系统(MEMS)制造技术 [M]. 北京:科学出版社, 2014.
- [2] 黄良甫, 贾付云. 微机电系统的加工技术及其研究进

展 [J]. 真空与低温, 2003(1): 3-7.

- [3] 张宁,刘庭伟,徐洪武.基于失效物理的电子产品寿
   命预计方法及工程应用[J].质量与可靠性,2016
   (5):43-47.
- [4] 杨江涛,马喜宏,邬琦. MEMS 微加速度计在振动环 境下的可靠性研究 [J]. 电子器件,2015,38(2): 396-401.
- [5] 陈亚兰,罗俊,李晓红.电子装备可靠性预计方法概述
   [J]. 微电子学, 2013, 43(2): 242-249.
- [6] 曹海斌,郝恒,渠继东.基于失效物理的电子学产品 可靠性仿真研究 [J].设备管理与维修,2018(13): 34-37.
- [7] 吴迎学,龙爱翔. 机械加工工艺方案的多级模糊综合 评价 [J]. 中南林业科技大学学报,2004,24(5): 104-106.
- [8] 符学葳. 基于层次分析法的模糊综合评价研究和应用 [D]. 哈尔滨:哈尔滨工业大学,2011.
- [9] STANIMIROVIC I, STANIMIROVIC Z. MEMS reliability [C] // 28th IEEE Intl Conf Microelec. Nis, Serbia. 2012: 173-175.
- [10] 张立强. 微电子器件界面结构传热与力学行为多尺度 研究 [D]. 镇江: 江苏大学, 2012.
- [11] 沈安慰,郭基联,王卓健. 竞争性故障模型可靠性评估的非参数估计方法 [J]. 航空动力学报,2016,31 (1):49-56.
- [12] FIDES guide 2009 Edition A. Reliability methodology for electronic systems [EB/OL]. http://www.fidesreliability.org.
- [13] 秦立君. 多种单应力环境下 MEMS 高 g 值微加速度 计的失效分析研究 [D]. 太原:中北大学, 2018.
- [14] 卞鸣锴. 基于失效物理的集成电路失效率计算方法研 究 [D]. 广州:广东工业大学, 2015.

# CQFP 封装引线成形形状及其力学性能研究

易文双,叶 达,张峪铭 (中国电子科技集团公司 第二十四研究所,重庆 400060)

摘 要: 陶瓷类四面引脚扁平封装(CQFP)器件因具有节距小、重量大的固有特点而在随机振动 过程中常出现失效现象。首先基于典型 CQFP 封装设计了多种引线成形方案。再以有限元仿真 软件分析不同方案中封装承受相同随机振动条件时的等效应力情况。最终通过对比各成形方案 优缺点,提出了较优的引线成形方式。

关键词: CQFP;随机振动;引线成形;成形形状;有限元仿真
 中图分类号:TN405
 文献标识码:A
 文章编号:1004-3365(2020)05-0750-05
 DOI:10.13911/j.cnki.1004-3365.190674

## Research on Forming Shape and Mechanical Properties of CQFP Package Lead Forming

YI Wenshuang, YE Da, ZHANG Yuming

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

**Abstract:** The devices packaged with ceramic quad flat package(CQFP) have higher probability of failure in random vibration for its smaller pitch and heavier weight. At first, a variety of schemes of lead forming for CQFP were designed. And all the schemes were analyzed with finite element method in the same conditions. Finally, by comparing the advantages and disadvantages of various forming schemes, a better lead forming method was proposed.

Key words: CQFP; random vibration; lead forming; forming shape; finite element analysis

0 引 言

CQFP 封装器件是被广泛应用的高可靠性封装 技术之一。CQFP 封装具有引线细密、封装密度高 等特点,其封装主材采用氧化铝陶瓷或氮化铝陶瓷, 引线材料采用 4J29 合金或 4J42 合金^[1]。上述材料 制作的 CQFP 陶瓷外壳的质量较大,有些外壳的质 量可达 10 g 以上。

CQFP 封装在实际生产或使用时会进行引线成 形,通过引线根部与焊接点之间的引线伸缩余量来 减小机械振动,从而减小对元器件和焊点有害的应 力^[2]。因此,引线成形中的成形方式及其形状对元 器件可靠性起到至关重要的作用。本文针对 CQFP 封装,采用有限元仿真方法分析不同引线成形形状 下封装对随机振动的适应能力,提出了较优的引线 成形方案。

文章第1节介绍引线成形背景技术,第2节介 绍引线成形方案,第3节介绍各方案仿真结果和各 方案对比分析,第4节给出结论。

1 随机振动及引线成形技术

#### 1.1 随机振动概述

随机振动是由若干正弦振动组成,其波形杂乱, 波形随时间呈不规律变化,给定时刻的瞬时值不确 定。随机振动采用概率论和统计动力学来描述,为:

 $M\ddot{X}(t) + C\dot{X}(t) + KX(t) = F(t)$ (1)

收稿日期:2019-11-21;定稿日期:2019-12-26

作者简介:易文双(1990一),男(汉族),重庆合川人,硕士,工程师,从事电子产品封装、热分析、应力分析等技术研究。

式中,*F*(*t*)为随机振动激励,*X*(*t*)为振动响应, 两者均为随机值。

封装自身壳体、引线、焊料等各部分相互作用, 以抵消随机振动所致的位移作用,此时产生的某一 截面上的内力就是随机振动应力。该应力力图使封 装各部分恢复原位。这些应力包括宏观应力(产品 各部分之间)、微观应力(单个部分内部)和晶格畸变 应力(破坏时产生)等。

CQFP 封装发生随机振动时,电路板上的振动通 过一条固有路径(焊盘、焊料、引线、封装端焊料)传递 给封装本体。此时传递路径上的各部分均成为随机 振动的缓冲点及薄弱环节,特别是铅锡银焊料和引线 (70%以上的振动失效原因)^[2]。因此,缓冲随机振动 的研究主要集中于焊料和引线两方面。前者可以通 过调整焊盘大小和引线焊接端形貌来实现。后者采 用引线成形方式,利用特殊形状金属引线的良好延展 性和焊料之间部分的伸缩余量来缓冲随机振动带来 的位移,从而减小随机振动带来的应力。

#### 1.2 典型引线成形产品及成形标准

与塑封 QFP 器件不同^[3],CQFP 封装的成形方 式包括顶部出线和底部出线两种方案。引线成形典 型实物图如图 1 所示。



(a)顶部出线方案



(b)底部出线方案 图 1 引线成形典型实物图 底部出线方案是应用陶瓷外壳的引线成形方

式,顶部出线方案是应用质量较重、引线密集外壳的 引线成形方式。引线成形工艺有两个步骤。第一步 是外壳生产阶段,将引线成型(一次成形)后再进行 钎焊;第二步是产品成形阶段,产品完成后进行引线 二次成形。引线二次成形采用小型专用模具或成形 设备来完成^[4]。航天标准(QJ3171-2003)对扁平引 线成形参数进行了规定。参数包括成形高度 H、成 形肩宽 A、成形倒角 r、成形角度 θ 等^[5]。CQFP 封 装成形示意图如图 2 所示。



图 2 CQFP 封装成形示意图

2 引线成形方案设计

#### 2.1 整体模型设计

以 80 引线 CQFP80 为研究对象,分析不同引线 成形封装在随机振动试验下应力应变分布情况。 CQFP80 封装的本体尺寸为 12.20 mm×12.20 mm ×2.11 mm。引脚尺寸为 1.50 mm×0.20 mm, PCB 板尺寸为 100 mm×100 mm×2 mm。80 个引 脚通过铅锡焊接在 PCB 板上。PCB 由四周的螺栓 安装固定。整体模型如图 3 所示。

#### 2.2 引线成形方案设计

考虑工艺实际能力进行成形方案设计。取成形 总高度 H 为 2. 20 mm,成形肩宽 A 为 0. 50 mm,成 形倒角 r 为 0. 15 mm,成形角度  $\theta$  为 45°,焊接长度 L 为 1. 50 mm,二次成形中心高均为 1. 10 mm(中 部肩宽  $A_1$  为 0. 50 mm)。采用以上述数据设计 8 个方案,具体方案如图 4 所示。



(a) 整体结构



底部出线方案共四种,包括底部一次成形方案 A、C和底部二次成形方案 B、D。方案 B、D 分别基 于方案 A、C 实现。方案 B、C 含一个成形肩宽,方 案 D 含两个成形肩宽。顶部出线方案共四种,包括 顶部一次成形方案 E、G 和顶部二次成形方案(F、  H)。方案 F、H 分别基于方案 E、G 实现。方案 E、 方案 G 含一个成形肩宽,方案 F、方案 H 含两个成
 形肩宽。

#### 3 仿真结果及分析

#### 3.1 有限元仿真模型

按照方案 A~H 建立独立三维模型。CQFP80 封装以氧化铝陶瓷为陶瓷本体材料,具体材料特性 如表1所示。

通过 PCB上四个螺栓孔施加垂直于 PCB 板的 单轴随机振动激励。施加频率范围为 50~2 000 Hz,施加加速度总均方根值为 53.5 m/s²。以 Ansys 作为有限元仿真工具,完成模态分析和随机 振动分析。

表1 封装材料特性

材料名称	密度 p/ (kg・m ⁻³ )	杨式模量 E /GPa	泊松比
PCB 板 ^[6]	2 200	15(X/Z), 45(Y)	0.16
PCB铜焊盘 ^[7]	8 940	120	0.34
银铜焊料	10 000	68	0.41
铅锡银焊料[7]	11 100	35.7	0.40
铅锡焊料[6]	8 400	31	0.35
钨合金	19 300	345	0.28
可伐合金[7]	8 360	140	0.30
氧化铝陶瓷[7]	3 650	306	0.23
硅材料[8]	2 328	131	0.30

#### 3.2 仿真方案对比分析

3.2.1 底部出线仿真对比

方案 A~D 均为底部出线方案,引线、银铜焊料、铅锡银焊料的最大等效应力曲线一如图 5 所示。



从方案 A~D 的对比可知,较多的成形肩宽可 有效降低引线上的最大等效应力。从方案 A/C 与 方案 B/D 的对比可知,外壳端的成形肩宽可降低外 壳端和 PCB 端的焊料最大等效应力。从方案 A/B 与方案 C/D 的对比可知,引线中部的成形肩宽可降 低外壳端的焊料最大等效应力,但会增加 PCB 端的 焊料最大等效应力。

3.2.2 顶部出线仿真对比

方案 E~H 均为底部出线方案,引线、银铜焊 料、铅锡银焊料最大等效应力曲线二如图 6 所示。 从方案 E/F 与方案 G/H 的对比可知,较多的成形 肩宽可有效降低引线及外壳端的焊料上的最大等 效应力,但会增加 PCB 端的焊料最大等效应力。 从方案 E/G 与方案 F/H 的对比可知,在外壳端先 进行反向的弯折成形可有效降低 PCB 端的焊料最 大等效应力,但会增加外壳端的焊料最大等效 应力。





方案 C、D 为底部出线方案,方案 E、F 为顶部出 线方案。方案 C/E 和 D/F 中,除出线方案外,各成 形参数均一致。引线、银铜焊料、铅锡银焊料的最大 等效应力曲线三如图7所示。



从方案 C/E 与方案 D/F 的对比可知,同等成 型参数下铅锡银焊料的最大应力变化不大,无特 定趋势;底部出线可得到更小的引线最大应力, 但不明显;底部出线可明显降低银铜焊料最大 应力。

#### 3.3 引线成形方案选择

汇总方案 A~H 中引线、银铜焊料、铅锡银焊 料的最大等效应力数据,结果如图 8 所示。



根据最大等效应力的数据进行统计分析,结果 如表 2 所示。

表 2 仿真结果分析								
方案编号	А	В	С	D	Е	F	G	Н
应力分布								
引线应力	差	中	中	最优	中	优	中	优
银铜焊料应力	中	中	优	最优	中	优	差	差
铅锡银焊料应力	中	差	中	中	中	中	最优	优

综上可知,理论上较优的引线成形方案为方案 D或F。方案D的等效应力分布如图9所示。可以 看出,各引线最大等效应力均分布于引线 PCB 焊接 端的弯曲半径周围。铅锡银焊料的最大等效应力分 布于引线弯曲半径接触点的周围。



图 9 等效应力分布

以上分析可得出如下结论。在实际生产中,若 考虑工艺实现难度和批量化,可选择方案 C 或 E 作 为最终成形方案;若考虑铅锡银焊料的屈服极限较 低,以 Sn63Pb37 为例^[9],可选择方案 G 或 H 作为 优选成形方案;对于小节距(*e*=0.50 mm)封装,若 不能在外壳-引线焊接端(方案 C、D、E、F 中)形成好 的成形肩宽,则可考虑方案 B、G、H 作为优选成形 方案。

#### 4 结 论

不同引线成形方案具备不同的优势。选择引线 成形方案的依据有:同等参数条件下,底部出线方案 对降低引线、银铜焊料的等效应力有利;在工艺条件 允许的前提下,可增加引线肩宽(含中部成形肩宽) 的数量。在实际生产中,首先针对封装各部位的不 同焊料类型进行具体仿真,再综合考虑成本、工艺条 件、热或机械等效应力等因素,最终选择较优的引线 成形方案。

#### 参 考 文 献:

- [1] 李宗亚, 仝良玉, 李耀, 等. CQFP 器件板级温循可靠
   性的设计与仿真 [J]. 电子与封装, 2014, 14(11):
   5-8.
- [2] 张伟,王玉龙,李静秋.振动条件下的 CQFP 器件高 可靠组装工艺 [J]. 电子工艺技术, 2012, 33(3): 160-164.
- [3] 王玉龙,孙守红. 密脚间距 QFP 集成电路引线成形工 艺研究 [J]. 电子工艺技术, 2010, 31(6): 341-345.
- [4] 宗超,秦慧斌,黄晓宇.扁平封装集成电路引线成形 模具设计[J].机械与电子,2008,(12):76-78.
- [5] 国防科学技术工业委员会. QJ3171-2003 航天电子 电气产品元器件成形技术要求[S]. 2003-09-25.
- [6] HUANG W D. Simulation of thermal stresses in 2N gold wires evaluated for PBGA application [C] // IEEE 11th Int Conf Elec Packag Technol & High Dens Packag. New York, NY, USA. 2010: 679-682.
- [7] TOTANI M, TESHIMA Y, ITO N, et al. Design of 0.35-mm pitch QFP lead and its assembly technology
   [J]. IEEE Trans Compon & Packag Technol, 1995, 18(3): 456-462.
- [8] LAI Y S, LIN Y H, WU J D. Prediction of gap in QFP with unattached heat spreader [J]. IEEE Trans Compon & Packag Technol, 2005, 28(1): 136-141.
- [9] 刘树斌,闻月娇.某 COFP 封装器件焊点受力分析 [J].中国科技信息,2014(15):184-185.

第 50 卷 第 5 期	微电子学	Vol. 50, No. 5
2020 年 10 月	Microelectronics	Oct. 2020

## 埋栅型 SIT 和 VDMOS 的单粒子烧毁效应对比研究

蔡浩^{1,2},张霞³,王斌³,谭开洲²

(1. 重庆邮电大学 光电工程学院,重庆 400065; 2. 模拟集成电路国家重点实验室,重庆 400060;3. 中国电子科技集团公司 第二十四研究所,重庆 400060)

### Comparative Study on Single-Event Burnout Effect of Buried-Gate Static Induction Transistor and Vertical Double-Diffused MOSFET

CAI Hao^{1,2}, ZHANG Xia³, WANG Bin³, TAN Kaizhou²

(1. College of Optoelectronic Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R. China; 2. Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China; 3. The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

**Abstract:** The single-event burnout (SEB) of buried-gate static induction transistor (SIT) and vertical doublediffused MOSFET (VDMOS) were compared and studied. The drain current response before and after SEB effect and the minimum drain bias with SEB effect were simulated by using Medici Software. The results showed that the normal breakdown of SIT and VDMOS devices was 580 V and 660 V respectively. Under the gate turn-off voltage of -10 V, the critical drain voltage of SIT's SEB effect was 440 V, which was much higher than the 230 V critical drain voltage of VDMOS. The magnitude of the drain current when SEB effect occurred was  $10^{-3}$  A/ $\mu$ m and VDMOS was  $10^{-4}$  A/ $\mu$ m. The buried-gate SIT had more advantages than VDMOS in anti-SEB effect. Similar studies rarely reported in the literature. The buried-gate SIT sample was trial-produced, and the breakdown voltage was 530 V.

Key words: SIT; VDMOS; SEB; Medici

0 引 言

静电感应晶体管(SIT)和垂直双扩散金属-氧化

物-半导体场效应晶体管(VDMOS)被认为是两种较 好的高速功率器件。应用于航天、卫星、空间站等领 域的功率器件需要面对恶劣的工作环境,长期受到 高能粒子、宇宙射线群的影响^[1],单粒子效应是最主

收稿日期:2019-11-13;定稿日期:2020-01-06

基金项目:模拟集成电路国家重点实验室基金资助项目(6142802180503)

作者简介:蔡 浩(1995-),男(汉族),湖南娄底人,硕士研究生,研究方向为微电子器件与工艺。
要的电离辐射之一^[2]。大功率 VDMOS 器件在辐 射环境下容易发生单粒子烧毁效应(SEB)和单粒子 栅击穿效应(SEGR),SEB效应被普遍认为是其寄 生三极管被激活导通而引起的单粒子雪崩击穿[3]。 国外从上世纪80年代后期开始展开对功率器件 VDMOS 的 SEB 和 SEGR 效应的研究^[4]。2010 年,A. Luu 等人通过二维数值模拟的方法确定触发 器件 SEB 效应的敏感位置是外延层,并对触发平面 型 VDMOS SEB 效应的条件进行了研究^[5]。2013 年,J. L. Titus 等人提出了平面型 VDMOS SEB 效 应的评估方法,这种评估方式适用于其他器件结构 的概念[6]。国内在这一方面的研究起步较晚。2004 年,郭红霞等人对 n 沟道 VDMOS 的 SEB 效应进行 数值仿真,给出影响 SEB 灵敏度相关的参数,并提 出加固方法^[7]。2017年,刘忠永等人对4H-SiC和 6H-SiC 衬底的 VDMOS 进行了 SEB 效应对比研 究^[8]。SIT 由日本西泽润一等人发明,因具有高速、 高耐压和优异的高频特性而逐渐受到重视。兰州大 学和兰州交通大学在 SIT 理论研究和制造技术方 面达到国内先进水平[9-10]。2016年,徐丽萍等人对 SIT 进行了总剂量辐射效应的研究,并给出了改善 方法[11]。

目前,VDMOS 抗 SEB 和抗 SEGR 效应加固方 法在实际应用中尚有不足,除了对衬底材料 SiC 进 行研究外,还对新的器件结构进行了研究。SIT 是 近年发展起来的新型电力半导体器件,具有很大的 发展潜力。相对于 VDMOS,SIT 没有栅介质,也就 没有 SEGR 效应,结构更加简单,没有寄生三极管, 理论上具有比 VDMOS 更好的抗 SEB 效应的能力。 目前尚未有对这两种器件的 SEB 效应对比研究。 本文对 VDMOS 和埋栅型 SIT 的抗 SEB 效应能力 进行对比研究,首先对 VDMOS 的 SEB 失效机理和 两种器件的仿真结构进行介绍,然后对模型和仿真 程序参数进行设定,以保证结果的准确性,通过评估 两种器件对 SEB 的敏感程度来对仿真结果进行分 析与总结。该研究具有开创性。

1 单粒子烧毁效应模拟

### 1.1 VDMOS 的 SEB 失效机理

如图1所示,VDMOS内部存在寄生三极管,源极作为寄生三极管的发射极,漏极作为寄生三极管的发射极,漏极作为寄生三极管的集电极,P-body作为寄生三极管的基极。正常工作时,VDMOS的源极和P-body区的PN结处于反

偏状态,寄生三极管未导通。当重离子入射器件并 沿辐射路径产生大量电子空穴对时,会出现等离子 体丝流,在漏极偏压的作用下形成漂移电流。产生 的电子流由源区流向漏区,产生的空穴流由 P-body 区流向源区,并在 P-body 区产生压降。当 P-body 上的压降大于 PN 结阈值电压时,原本处于关闭状 态的寄生三极管将会导通,即源极和漏极之间产生 短路通道,引起寄生三极管发射极的载流子注入效 应,促进了 CIA 效应^[5](电流诱发雪崩模型),产生 更多电子空穴对,使得漏极电流持续上升从而造成 器件温度过高而烧毁,发生 SEB 效应。



图 1 VDMOS SEB 效应失效机理示意图

为了更好地说明 VDMOS 发生 SEB 效应的失 效机理,VDMOS 发生 SEB 效应后的电场分布图如 图 2 所示。可以看出,VDMOS 内部电场重新分布, 在未发生 SEB 效应时,由于 N⁻ 外延层掺杂浓度远 低于 P-body 区的掺杂浓度,耗尽层向低掺杂区扩 展,最大电场位于 P/N⁻ 界面。当高能粒子入射到 器件,器件内部会产生一个瞬态电流,使得最大电场 向 N⁻/N⁺ 衬底界面移动,最终在衬底-外延层界面 发生雪崩效应。



图 2 VDMOS 发生 SEB 效应后的电场分布图

#### 1.2 SIT 结构

本文采用的常开型 SIT 结构如图 3 所示,在栅 压为零时,沟道部分耗尽。该结构由硼扩散形成的 重掺杂栅极区域位于外延层下方,辐射粒子轰击器 件时,不能直接撞击受外延层保护的反偏压栅沟 PN 结耗尽层^[11]。VDMOS 存在寄生三极管和控制 沟道导通的栅介质,而 SIT 可以认为是简单的二极 管结构,理论上 SIT 具有比 VDMOS 更加优异的抗 SEB 能力。



图 3 埋栅型 SIT 结构

SIT本质是一种结型场效应晶体管,是一种多 子导电器件,工作频率与 MOSFET 相当,功率容量 与 VDMOS 接近,适用于高频大功率场合。对于普 通半导体器件,决定其工作特性的是中间掺杂区域, 而对于 SIT,决定其工作特性的是杂质浓度低的区 域,这种结构使静电感应晶体管具有较高的辐射 耐量^[12]。

由于 VDMOS 元胞结构几何对称,为了减少仿 真时间、提高效率,本文采用半个 VDMOS 元胞结 构进行仿真研究,其仿真结果与整个元胞仿真结果 相同^[13]。而 SIT 沟道窄而短,因此本文使用整个元 胞结构进行仿真。VDMOS 和 SIT 元胞仿真参数如 表 1 所示。

表 I VDMOS 和 SIT 元胞伤臭参数
------------------------

元胞参数	VDMOS	SIT
横向尺寸/μm	14	7
纵向尺寸/μm	50	50
栅氧化层厚度/nm	100	100
源区掺杂浓度/cm ⁻³	$2 \times 10^{19}$	$2 \times 10^{18}$
漏区掺杂浓度/cm ⁻³	$2 \times 10^{19}$	$2 \times 10^{18}$
外延层掺杂浓度/cm ⁻³	$2 \times 10^{14}$	$2 \times 10^{14}$

1.3 SEB 模型分析

Medici 软件提供单粒子效应仿真,由

PHOTOGEN 语句执行。当单粒子通过器件结构 时,离子沿其轨道释放能量,该能量沉积可近似用沿 轨道的电荷沉积来表示。为了描述离子通过的情 形,模型认为离子沿其轨迹产生一个电荷柱,可以用 连续性方程表示:

 $G_n(l, r, t) = L(l) \cdot R(r) \cdot T(t)$ (1)

式中, t 为时间, 时间依赖项可以选择 Gaussian, Delta, Uniform或Pulse。T(t)是离子的 时间分布函数, 服从高斯分布, 可表示为:

$$T(t) = \frac{2\exp\left(-\frac{t-T_0}{T_c}\right)^2}{T_c \times \sqrt{\pi} \operatorname{erfc}(-\frac{T_0}{T_c})}$$
(2)

式中, $T_c$ 为生成脉冲的特征时间, $T_o$ 为生成脉冲的时间偏移,也是高斯时间的峰值。高斯随着时间的积分被归一化,使得在脉冲持续时间内产生的总电荷保持恒定,即使 $T_c$ 或 $T_o$ 被改变。 $T_o$ 设定为 $5 \times 10^{-10}$  s, $T_c$ 设定为 $1 \times 10^{-10}$  s。

*R*(*r*)反映入射离子的横向半径分布,可以用方程来表示:

$$R(r) = \begin{cases} \exp\left[-\left(\frac{r}{R.CHAR}\right)^2\right], & R.CHAR > 0\\ 1, & R.CHAR < 0 \end{cases}$$
(3)

式中,R.CHAR 为电荷产生的特征径向距离, 设为 0.3 μm。

L(l)是入射离子的深度函数分布,与离子种类、 能量和射程有关;通过 PC. UNITS 参数来指定 SEU 曲线拟合参数单位。仿真中认为 LET 值不 变,且入射轨迹是连续的^[14],通过参数  $C_1$ 来指定, 这里设定为 1 pc/ $\mu$ m。实际上,在仿真中并没有用 LET 值直接模拟单粒子入射,而是模拟单粒子入射 器件后的效果,主要表现在沿入射路径产生大量电 子空穴对。电子空穴对的值可以通过 LET 值、轨道 半径和射程来计算(在硅材料中 100 MeV/(mg・ cm⁻²)=1.0 pc/ $\mu$ m)。

具体语句为:

PHOTOGEN X. ST = 4 X. EN = 4 Y. ST = 0Y. EN = 6 PC. UNITS C1 = 1 R. CHAR = 0.3 T0 = 5E - 10 TC= 1E - 10

为了使模拟结果更为精确,本文采用的主要模型如下:考虑载流子在高浓度下的散射影响,采用半经验迁移率模型;考虑电流流动方向受高电场的影响,采用高场迁移率模型;考虑载流子寿命随掺杂浓度的影响,采用 Shockley-Read-Hall 复合模型;同时

考虑了 Auger 复合模型、碰撞电离模型、禁带变窄 模型等。

2 仿真分析

仿真中除了 SIT 和 VDMOS 结构不同,其他仿 真条件、参数设置均保持一致。使用 Medici 软件仿 真得到的 VDMOS 和 SIT 元胞的击穿曲线如图 4 所示。可以看出,VDMOS 元胞结构耐压比 SIT 高 80 V。图 5 所示为 SIT 和 VDMOS 在导通情况下 漏极电流密度随漏极电压的变化。可以看出,在二 者为开关器件时,起始漏电流密度曲线几乎一致,导 通能力近乎一致。VDMOS 和 SIT 的 SEB 效应主 要影响因素在于器件所加的漏极偏置电压,因此在 常规特性下主要关注击穿电压,以上为两种器件进 行比较的前提。





使用 PHOTOGEN 语句仿真得到辐射后的 VDMOS漏极电流响应。仿真条件是,粒子垂直入 射器件,器件处于关断状态,栅偏压一直为 0 V。 660 V VDMOS漏极电流响应如图 6 所示,仿真了 660 V VDMOS在漏极偏压 225~250 V 下的漏极 电流响应,图 6 中 I_d 为漏极电流,t 为瞬态时间,V_d 为漏极偏压。可以看出,在重离子入射位置为 X= 4 μm处(沟道区),漏极偏压低于 230 V时,VDMOS 漏极电流增大到一个峰值并维持一段时间后回落, 寄生三极管没有导通,未发生 SEB效应。当漏极偏 压高于 235 V时(远低于击穿电压 660 V),VDMOS 在重离子入射后漏极电流增大并持续上升,直至器 件烧毁。此时,晶格温度达到 1 759 K,高于硅的熔 点,SEB效应发生。在瞬态时间为 1×10⁻⁸ s时,可 判断此时为 SEB效应发生的节点,该点处漏极电流 迅速上升或迅速衰减。





同样仿真了相同入射位置(沟道区)、入射深度、 不同漏极偏压下的 SIT 漏极电流响应,SIT 在栅偏 压为-5 V 时三个不同漏极偏压下的仿真结果如图 7 所示。漏极偏压低于 350 V 时,漏极电流随着漏 极偏压增加逐渐增大到一个峰值后迅速回落,SEB 未发生;漏极偏压高于 355 V 时,漏极电流增大并持 续上升,且晶格温度超过硅的熔点,SEB 效应发生。 在瞬态时间为 3×10⁻⁹时,可判断此时为 SIT 发生 SEB 效应的时间节点。



图 7 -5 V 栅反偏 SIT 漏极电流响应

通过 VDMOS 和 SIT 漏极偏压对比看出,耐压 更高的 VDMOS 在相同仿真条件下发生 SEB 效应 的漏极临界电压为 235 V,远低于 SIT 的 SEB 漏极临 界电压 355 V。从漏极电流来看,VDMOS 发生 SEB 效应时的起始电流为  $3 \times 10^{-4}$  A/ $\mu$ m,SIT 的起始电流为  $4 \times 10^{-3}$  A/ $\mu$ m,因此 VDMOS 发生 SEB 的漏极 开启电流更低。本文采用的是常开型 SIT,因此需要 考虑到关断程度对 SIT 的 SEB 效应的影响。SIT 样 品的源漏击穿特性测试结果如图 8 所示。



图 8 SIT 样品的源漏击穿测试曲线

图中,X 轴坐标是源漏电压,每格为 50 V,Y 轴 坐标是漏极电流,每格为 200  $\mu$ A,多根曲线是不同 的栅极偏压,V_{gs}从 0 到一10 V,SIT 源漏击穿电压 为 530 V。SIT 试制样品如图 9 所示,管芯烧结在 管壳里,没有封帽,从左至右依次为栅极、漏极和源 极。测试结果表明,栅极反偏电压越大,器件关断越 好。仿真不同栅极反向偏置电压下 SIT 发生 SEB 效应前后的漏极电流响应,如图 10 所示。在栅极偏 压为-5 V、漏极偏压为 355 V 时,SIT 发生 SEB 效 应,此时 SIT 的 SEB 临界电压为 350 V,而在栅极 偏压为-10 V,漏极偏压为 445 V 时,发生 SEB 效 应,SEB 临界电压为 440 V,此时的漏极电流为 6×  $10^{-3}$  A/ $\mu$ m。在关断程度更深的情况下,SIT 的 SEB 临界电压得到显著提高,对漏极偏压的敏感程 度降低了 20%。



图 9 SIT 试制样品图



图 10 不同栅反偏压下 SIT 的漏极电流响应

SIT 发生 SEB 效应时各电极电流成分如图 11 所示。可以看出,在 AB 段,栅源二极管反向电流大 于 B 点以前的漏极电流,此时器件电流主要受栅反 偏压影响。在 BC 段,辐射产生的电子流向正偏的 漏极,而产生的空穴流向反偏的栅极,造成栅极电位 升高,反偏程度减轻,沟道势垒下降,此时的漏极电 流逐渐增大。在 CD 段之后,辐射产生的空穴流使 得栅极反偏程度进一步降低,漏极电压增大到一定 值,沟道势垒进一步降低,由源区注入的电子可以轻 易越过势垒形成漏极电流,漏极电流迅速增大并持 续上升直至器件烧毁。此时总的漏极电流由源区注 入,且由越过沟道势垒的电子流和辐射路径上产生 的电子流共同组成。



图 11 SIT 发生 SEB 效应时各组分电流响应

### 3 结 论

本文通过 Medici 器件仿真软件对 VDMOS 和 SIT 的 SEB 效应进行了对比研究,仿真不同漏极偏 压下 SEB 效应发生前后的漏极电流响应,得到器件 的 SEB 漏极临界电压。在 VDMOS 比 SIT 耐压高 80 V 的情况下,SIT 发生 SEB 效应的漏极临界电压 比 VDMOS 反而高了 120 V。在关断程度更深的情 况下,SIT 发生 SEB 效应的漏极临界电压比 VDMOS高了 210 V,此时漏极电流为  $10^{-3}$  A/ $\mu$ m 量级,高于 VDMOS 漏极电流的  $10^{-4}$  A/ $\mu$ m 量级, SIT 对 SEB 漏极偏压的敏感程度下降了 20%。这 说明 SIT 比 VDMOS 具有更高的抗 SEB 效应的能 力。本文研究结果可为抗辐射功率器件研究提供新 的方向,后续的工作将围绕 SIT 的 SEB 失效机制及 单粒子试验展开。

### 参考文献:

- [1] 吴驰,毕津顺,滕瑞,等. 复杂数字电路中的单粒子效应建模综述 [J]. 微电子学, 2016, 46(1): 117-123.
- [2] 王长河. 单粒子效应对卫星空间运行可靠性影响 [J]. 半导体情报, 1998, 35(1): 1-8.
- [3] HOHL J H, GALLOWAY K F. Analytical model for single event burnout of power MOSFETs [J]. IEEE Trans Nucl Sci, 1987, 34(6): 1275-1280.
- [4] DACHS C, ROUBAUD F, PALAU J M, et al. Evidence of the ion's impact position effect on SEB in N-channel power MOSFETs [J]. IEEE Trans Nucl Sci, 2002, 41(6): 2167-2171.
- [5] LUU A, AUSTIN P, MILLER F, et al. Sensitive volume and triggering criteria of SEB in classic planar VDMOS [J]. IEEE Trans Nucl Sci, 2010, 57 (4): 1900-1907.
- [6] TITUS L J. An updated perspective of single event gate rupture and single event burnout in power

MOSFETs [J]. IEEE Trans Nucl Sci, 60 (3): 1912-1928.

- [7] GUO H X, CHEN Y S, ZHANG Y M, et al. Twodimensional numerical simulation of the effect of single event burnout for n-channel VDMOSFET [J]. Nucl Elec Detection Technol, 2004, 24(6): 608-611.
- [8] 刘忠永,蔡理,刘小强,等. 4H-SiC 和 6H-SiC 功率 VDMOSFET 的单粒子烧毁效应 [J]. 微纳电子技术, 2017, (2): 80-85.
- [9] 李思渊,孙卓,刘肃,等.静电感应晶体管(SIT)作用 机制的理论研究 [J]. 电力电子技术,1994,(2): 34-38.
- [10] 王富强. 静电感应晶体管的研究与仿真 [D]. 兰州: 兰州交通大学, 2015.
- [11] 徐丽萍. 静电感应晶体管抗辐射特性的研究与提高 [D]. 兰州: 兰州交通大学, 2016.
- [12] 西泽润一,村冈公裕,龙田正隆. 图解静电感应器件 [M]. 北京:科学出版社,1998.
- [13] XIN W, WEI S Z, REN S, et al. SEB hardened power MOSFETs with high-k dielectrics [J]. IEEE Trans Nucl Sci, 2015, 62(6): 2830-2836.
- [14] ZERARKA M, AUSTIN P, TOULON G, et al. Behavioral study of single-event burnout in power devices for natural radiation environment applications
  [J]. IEEE Trans Elec Dev, 2012, 59 (12): 3482-3488.

第 50 卷 第 5 期	微 电 子 学	Vol. 50, No. 5
2020年10月	Microelectronics	Oct. 2020

# 0.25 μm 栅长 GaAs pHEMT 栅极高温及关态 应力退化机理

麻仕豪¹,化 宁¹,张 亮¹,王茂森¹,王 佳² (1. 上海航天电子技术研究所,上海 201109; 2. 上海航天技术研究院,上海 201109)

**摘 要:** GaAs 赝配高电子迁移率晶体管(pHEMT)的关态栅极漏电流取决于温度与电应力环 境。研究了高温与电应力对 0.25 μm GaAs pHEMT 肖特基特性的影响。该 pHEMT 的反向偏置 栅极漏电流主要受陷阱辅助发射机制和隧穿电流机制的影响。建立模型,对不同温度下栅极漏电 流曲线进行拟合,结果表明,栅极漏电流在常温下由隧穿电流机制主导,在高温下由陷阱辅助发射 机制主导。在高温关态应力下对栅极漏电流随应力时间变化的过程进行表征,从时间层面再次验 证了两种机制在不同温度下发生转变的过程。

关键词: 砷化镓; 赝配高电子迁移率晶体管; 栅极漏电流; 漏电机制
 中图分类号:TN386
 文献标识码:A
 文章编号:1004-3365(2020)05-0761-05
 DOI:10.13911/j.cnki.1004-3365.200206

## Gate Degradation Mechanism of 0. 25 µm GaAs pHEMT Under High Temperature and Off-State Stress

MA Shihao¹, HUA Ning¹, ZHANG Liang¹, WANG Maosen¹, WANG Jia²

Shanghai Institute of Aerospace Electronics Technology, Shanghai 201109, P. R. China;
 Shanghai Academy of Spaceflight Technology, Shanghai 201109, P. R. China)

**Abstract:** The off-state gate leakage current of GaAs pseudocrystal high electron mobility transistor (pHEMT) depends on the temperature and electrical stress environment. The effects of high temperature and electrical stress on the Schottky properties of 0. 25  $\mu$ m GaAs pHEMT were investigated. The reverse bias gate drain current of the pHEMT was mainly affected by trap assisted emission mechanism and tunneling current mechanism. The model was built to fit the gate leakage current curve at different temperatures. The results showed that the gate leakage current was dominated by the tunneling current mechanism at normal temperature and the trap assisted emission mechanism at high temperature. Furthermore, the gate leakage process with the change of stress time was characterized under the high temperature stress, and the transition process of two mechanisms at different temperatures was verified again according to the response time.

Key words: GaAs; pHEMT; gate leakage; leakage mechanism

0 引 言

相对于传统 Si 基半导体器件, GaAs pHEMT 具有高速、低功耗、高工作温度和抗辐射等优势, 被

广泛应用于通信、航天、计算机等领域^[1-3]。随着器件尺寸不断变小,器件内部电场强度增加,受到的电应力不断增强,器件在长时间高温工作环境下出现性能退化现象。其中,栅极漏电流是器件退化的主要因素之一^[4-5]。HEMT导带沟道中的二维电子气

收稿日期:2020-05-10;定稿日期:2020-06-08

作者简介:麻仕豪(1989-),男(汉族),河南濮阳人,硕士研究生,研究方向为微波电路设计。

(2DEG)通常由肖特基接触的栅极来控制其开启与 关断,在一些负偏压较大的设备上栅极必须保持常 关状态。因此,栅极漏电流是待机功耗、可靠性等特 性的重要影响因素。

GaAs pHEMT 的工作环境条件为高结温、大 电流。栅金属与半导体在高温下相互作用扩散到 GaAs,使得有效掺杂浓度降低,有源沟道深度减小, 出现栅金属下沉现象^[6-7]。栅金属与半导体材料之 间的界面缺陷在高温作用下形成导电通道,出现漏 电流现象^[8]。上述现象使得器件的击穿电压、效率 降低,甚至导致器件烧毁、失效。目前,关于 GaAs pHEMT 热载流子的退化研究集中于高栅压、低漏压 应力和低栅压、高漏压应力下的退化机理分析。关 于最坏栅压应力下热载流子的退化机理以及环境温 度对可靠性影响的研究还很少。

高温应力加速退化实验是评估器件退化的最直 接有效的方式^[9-10]。本文研究了高温环境、恒定应 力、阶梯应力下器件肖特基特性的退化机理。对不 同温度下栅极漏电流的相应现象进行了观测,分析 了不同温度引起的栅极漏电机制。研究结果表明, GaAs pHEMT 的关态栅极漏电流由陷阱辅助发射 (Poole-Frenkel,PF)机制^[11-12]和电流隧穿(Fowler-Nordheim,FN)机制^[13]共同决定。在器件从低温到 高温的转变过程中,有效地观测到漏电机制的转变。 PF 机制产生的原因是半导体中很多被陷阱俘获的 电子通过热激发,脱离陷阱后发射进入导带而形成 漏电流。PF 机制适用于高温下栅极电流传导。FN 机制原因是强电场作用下的隧道效应,使得大量电 子从价带穿过禁带进入导带而引起击穿。FN 机制 适用于低温下栅极电流传导。

1 器件结构与测试方法

GaAs pHEMT 的平面结构与工作原理如图 1 所示。本次实验样品为 0.25 μm 栅工艺制作的商 用器件,栅材料为 Ni/Au,栅宽为 180 μm,表面钝化 层为氮化硅层,工作频率为 DC~20 GHz。

采用 Keithley 4200 半导体参数分析仪与真空 低温探针台相连搭建的测试平台,测量器件在不同 温度下的直流特性。选取 2 只样品分别进行常温、 变温下的直流测试,变温范围为 300 K~475 K(间 隔为 25 K)。



图 1 GaAs pHEMT 的平面结构与工作原理示意图

采用 Agilent B1500 半导体参数分析仪与探针 台相连搭建的测试平台,测量器件常温、高温下的恒 定应力、阶梯应力,得到直流特性参数。选取 3 只样 品进行高温应力实验。将 1 号样品进行关态漏极阶 梯应力实验,将 2 号样品进行关态高场应力实验,将 3 号样品进行高温应力复合退化实验。对 375 K、 425 K、475 K 三个温度点进行高温电应力测试。

2 实验结果与讨论

### 2.1 器件高温可靠性

通过改变探针台的温度对器件进行高温测试。 肖特基直流特性的测试条件为:栅极电压 $V_g = -10$ ~1 V,漏极电压 $V_d = 0$  V。温度点为 300 K~475 K, 每隔 25 K 取一个温度点。不同温度下反向栅极漏 电流  $I_{gs}(V_g = -10$  V)与栅极导通电流  $I_{gmax}(V_g = 1$  V)如表 1 所示。

温度/K	$I_{\rm gs}/({\rm mA}\cdot{\rm mm}^{-1})$	$I_{\rm gmax}/({ m mA}\cdot{ m mm}^{-1})$
300	0.12	68
325	0.13	118
350	0.15	117
375	0.21	52
400	0.22	58
425	0.21	82
450	0.25	64

表 1 不同温度下  $I_{gs}$ 与  $I_{gmax}$ 

不同温度下栅极的肖特基特性对比如图 2 所示。可以看出,在不同温度下,栅极均表现出良好的整流特性。随着温度不断上升,栅极反向漏电流不断增加,正向导通电流也呈增大趋势。原因是温度升高后沟道内热电子受热后被激发,发生剧烈运动,导致栅极肖特基特性暂时退化。此时,肖特基发射和热电子发射电流占主导。

在测试条件为 $V_g = -2 \sim 1 V_v V_d = 0 \sim 6 V \mathcal{D}$ 测试温度点为 300 K  $\sqrt{475}$  K 的条件下,器件高温退 化前后的输出特性对比如图 3 所示。可以看出,器 件表现出良好的输出特性。475 K 时的饱和漏电流  $I_{ds}$ 相对于 375 K 时的饱和漏电流无明显退化。  $V_d=2$  V 时提取  $I_{ds}$ ,得出漏电流流减小的幅度,为 27.3%。这表明器件在实验过程中产生了饱和源漏 电流退化,原因是栅金属沉降效应和表面效应。



日。 同価匠化的口的棚口的住外比

不同温度下器件的转移特性如图 4 所示。可以 看出,随着温度升高,跨导逐渐下降,亚阈值特性变 差。跨导峰值的降低主要源于栅控特性的退化。亚 阈值摆幅随着温度的升高逐渐增加。原因是器件的 开关作用受到温度影响而降低。从图 2 可知,温度 上升过程中,栅极关态漏电流的上升呈加速增长趋 势。从图 4 可知,亚阈值特性出现与关态漏电流相 同的规律。

进一步提取  $V_g = -4$  V 时的栅极关态漏电流, 其随温度的变化曲线如图 5 所示。整个曲线划分为 三个区域,即 Reg-I 区、Reg-II 区、Reg-III 区,对应 的温度范围为 300 K~375 K、375 K~425 K、425 K ~475 K,对应的栅极漏电流增长率分别为  $k_1$ 、 $k_2$ 、  $k_3$ 。从图 5 可知, $k_1 < k_2 < k_3$ 。

PF 机制是半导体器件中最常见的导电机制,表达式为:

$$J_{\rm PF} = CE \exp\left(-\frac{q\left(\varphi_{\rm t} - \sqrt{qE/(\pi\varepsilon_{\rm i})}\right)}{kT}\right) \tag{1}$$

式中,C、E为常数,q为电荷量, $\varphi$ ,为陷阱态电 子发射的势垒高度, $\epsilon$ ,为介电常数,k为波尔兹曼常数,T为温度。为了分析漏电流随温度的变化规律, 将式(1)改写为:

$$\ln J_{\rm PF} = \frac{q}{kT} \left( \sqrt{\frac{qE}{\pi\epsilon_i}} - \varphi_t \right) + \ln (CE)$$
 (2)

高温下关态漏电流随温度的变化曲线及根据 PF导电机制拟合的曲线如图 6 所示。



在 $V_g = -4$  V 时,通过 ln  $J_{PF}/(kT^{-1})$ 线性拟 合模型可知,实验数据在高温段的拟合度比常温段 (虚线区域)更高。常温段时,实验数据与 PF 电流 理论值之间的偏差很大。因此可知,高温下漏电机 制主要为 PF 发射机制,常温下漏电机制主要为 FN 隧穿机制。这解释了图 5 中漏电流逐渐加速上升的 现象。在 Reg-I 区,漏电机制主要为 FN 隧穿机制; 在 Reg-II 区,先是为 FN 隧穿与 PF 发射的混合机 制,随着温度上升,渐变为 PF 发射机制;在 Reg-III 区,漏电机制为 PF 发射机制。原因是,温度逐渐升 高后,沟道内的电子浓度逐渐增加,热运动愈发剧 烈,一些陷阱中的电子受热激发,与沟道内的热电子 一起冲击肖特基势垒,使得栅极肖特基特性退化,从 而在高温下出现可靠性问题。

### 2.2 高温应力下的栅极特性

不同阶梯应力下栅极关态漏电流对比如图 7 所示。应力时间分别为 5,10,15,20 min。可以看出,随着阶梯应力的增加,栅极关态漏电流逐渐增加。 这进一步验证了肖特基特性在阶梯应力下的微弱 退化。

不同应力时间下栅极关态漏电流对比如图 8 所 示。 $V_d$ =8 V,时间点分别为1,2,5,10,20,50,100, 200,500,1 000 s。可以看出,随着应力时间的增加, 栅极关态漏电流先快速增加随后缓慢增加,在1 000 s 时仍有继续增加的趋势。原因是,应力时间的增加 会引入新陷阱,促使栅极漏电通道的形成,从而使栅 极漏电流持续增大。

为了探究高温应力对栅极肖特基特性的复合影响,选择了3个温度点对栅极关态漏电流进行监测。 不同温度与应力时间下栅极关态漏电流对比如图9 所示。



图 7 不同阶梯应力下栅极关态漏电流对比





图 9 不同温度与应力时间下栅极关态漏电流对比

可以看出,随着应力时间的增加,栅极漏电流先 快速增加随后缓慢减小,最后趋于平稳。在 375 K 下,栅极漏电流由  $3.3 \times 10^{-2}$  mA/mm 增加至 $6.0 \times 10^{-2}$  mA/mm;在 425 K 下,栅极漏电流由  $7.2 \times 10^{-2}$  mA/mm;在 475 K下,栅极漏电流由  $11 \times 10^{-2}$  mA/mm;在 475 K下,栅极漏电流由  $11 \times 10^{-2}$  mA/mm 增加至 14. $6 \times 10^{-2}$  mA/mm。

在三个温度区范围内,栅漏电流相对增加率分 别为45%、63%、33%。原因是,高温下沟道热电子 的发射和电应力下内部固有陷阱对电子的俘获,使 得器件的直流特性退化,从而降低了肖特基势垒。 从图9还可以看出,常温时栅极漏电流的增加率比 高温时更快。原因是,FN 隧穿机制的响应时间比 PF 发射机制更短。

### 3 结 论

本文研究了 GaAs pHEMT 栅电极的高温及应 力可靠性问题。随着工作温度升高,GaAs pHEMT 的输出特性、转移特性、肖特基特性均有不同程度的 退化,主要表现为最大饱和电流、最大跨导的下降。 温度不断升高,2DEG 密度增加,2DEG 迁移率明显 下降,从而导致器件的饱和电流下降。关态时,器件 漏电机制为 PF 发射和 FN 隧穿的混合机制。常温 下栅漏电流主要由 FN 隧穿机制主导,高温下栅漏 电流主要由 PF 发射机制主导。GaAs pHEMT 在 高温、关态电应力下的漏电流比只有高温时稍有增 加,这验证了关态电应力对器件退化的影响。

### 参 考 文 献:

- [1] PASWAN R K, PANDA D K, LENKA T R. Dielectric modulated AlGaAs/GaAs HEMT for label free detection of biomolecules [J]. Phys Semicond Dev, 2019, 215(1): 709-715.
- [2] THISARA K, LEONID B, JAMES W H. 400-to-800-MHz GaAs pHEMT-Based wideband LNA for radioastronomy antenna-array feed [J]. IEEE Micowave & Wireless Compon Lett, 2018, 28(10): 909-911.
- [3] BINARI S C, IKOSSI K , ROUSSOS J A, et al. Trapping effects and microwave power performance in AlGaN/GaN HEMTs [J]. IEEE Trans Elec Dev, 2001, 48(3): 465-471.
- [4] ALIM M A, ALI M M, REZAZADEH A A. Nonlinear distortion analysis for single heterojunction GaAs HEMT with frequency and temperature [J]. Semicond Sci & Technol, 2018, 33(7): 1-7.
- [5] CHAN Y J, PAVLIDIS D, RAZEGHI M, et al. Ga (0.51)/In(0.49) P/GaAs HEMT's exhibiting good electrical performance at cryogenic temperatures [J].

IEEE Trans Elec Dev, 2002, 37(10): 2141-2147.

- [6] BENNETT B R, CHICK T F, BOOS J B, et al. Strained InGaAs/InAlAs quantum wells for complementary III-V transistors [J]. J Cryst Growth, 2014, 388(2): 92-97.
- [7] 许燕,黄云,邓文基. GaAs PHEMT 器件栅金属下沉 效应及其对性能的影响 [C] // 中国电子学会青年学 术年会. 广州,中国. 2008: 107-111.
- [8] 许燕,黄云,邓文基. GaAs PHEMT 器件的失效模式 及机理[J]. 电子产品可靠性与环境试验,2007,25 (6):19-22.
- [9] LIN J F, LIU H X, WANG S L, et al. Effect of the high-temperature off-state stresses on the degradation of AlGaN/GaN HEMTs [J]. Electronics, 2019, 8 (11): 1339-1347.
- [10] WU Z X, FU G C, GU H T. Electro-thermal effect analysis on GaAs PHEMT based on physical model
   [J]. Advan Mater Resear, 2013, 842(11): 192-195.
- [11] KAZANIN M M, KAMINSKI V V, GREVTSEV M A. On the Poole-Frenkel effect in polycrystalline europium sulfide [J]. Semicond, 2019, 53 (7): 872-874.
- [12] KATZENMEYER A, LEONARD F, TALIN A A, et al. Poole-Frenkel effect and phonon-assisted tunneling in GaAs nanowires [J]. Nano Lett, 2010, 10(12): 4935-4938.
- [13] OKADA Y, IUCHI Y, KAWABE M, et al. Basic properties of GaAs oxide generated by scanning probe microscope tip-induced nano-oxidation process [J]. J Appl Phys, 2000, 88(2): 1136-1140.

# 1.2 kV 碳化硅 MOSFET 瞬态可靠性研究

钟 炜,张有润,李坤林,杨 啸,陈 航(电子科技大学电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 随着碳化硅 MOSFET 器件在功率变换领域的广泛应用,碳化硅 MOSFET 器件的瞬态 可靠性问题成为研究热点。文章主要研究了 1 200 V SiC MOSFET 瞬态可靠性的测试与表征。 通过搭建短路和 UIS 测试通用的测试平台进行实验,对短路和 UIS 失效机理进行分析。通过对商 用器件进行重复性测试,研究器件在两种瞬态可靠性测试下性能退化情况,对器件内部退化机理 进行合理的分析。

关键词: 碳化硅 MOSFET; 瞬态可靠性; 短路; UIS
 中图分类号:TN386.1; TN306
 文献标识码:A
 DOI:10.13911/j.cnki.1004-3365.190681

**文章编号:**1004-3365(2020)05-0766-05

## Study on Transient Robustness of 1.2 kV SiC MOSFETs

ZHONG Wei, ZHANG Yourun, LI Kunlin, YANG Xiao, CHEN Hang

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

**Abstract:** With the wide application of silicon carbide MOSFET devices in the field of power conversion, the transient reliability of silicon carbide MOSFET devices has become the focus of research. In this paper, the test and characterization of 1 200 V SiC MOSFET transient reliability were researched. The failure mechanism of short circuit and UIS was analyzed by building a universal test platform for short circuit and UIS test. Through the repeatability test of commercial devices, the performance degradation of devices under two reliability tests was studied, and the degradation mechanism of devices was analyzed reasonably.

Key words: SiC MOSFET; transient robustness; short circuit; UIS

0 引 言

经过不断研究探索,SiC 功率 MOSFET 在制造 技术方面取得了重大进步。SiC 功率器件正在进入 大型市场应用,例如汽车、高铁、飞机电机和能源分 配网络,推动了与应用相关的性能与可靠性研 究^[1-6]。在绝大多数电力电子应用中,功率器件主要 用于导通和截止状态之间的切换,为了获得最佳效 率,需要降低开关损耗,并且减少过冲情况^[7]。针对 安全工作区(SOA)的功率器件的工作状态示意图 如图1所示。导通和截止状态之间的转换可以遵循 各种轨迹进行,目的是根据需要来调整开关性能,例 如软开关技术和谐振变换。但在实际应用中,器件 还需要安全地承受许多在SOA以外的瞬时情况,例 如非箝位感性负载开关(UIS)、短路(SC)以及固态 状态电流调节和限制,即在足够长的时间间隔内短 路,以实现保护电路的干预,以及过流关断能力至少 是标称额定电流的两倍等。在 UIS 中,雪崩耐受性 和寄生参数的功耗也是重要的影响因素。针对所述

收稿日期:2019-12-07;定稿日期:2020-01-20

基金项目:国家重点研发计划(2016YFB0400403)

作者简介:钟 炜(1994—),男(苗族),湖南邵阳人,硕士研究生,研究方向为 SiC 功率器件可靠性。 张有润(1980—),男(汉族),安徽合肥人,副教授,研究方向为第三代半导体碳化硅(SiC)器件和硅基光电集成电路。 通信作者。

问题,已有文献对 Si 器件进行了深入研究,但是 SiC 的物理特性仍需专门研究。



本文搭建了短路与 UIS 的测试平台,选取两种 商用的 1.2 kV SiC MOSFET 器件进行测试,研究 重复性瞬态测试对器件性能退化的影响。

1 短路与 UIS 失效的基本原理

### 1.1 短路失效的基本原理

与以前的 Si 基 IGBT 相比, SiC MOSFET 拥有 更低的导通电阻、更高的阻断电压和工作结温,并且 在关断过程中 SiC MOSFET 几乎没有拖尾电流,这 可以降低开关损耗,提高开关速度,而更快的开关速 度意味着更大的 du/dt 电压变化率[8-10]。当器件导 通时,同一桥臂中施加在互补器件上的 du/dt 将会 非常高,Miller 电容放电会在栅电阻上产生压降。 如果电压超过了阈值电压,原本关断的互补器件将 产生误导通,从而导致上下桥臂发生直通。功率器 件的短路故障模式可分为两种,分别是硬开关短路 (Hard Switching Fault, HSF)和带负载短路(Fault Under Load, FUL)。HSF 是指在负载已经短路的 情况下,开关管开启时引发的故障;FUL 是指在开 关管完全导通时,负载突然短路而引发的故障^[11]。 在硬开关短路模式下 SiC MOSFET 短路特性测试 原理图如图2所示。

SiC MOSFET 短路过程示意图如图 3 所示。

1)时间段  $1(t_1 \sim t_2)$ 。 $t_1$ 时刻, SiC MOSFET 导 通,母线电压经短路电感直接施加在 DUT 两端,测 试电路的主回路上只存在很小的阻抗,致使 SiC MOSFET 电流迅速上升。尽管 DUT 漏源极两端 电压会因寄生电感出现略微降低,但由于大电流, DUT 将由截止区进入到饱和区。该状态下,器件的 沟道载流子迁移率与温度呈正相关,致使短路电流 持续增大。



图 2 硬开关短路模式下短路特性测试原理图



图 3 SiC MOSFET 短路过程示意图

2)时间段 2( $t_2 \sim t_3$ )。在此时间段,DUT 工作 在饱和区。DUT 的漏极-源极电压约为 DC 总线电 压,此时的短路电流较大,因此 DUT 的功率损耗较 大,器件的结温迅速升高,沟道载流子迁移率降低, 致使流过 SiC MOSFET 的电流减小,di/dt呈现负 斜率。

3)时间段 3(t₃~t₄)。在此时间段,温度升高, 器件通过沟道的电流小于热电离激发的电流,导致 短路电流出现正反馈,器件结温进一步升高。

4)时间段 4(t₄~)。t₄时刻,DUT 进入关断状态,短路电流也随之减小到零,器件会呈现出两种状态:①短路时间在 SOA 范围内,DUT 安全地被关断,漏极电流逐渐减小到零;②短路能量 E_{sc}超过器件的最大耐受能量,导致待测器件发生热崩。

实验过程中,在 t₄ 时刻,如果器件仍然正常关 断,则继续增加脉冲持续时间 t_p直至器件发生短路 失效。设定从时刻 t₁到 t₄的驱动信号持续时间为短 路耐受时间 t_{sc}:

 $t_{\rm sc} = t_4 - t_1 \tag{1}$ 

如果器件在 t₄ 时刻关断以后发生失效,则定义 在 t₁~t₄时间内器件产生的能量为最大短路耐受 能量:

$$E_{sc} = \int_{t_1}^{t_4} U_{ds} i_d dt \tag{2}$$

### 1.2 UIS 失效的基本原理

与短路一样,UIS 失效也是功率 MOSFET 主要的安全问题之一。UIS 失效往往可以看作是MOSFET 中的寄生体二极管发生了雪崩击穿,从而导致反向泄露电流迅速增加,致使器件的结温超过热击穿的临界温度。功率 MOSFET 的 UIS 测试根据美军标 MIL-STD-750C/3470 的标准实施,UIS 测试原理图如图 4 所示。



图 4 UIS 测试原理图

单次 UIS 测试典型波形图如图 5 所示, Ugs 是栅 极电压,  $I_{ds}$  是漏源电流,  $U_{ds}$  是DUT的漏源电压。 宽度为t_p的脉冲信号输入到DUT的栅极,使该 DUT 导通,此时高压电源在电源电压的作用下为电 感线圈充电。当导通电流升高至器件的峰值电流 时,DUT将被关断。电感电流不能突然改变,电感 电流在开关瞬间将保持原来的大小和方向,导通回 路将通过续流二极管继续导通。此时,电感器线圈 中快速变化的电流将线圈两端产生的所有感应电动 势施加在 DUT 上,迫使 DUT 短暂地进入雪崩击穿 状态。如果脉冲时间短,DUT 的工作状态是可以恢 复的,如图5中实线表示。当增加脉冲时间的宽度, 电流大于一定值时,SiC MOSFET 会被完全损坏, 如图 5 中虚线表示。一般来说, SiC MOSFET 单脉 冲 UIS 压力极限能力的衡量指标用最大雪崩击穿 耐受能量来代替,即使用手册中常用的 E_{As}参数。 从电路的工作过程中,可知 E_{AS}是电感器存储的能 量。选取需要的电感量后, E_{AS}的大小将由流过器件 的峰值电流确定:

$$E_{\rm AS} = \frac{1}{2} L I_{\rm A}^2 \frac{B V_{\rm DSS}}{B V_{\rm DSS} - V_{\rm DD}} \tag{3}$$

2 实验平台

搭建的 SiC MOSFET 可靠性测试平台如图 6 所示,使用的直流母排电容为 1 000 μF/400 V。 1 MHz时 PCB 电路板的杂散电感为 200 nH,寄生 电感电阻为 200 nH 和 10 mΩ。测试过程中,FPGA 或函数发生器产生宽度为  $t_p$  的可控单脉冲信号,通 过驱动板直接驱动 DUT。在短路和 UIS 测试过程 中,给 UG 施加正向电压为 20 V 的短路脉冲,脉冲 持续时间为  $t_p$ ,驱动电阻为  $R_g$ 。在测试过程中,同 时测量待测器件的栅源电压  $V_{gs}$ 、漏源电压  $V_{ds}$ 和漏 源电流  $I_{ds}$ 。







图 6 实验平台

测试采用型号为 62EM1 的驱动板以及单片机 控制电路,可控制栅电压的开启和关断。栅极的开 启电压为 20 V,关断电压为-5 V。函数发生器采 用泰克 AFG3000,示波器采用力科 HDO6034A。 由于电压需求不同,高压探头采用两种型号,分别是 力科 APD305 和 HVD3026A。电流测试采用高精 度分流电阻 SDN-414-01。

### 3 测试结果以及分析

### 3.1 短路测试结果

选用的测试芯片为 Cree 公司的 C2M0040120D 1 200 V/60 A 器件,导通电阻为 40 m $\Omega$ 。对芯片进 行五次重复性短路测试。测试条件为:母线电压为 400 V,脉冲宽度为 10  $\mu$ s,栅电阻为 47  $\Omega$ ,栅极的开 启电压为 20 V,关断电压为-5 V。为了保证在短 路过程中电流可快速达到较大的值,在 DUT 的漏- 源极两端短接了一个 30 nH 的粗短铜排 Lsc。

进行 5 次短路测试后,将初始的测试曲线与 5 次测试后的曲线进行对比。漏源电流 I_{ds}和栅源电压 U_{gs}对比图如图 7、图 8 所示。



图 8 栅源电压 Ugs 对比图

可以看出,经过5次重复性的实验之后,短路峰 值电流下降了4A,但栅源电压没有明显退化。为 了进一步探究重复性实验对器件的影响,对器件测 试前后的静态性能进行对比。静态测试对比结果如 表1所示。

经过重复性测试后的器件静态参数中,阈值 电压 V_{th}和漏极泄漏电流 *I*_{dss}有较明显的变化。经 过重复性测试后器件的阈值电压升高 0.2 V,漏极 泄漏电流增加了一倍以上。原因是在重复性的短 路测试后,沟道和 JFET 区会产生大量的热量,使 器件在栅氧化层发生电子注入,最终导致阈值电 压升高。

表1 静态测试结果

参数	$V_{ m th}/{ m V}$	$I_{\rm dss}/{\rm nA}$	$R_{ m on}/{ m m}\Omega$	BV/V
测试前	2.8	7.3	118	1 680
测试后	3	17.4	123	1 683

为了研究退化的发生机理,进行了 TCAD 仿 真,仿真所用元胞结构与待测器件一致。所示元胞 在 I-V、BV特性上均与待测器件一致,故使用该元 胞进行了有关短路测试的电热仿真。电热仿真条件 与测试条件基本相同,测试的母线电压为 400 V,栅 开启电压为 20 V,关断电压设为 0 V,由于仿真是理 想情况,无需调整关断栅压至-5 V。

图 9 所示为 7 µs 关断时短路电流与晶格温度 的曲线,可以看出,在 7 µs 时芯片的晶格温度达到 1 000 K 以上。图 10 所示为 7 µs 处器件晶格温度分 布,可以看出,温度集中的位置在沟道以及 JFET 区 处,导致了阈值电压的退化。



图 9 短路仿真电流与仿真晶格温度曲线图



图 10 7 µs 处器件晶格温度分布图

### 3.2 UIS 测试结果

选用的测试芯片为瀚薪 H1M120F060 1 200 V/ 41 A 器件。导通电阻为 60 mΩ。测试条件为:母线 电压为 50 V,脉冲宽度为 500 μs,峰值电流为 3.3 A,电感为 10 mH,重复 3 000 次 UIS 实验,实验间隔为 2 s。

表 2 静态参数对比

参数	$V_{\rm DSS}/{ m V}$	$V_{\mathrm{TH}}/\mathrm{V}$	$R_{ m don}/\Omega$	$V_{ m FSD}/{ m V}$	$I_{\rm DSS}/{ m nA}$
UIS 前	1 507	2.47	0.132 3	4.21	320
3 000 次 UIS 后	1 521	2.57	0.139	4.21	1 450

通过对比测试之后的静态参数,可以看到, 3000次UIS之后,器件的阈值电压V_{th}增加了0.1V, 反向泄露电流 I_{dss}增加了五倍。静态参数变化与重 复性短路测试的结果相似,但3000次UIS测试之 后的漏极泄漏电流明显增加,阈值电压的退化与5 次短路测试之后的结果一致。发生退化的原因是材 料本身的缺陷。SiC材料的外延层最常见的缺陷是 基底平面脱位(Basal Plane Dislocation, BPD)引发 的堆叠层错。BPD缺陷会在SiC材料的禁带中引 入一种距离导带 0.2~0.3 eV 的陷阱能级,从而极 大地降低载流子的寿命。

对芯片的特征电容进行测试,栅源电压 V_{Gs}设 置为 0 V,漏源电压 V_{Ds}设置为 800 V,频率为 1 MHz。测试结果如表 3 所示。结果表明,在 3 000 次 UIS 测试之后,器件的电容特性无明显退化,说 明 3 000 次 UIS 对器件的电容没有造成影响。

参数	$C_{\rm iss}/{ m pF}$	$C_{ m oss}/{ m pF}$	$C_{ m rss}/{ m pF}$
UIS 前	882	68	15
3 000 次 UIS 后	874	59	11

表 3 动态参数对比

## 4 结 论

本文主要研究1200 V SiC MOSFET 可靠性的 测试与表征。通过对短路和 UIS 失效进行机理分 析,搭建短路和 UIS 测试通用的测试平台。对商用 器件进行了重复性测试,研究器件在两种可靠性测 试下的性能退化情况,研究发现,重复性短路测试与 重复性 UIS 测试导致器件退化的机理存在异同。 两者均使得器件阈值电压升高,短路测试仅需5次 就使得器件阈值电压升高0.1 V,因此,阈值电压的 升高与短路时产生的高温密切相关。通过 TCAD 仿真进行验证。结果表明,重复性 UIS 测试导致的 漏极泄漏电流明显增加是由 BPD 缺陷引起的。

### 参考文献:

- [1] RABKOWSKI J, PEFTITSIS D, NEE H. Silicon carbide power transistors: a new era in power electronics is initiated [J]. IEEE Indust Elec Mag, 2012, 6(2): 17-26.
- [2] OTHMAN D, BERKANI M, LEFEBVRE S, et al. Comparison study on performances and robustness between SiC MOSFET & JFET devices - abilities for aeronautics application [J]. Microelec Reliab, 2012, 52(9-10): 1859-1864.
- [3] FAYYAZ A, CASTELLAZZI A. Performance and robustness testing of SiC power devices [C] // PEMD. Bristol, UK. 2012: 1-5.
- [4] CASTELLAZZI A, FUNAKI T, KIMOTO T, et al. Thermal instability effects in SiC power MOSFETs
   [J]. Microelec Reliab, 2012, 52(9-10): 2414-2419.
- [5] RICCIO M , CASTELLAZZI A , DE FALCO G, et al. Experimental analysis of electro-thermal instability in SiC power MOSFETs [J]. Microelec Reliab, 2013, 53(9-11): 1739-1744.
- [6] YANG L, CASTELLAZZI A. High temperature gatebias and reverse-bias tests on SiC MOSFETs [J]. Microelec Reliab, 2013, 53(9-11): 1771-1773.
- [7] MAXIME B, REMY O, THIBAULT C, et al. Electrical performances and reliability of commercial SiC MOSFETs at high temperature and in SC conditions [C] // EPE'15 ECCE-Europe. Geneva, Switzerland. 2015; 1-9.
- [8] 王学梅. 宽禁带碳化硅功率器件在电动汽车中的研究
   与应用[J]. 中国电机工程学报, 2014, 34(3): 371-379.
- [9] BIELA J, SCHWEIZER M, WAFFLER S, et al. SiC versus Si-evaluation of potentials for performance improvement of inverter and DC-DC converter systems by SiC power semiconductors [J]. IEEE Trans Ind Elec, 2011, 58(7): 2872-2882.
- [10] ALEXAKIS P, ALATISE O, HU J, et al. Improved electrothermal ruggedness in SiC MOSFETs compared with silicon IGBTs [J]. IEEE Trans Elec Dev, 2014, 61(7): 2278-2286.
- [11] 徐克峰,秦海鸿,刘清,等. SiC 功率开关管短路特性 分析及保护综述 [J]. 上海电机学院学报,2016(19): 259-270.