ISSN 1004-3365 CN 50-1090/TN CODEN:WEIDFK



期刊网址,www.mjcroelec.cn

ISSN 1004-3365

微电子学

Weidianzixue

第51卷 第1期 2021年2月

目 次

・电路与系统设计・

基于 65 nm CMOS 工艺的 2 阶温度补偿全 CMOS 电压基准源 杨 晗,侯晨琛	,钟泽	,谢家志,廖书丹(1)
一种可配置的电容-电压转换电路 朱紫兰	, 李文昌	,杨文轩,刘 剑(5)
一种高侧功率开关的输出短路保护电路 梁怀天,方 舟,罗 攀,易子皓,	甄少伟,	乔明,张波(10)
用于神经刺激器的单电感双极性直流电压转换器	张育维,	张沕琳,李冬梅(16)
一种采用 SCOVP 技术的高频率稳定度 Buck 变换器 ······	•••••	
······章玉飞, 甄少伟, 杨明宇, 罗 攀, 易子皓,	方舟,	罗 萍,张 波(22)
一种 GaN 半桥驱动器电平移位电路设计·····	成松林,	向乾尹,冯全源(28)
一种高精度滞环控制恒流 LED 驱动电路 钱希琛,	邓红辉,	陈尚存,张 俊(33)
一种多相 DC-DC 数字控制器的设计 武 昕,甄少伟,陈思远,白正杨,	胡怀志,	罗 萍,张 波(40)
一种2阶小阻尼系数负载的快速补偿驱动法		潘 高,张 波(47)
一种新颖的多值基准输出缓冲器设计 ·····		胡 敏,冯全源(52)
具备谐波抑制的高阶有源 N 路径带通滤波器 李 捷,韦保林,岳宏卫,	韦雪明,	徐卫林,段吉海(57)
一种基于溢出值的局部拥塞消除技术 吴 伟,	邸志雄,	陈锦炜,冯全源(64)
一种无均流外环并联 DC-DC 变换器的设计 郗登笛,代国定,	武强,	陈宇峰,姚如雪(68)
一种基于 BCD 工艺的宽压-宽温电流基准电路	邵 刚,	刘敏侠,田 泽(73)
一种低延迟极化码串行抵消译码器设计	王晓蕾,	林 青,戴吴骏(79)
基于差分编码技术的 12.5 Gbit/s 高速 SerDes 发射机 彭嘉豪,李儒章,	付东兵,	丁 一,杨 虹(85)

・动态与综述・

・半导体器件与工艺・

新型阶梯变掺杂 S	SiC 漂移阶跃恢复二极管	•••••	谁	彬,陈万军,	高吴昊,	夏 云,	张柯楠,	孙瑞泽 (96)	1
一种抗总剂量辐照	K的新型 PD SOI 器件…					李孟窈,	刘云涛,	蒋忠林(101)	1
基于 RF MEMS ヲ	F关的交指型可切换带通	滤波器设计		… 韩路路,	吴倩楠,	王姗姗,	范丽娜,	李孟委(106)	1
强电场下亚微米 I	ESD 注入型 NMOS I _{DT} -V	GS微分负阻现象研究	••••		刘玉奎,	殷万军,	谭开洲,	崔 伟(112)	1
一种隐埋缓冲掺杂	《层高压 SBD 器件新结核			… 高闻浩,	孙启明,	冉晴月,	简 鹏,	陈文锁(116)	1
深亚微米 CMOS #	管总剂量辐照特性的对比	研究					仲崇慧,	于晓权(121)	1

・产品与可靠性・

28 nm WLP 封装中 PBO 结构对 CPI 可靠性的影响	秦 冲,	毛海央,	陈险峰,李 >	L(126)
静电注入对 55 nm MV/HV GGNMOS ESD 性能的影响	王新泽,	毛海央,	金海波,龙克;	¢ (132)
22 nm FD-SOI 静态随机存储器的可靠性研究 贺 泽,蔡 畅,赵 凯,	赵培雄,	李东青,	刘天奇,刘 太	た(137)
金丝球焊复合键合工艺可靠性研究	燕子鵰,	赵光辉,	谢廷明,周成林	杉(142)
基于物联网平台的智慧园区设计与应用 韩存地,刘安强,张碧川,	刘 航,	李 幸,	边 帅,陈 妙	走 (146)

Microelectronics Vol. 51, No. 1 Feb. 2021

Contents

Circuit and System Design

A CMOS Voltage Reference with Second-Order Temperature Compensation Based on 65 nm CMOS Process
A Programmable Capacitance-Voltage Converter
A Short-Circuit Protection Circuit Applied in High-Side Power Switch LIANG Huaitian, FANG Zhou, LUO Pan, et al (10)
A Single-Inductor Bipolar-Output DC-DC Converter for Neural Stimulator SUN Lei, ZHANG Yuwei, ZHANG Milin, et al (16)
A High Frequency Stability Buck Converter with Single Cycle Output Voltage Prediction Technology
A Level Shifter for Half-Bridge GaN Driver CHENG Songlin, XIANG Qianyin, FENG Quanyuan (28)
A High Precision Constant Current LED Driving Circuit with Hysteresis Control
QIAN Xichen, DENG Honghui, CHEN Shangcun, et al (33)
Design of a Multi-Phase DC-DC Digital Controller WU Xin, ZHEN Shaowei, CHEN Siyuan, et al (40)
A Fast Compensation Driving Method of the Second Order Load with Small Damping Coefficient PAN Gao, ZHANG Bo (47)
Design of a Novel Multivalued Reference Voltage Output Buffer
A High-Order Active N-Path Bandpass Filter with Harmonic-Rejecting LI Jie, WEI Baolin, YUE Hongwei, et al (57)
An Overflow-Based Local Congestion Elimination Technique WU Wei, DI Zhixiong, CHEN Jinwei, et al (64)
Design of a Parallel DC-DC Converter Without Current Sharing Loop XI Dengdi, DAI Guoding, WU Qiang, et al (68)
A Wide Voltage-Wide Temperature Range Current Reference Circuit Based on BCD Process
Design of a Low-Latency Polar Code Successive Cancellation Decoder WANG Xiaolei, LIN Qing, DAI Wujun(79)
A 12. 5 Gbit/s High Speed SerDes Transmitter Based on Differential Encoding Technology
PENG Jiahao, LI Ruzhang, FU Dongbing, et al (85)

• Features and Review •

Research Progress of Spin Qubits Technology Based on Silicon DAI Yonghong, LAI Fan, LIU Ronggui (91)

Semiconductor Device and Technology

A Novel Silicon Carbide DSRD with Variable Doping in Base Region
A PD SOI Device for Anti-Total Dose Irradiation LI Mengyao, LIU Yuntao, JIANG Zhonglin(101)
Design of an Interdigital Switchable Bandpass Filter Based on RF MEMS Switch
······ HAN Lulu, WU Qiannan, WANG Shanshan, et al (106)
Study on Differential Negative Resistance of Submicron ESD-Implanted NMOS I _{DT} -V _{GS} Under High Electric Field
LIU Yukui, YIN Wanjun, TAN Kaizhou, et al (112)
A New High Voltage SBD with Improved Buried Buffer Doped Structure
GAO Wenhao, SUN Qiming, RAN Qingyue, et al (116)
Comparative Study on Total Dose Irradiation Characteristics of Deep Submicron CMOS Transistors

• Product and Reliability •

Effects of PBO Structures on CPI Reliability of 28 nm Wafer Level Package
QIN Chong, MAO Haiyang, CHEN Xianfeng, et al(126)
Effects of ESD IMP on ESD Performance of MV/HV GGNMOS WANG Xinze, MAO Haiyang, JIN Haibo, et al (132)
Reliability Study of 22 nm FD-SOI Static Random Access Memory HE Ze, CAI Chang, ZHAO Kai, et al (137)
Study on the Reliability of Au Wire Ball Compound Bond YAN Zipeng, ZHAO Guanghui, XIE Tingming, et al (142)
Design and Application of a Smart Park Based on Internet of Things Platforms
HAN Cundi, LIU Anqiang, ZHANG Bichuan, et al(146)

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021年2月	Microelectronics	Feb. 2021

电路与系统设计。

基于 65 nm CMOS 工艺的 2 阶温度补偿 全 CMOS 电压基准源

杨 晗,侯晨琛,钟 泽,谢家志,廖书丹 (中国电子科技集团公司 第二十四研究所,重庆 400060)

摘 要: 采用 65 nm CMOS 工艺,设计了一种基于 MOS 亚阈区特性的全 CMOS 结构电压基准 源。首先利用工作在亚阈值区 NMOS 管的栅源电压间的差值得到具有特定 2 阶温度特性的 CTAT 电压,该 CTAT 电压的 2 阶温度特性与 PTAT 电压 2 阶温度特性的弯曲方向相反。再通过 电流镜技术实现 CTAT 电压和 PTAT 电压求和,最终得到具有 2 阶温度特性的弯曲方向相反。再通过 真结果表明,电路可工作在 1.1 V到 1.5 V电压范围内;在-55 °C~160 °C范围内,电压基准的温度系数 可达 5.9×10⁻⁶/°C;在 1.2 V电源电压下,电路的静态功耗和输出电压值分别为 10 μ W和 273.5 mV。 关键词: 65 nm CMOS 工艺; 亚阈区; 电流镜技术; 2 阶温度补偿

中图分类号:TN402 文献标志码:A 文章编号:1004-3365(2021)01-0001-04

DOI:10.13911/j.cnki.1004-3365.200261

A CMOS Voltage Reference with Second-Order Temperature Compensation Based on 65 nm CMOS Process

YANG Han, HOU Chenchen, ZHONG Ze, XIE Jiazhi, LIAO Shudan

(The 24th Research Institute of China Electronics Technology Group Corp., Chongqing 400060, P. R. China)

Abstract: Based on a 65 nm CMOS process, a subthreshold MOSFET voltage reference with second-order temperature compensation was designed. The reference generator utilized gate-source voltage difference for CTAT voltage between two NMOS transistors, which both operated in subthreshold region to achieve second-order temperature characteristics of CTAT voltage was opposite to the second-order temperature characteristics of PTAT voltage. By using current mirror technology, the gate-source voltage difference that was complementary to absolute temperature was added to the output of the voltage reference. Simulation results showed that a temperature coefficient of 5.9 $\times 10^{-6}$ /°C at 1.2 V was achieved from -55 °C to 160 °C. The reference generator operated under supply voltage ranging from 1.1 V to 1.5 V with an output voltage of 273.5 mV and a power consumption of 10 μ W.

Key words: 65 nm CMOS process; subthreshold region; current mirror technology; second-order temperature compensation

0 引 言

集成电路通常利用带隙电压基准源模块来为其

他子模块提供精确的电压。典型的带隙基准源基于 双极晶体管,基准输出电压值一般为 1.25 V,最低 电源电压为 1.25 V 与输出驱动 MOS 管的漏源电 压之和^[1]。大多数提供低于 1 V 基准电压的低压带

收稿日期:2020-06-03;定稿日期:2020-08-13

基金项目:模拟集成电路国家重点实验室基金资助项目(6142802011503)

作者简介:杨 晗(1977-),男(汉族),工程师,主要从事模拟集成电路技术研究工作。

隙基准源结构都基于 H. Banba 的理论^[2],少数采 用电阻分压技术^[3]和电压再分布技术^[4]。这些技术 都用到高阻值的电阻,会极大的增加版图面积,因此 需考虑功耗和面积的折中。与传统带隙基准相比, 全 MOS 管结构的基准电路能更好地满足低功耗、 小面积的要求。针对某些数字 CMOS 工艺上不提 供高性能的电阻,基于 MOS 器件阈值电压的基准 电压技术得到了广泛应用^[5]。

与以往通过电阻实现电压求和不同,本文电路 利用电流镜技术产生基准电压。通过合理设计电流 镜像比例,一个具有2阶温度补偿特性的CTAT电 压被叠加到电路的输出端。这避免了使用求和电 阻,电路面积得到减小。

1 电路原理

传统带隙基准源的输出基准电压通过对具有正 负温度特性的电压求和来实现基准电压的零温度系 数。MOS管具有与BJT相似的温度特性。以二极 管方式连接的NMOS管如图1所示。栅源电压 (V_{ss})具有负温度特性,如图2所示。工作在亚阈区 的MOS管具有2阶温度特性,可进行温度补偿。



图 1 以二极管方式连接的 NMOS 管



本文设计的 CTAT 电压源如图 3 所示。



图 3 本文设计的 CTAT 电压源

MN1 和 MN2 管工作在亚阈区,其栅源电压 (V_{gs})可表示为^[6]:

$$V_{\rm gs_sub} = V_{\rm th} + m \cdot V_{\rm T} \ln\left(\frac{I_{\rm D}}{V_{\rm T}^2 \mu_{\rm n} C_{\rm ox} W/L}\right)$$
(1)

式中, μ 是电子迁移率;热电压 $V_{T} = k_{B}T/q$, k_{B} 是玻 尔兹曼常数,T 是绝对温度; V_{th} 是阈值电压;m 是亚 阈值斜率;W 和 L 是沟道宽度和沟道长度。因为 $V_{g_{s,stb}}$ 小于 V_{th} ,式中后一项为负数。

为了获得 2 阶温度补偿, 对 $V_{gs_{sub}}$ 关于温度进行 2 阶求导:

$$\frac{\partial^2 V_{\text{gs_sub}}}{\partial T^2} = \frac{mk_{\text{B}} + q}{\mu_{\text{n}}q} \frac{\partial \mu_{\text{n}}}{\partial T} - \left[\frac{mk_{\text{B}}}{q} \times \left(\frac{K}{I - KT} + \frac{2}{T}\right) + \frac{mk_{\text{B}}K}{q\left(I - KT\right)} + \frac{K^2 mV_{\text{T}}}{\left(I - KT\right)^2}\right]$$
(2)

式中,

$$K = \frac{I_{\rm D2} (W/L)_1}{I_{\rm D1} (W/L)_2}$$
(3)

式(2)中,电子迁移率的温度系数约为-4.3× 10⁻³/C,减号前的部分为正,后部分同样为正。如 果前部分值大于后部分值, V_{gs_sub} 具有2阶正温度系 数。在-55 C到10 C范围内, V_{gs_sub} 的温度特性随 温度升高而升高。如果前部分值小于后部分值, V_{gs_sub} 具有2阶负温度系数。在10 C到165 C范围 内, V_{gs_sub} 的温度特性随温度升高而降低。

图 3 中, Vgs2 和 Vgs1 之差为:

$$\Delta V_{\rm gs} = V_{\rm gs2_sub} - V_{\rm gs1_sub} = \Delta K_{\rm th} + mV_{\rm T} \ln \frac{I_{\rm D2}}{I_{\rm D1}} \frac{(W/L)_1}{(W/L)_2}$$

$$\tag{4}$$

式中, ΔK_{th} 等于一279.5 $\mu V/C$,这使得 ΔV_{gs} 为 CTAT电压。 V_{gs2_sub} 和 V_{gs1_sub} 都具有 2 阶温度特性,因此 ΔV_{gs} 具有 2 阶温度特性。 ΔV_{gs} 具有负温度 特性,呈现出清晰的 2 阶温度特性。

为了实现2阶温度补偿,CTAT电压的2阶温 度特性的弯曲方向要与PTAP电压的的2阶温度 特性的弯曲方向相反。一个PTAT电压被叠加到 ΔV_{gs} 上,以产生2阶温度特性。PTAT 电压源如图 4 所示。



图 4 本文设计的 PTAT 电压源

2 电路结构

本文提出的基准电压源包含偏置产生电路、 CTAT电压产生电路、PTAT电压产生电路和基准 输出级电路,其电路图如图 5 所示。偏置产生电路 由二极管方式连接的 PMOS 管 M0 和 R₁来为其他 子模块产生偏置电压 V_{P1}。基准输出级将 V_{CTAT} 和 V_{PTAT}按一定比例求和,以产生基准电压 V_{ref}。



图 5 基准电压源电路图

2.1 CTAT 电压产生电路

CTAT 电压产生电路由 M1 到 M8 管构成。 M2 和 M8 管工作在亚阈区,X 节点电压可表示为:

$$V_{\rm X} = V_{\rm gs4} + V_{\rm gs2} = V_{\rm gs5} + V_{\rm gs8}$$
(5)
由式(4)可得:

$$V_{\rm CTAT} = \Delta V_{\rm gs} = V_{\rm gs4} - V_{\rm gs5} = V_{\rm gs8} - V_{\rm gs2} = \Delta K_{\rm th} + m V_{\rm T} \ln \frac{I_{\rm D8} (W/L)_2}{I_{\rm D2} (W/L)_8}$$
(6)

式中,VCTAT具有2阶温度特性。

2.2 PTAT 电压产生电路

PTAT 电压产生电路由 M9~M14 管和 R2构

成。M12、M14 管以及 R_2 决定了 I_{PTAT} 的大小,M11 和 M13 管使 $I_{M11} = I_{M13}$ 。使用 M9 和 M10 管的原 因如下:(1)增加负反馈环路,以使环路稳定;(2)增 加 PTAT 电流,降低电阻值,节省版图面积。M16 管的栅端电压可表示为:

$$V_{\rm PTAT} = R_2 I_{\rm PTAT} = \frac{2 \left(1 - 1/\sqrt{N}\right)^2}{\mu_{\rm n} C_{\rm ox} \left(W/L\right)_{\rm M12} R_2 \left(M + 1\right)^2}$$
(7)

2.3 电流镜技术

M15 和 M18 管的镜像电流分别是 M3 和 M6 管的 G 倍, M4、M5、M16、M17 管的宽长比相等, 因 此可得:

$$I_{\rm M16} = \frac{1}{2} \mu_{\rm p} C_{\rm ox} \frac{W}{L} (V_{\rm gs16} - V_{\rm th})^2 = G \cdot I_{\rm M4} = G \cdot \frac{1}{2} \mu_{\rm p} C_{\rm ox} \frac{W}{L} (V_{\rm gs4} - V_{\rm th})^2$$
(8)

$$I_{\rm M17} = \frac{1}{2} \mu_{\rm p} C_{\rm ox} \frac{W}{L} (V_{\rm gs17} - V_{\rm th})^2 = G \cdot I_{\rm M5} = G \cdot \frac{1}{2} \mu_{\rm p} C_{\rm ox} \frac{W}{L} (V_{\rm gs5} - V_{\rm th})^2$$
(9)

根据式(8)、(9),可得:

$$V_{\rm gs16} - V_{\rm gs17} = \sqrt{G} \left(V_{\rm gs4} - V_{\rm gs5} \right)$$
 (10)

通过设置合适的镜像比例,一个具有2阶补偿的 CTAT 电压被转移到基准电压输出端。

2.4 基准输出级电路

图 4 中 M17 管的栅端电压是基准输出电压 V_{ref}。Y节点电压可表示为:

$$V_{\rm Y} = V_{\rm gs17} + V_{\rm ref} + V_{\rm PTAT}$$
 (11)

这里, V_{gs17} 和 V_{gs16} 是 M17 和 M16 管的栅源电 压, V_{PTAT} 是 M16 管的栅端电压,也是 PTAT 电压产 生电路的输出电压。由式(10)可得:

$$V_{ref} = \sqrt{G} (V_{gs4} - V_{gs5}) + V_{PTAT}$$
 (12)
根据式(6)、(7)、(12), V_{ref} 可表示为:

$$V_{\rm ref} = \sqrt{G} \cdot V_{\rm CTAT} + V_{\rm PTAT} = \sqrt{G} \left(\Delta K_{\rm th} + m V_{\rm T} \ln \frac{I_{\rm D8} (W/L)_2}{I_{\rm D2} (W/L)_8} \right) + \frac{2 (1 - 1/\sqrt{N})^2}{\mu_{\rm n} C_{\rm ex} (W/L)_{\rm M12} R_2 (M + 1)^2}$$
(13)

V_{PTAT}具有正温度系数,由于 V_{CTAT}具有 2 阶温 度系数,通过合理设置镜像比例 G,可以实现 2 阶温 度补偿的基准电压。

3 仿真结果

采用 65 nm CMOS 工艺对本文的全 CMOS 电

压基准源进行设计及仿真验证。在电源电压为 1.2 V、工作温度范围为一55 ℃到 160 ℃的条件下, 仿真结果如图 6 所示。输出电压为 273.5 mV,其温 度系数为 5.9×10⁻⁶/℃。本文电路仿真结果与其 他文献电路的关键参数对比如表 1 所示。可以看 出,本文电路在温度系数、功耗等关键指标上显著优 于其他文献电路。



表 1 本文电路仿真结果与其他文献电路的关键参数对比

参数	文献[5]	文献[7]	文献[9]	本文
工艺/nm	350	180	180	65
电源电压/V	>1.4	0.45~2	$1 \sim 2.5$	1.1~1.5
基准电压/mV	858	263.5	548	273.5
温度范围/℃	$-20 \sim 120$	$0\!\sim\!125$	$-30 \sim \! 150$	$-55 \sim 160$
温度系数/(×	12.4	142	30	5.9
10^{-6} • $^{\circ}\mathrm{C}^{-1}$)				
功耗/ μ W	162.4	14	46	10
	@27 °C	@0.45 V	@27 °C	@1.2 V

基准电压随电源电压的变化如图 7 所示。电源 电压在 1.1 V 到 1.5 V 之间波动时,输出电压最大 变化值为 15.8 mV。



4 结 论

本文设计了一种低压低功耗全 CMOS 结构的 电压基准源,利用工作在亚阈区 NMOS 器件的 2 阶 温度特性来进行温度补偿。采用用电流镜技术进行 正负温度系数电压求和,实现了低温度系数的基准 电压。该电路具有低静态功耗、低电压以及宽工作 温度范围下的低温度系数,可广泛应用于低压低功 耗领域。

参 考 文 献:

- [1] 陈昊,张彩珍,王梓淇,等.一种高电源抑制比的曲率
 补偿带隙基准电压源[J].半导体技术,2019,44
 (12):905-909.
- [2] 张海磊,居水荣,王津飞,等.一种带有曲率补偿的低功耗带隙基准电压源[J].半导体技术,2019,44 (12):910-915.
- [3] RAZAVI B. Design of analog CMOS integrated circuits [M]. New York: McGraw-Hill Press, 2000: 377-399.
- [4] BANBAH, SHIGA H, UMEZAWA A, et al. A CMOS bandgap reference circuit with sub-1 V operation [J]. IEEE J Sol Sta Circ, 1999, 34(5): 670-674.
- [5] PERRY R T, LEWIS S H, BROKAW A P, et al. A
 1. 4 V supply CMOS fractional bandgap reference [J].
 IEEE J Sol Sta Circ, 2007, 42(10): 2180-2186.
- [6] ANNEMA A J, VELDHORST P, DOORNBOS G, et al. A sub-1 V bandgap voltage reference in 32 nm FinFET technology [C] // IEEE ISSCC. San Francisco, CA, USA. 2009: 332-333.
- [7] MAGNELLI L, CRUPI F, CORSONELLO P, et al. A 2.6 nW, 0.45 V temperature-compensated subthreshold CMOS voltage reference [J]. IEEE J Sol Sta Circ, 2011, 46(2): 547-552.
- [8] PAN J, INOUE Y. A sub-1-V low-voltage low-power voltage reference with a back-gate connection MOSFET [C] // Proceed IEEE ICCCAS. Guilin, China. 2006: 2314-2318.

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021 年 2 月	Microelectronics	Feb. 2021

一种可配置的电容-电压转换电路

朱紫兰,李文昌,杨文轩,刘 剑

(1. 中国科学院大学,北京 100049; 2. 中国科学院 半导体研究所,北京 100083)

摘 要: 提出了一种检测微小电容信号的可配置的电容-电压转换电路。该电路由电容补偿电路、电荷积分电路、采样保持电路、低通滤波和缓冲器组成。使用调制解调的电容检测方法,实现 了电容-电压转换。仿真结果表明,电容分辨率为 1.70 aF/√Hz,输出电压信号与电容差成正比, 确定系数 R²为 0.999 99。电路中的积分电容值、放大增益、补偿电容和带宽均可以通过编程灵活 设定。该电容-电压转换电路可用于 MEMS 及其他电容式传感器。

关键词: 电容传感器; 电容-电压转换电路; 可配置; 电容分辨率

 中图分类号:TN492; TN432
 文献标志码:A
 文章编号:1004-3365(2021)01-0005-05

 DOI:10.13911/j.cnki.1004-3365.200076

A Programmable Capacitance-Voltage Converter

ZHU Zilan, LI Wenchang, YANG Wenxuan, LIU Jian

University of Chinese Academy of Sciences, Beijing 100049, P. R. China;
 Institute of Semiconductors, Chinese Academy of Sciences, Beijing 100083, P. R. China)

Abstract: A programmable capacitance-voltage converter circuit for detecting small capacitance signal was presented. This circuit was composed of balance capacitor arrays, capacitance transimpedance amplifiers, sample/ hold circuits, low pass filters and buffers. The capacitance detection method of modulation and demodulation was used to realize capacitance-voltage conversion. The simulation results showed that the capacitance resolution was $1.70 \text{ aF}/\sqrt{\text{Hz}}$, the output voltage signal was proportional to the capacitance difference, and the determination coefficient R^2 was 0.999 99. The integral capacitance value, amplification gain, balance capacitance and bandwidth of the circuit could be set flexibly by programming. The capacitance-voltage converter could be used for MEMS and other capacitive sensors.

Key words: capacitive sensor; capacitance-to-voltage converter; programmable; capacitance resolution

0 引 言

电容式传感器被广泛应用于压力传感器、加速 度计和陀螺仪^[1]。基于 MEMS 技术的传感器因具 有体积小、重量轻、价格低、易于集成等优点而受到 重视。MEMS 电容式传感器的体积微小,其电容值 为 pF 量级,输出电容的变化量非常微弱,通常只有 几或几十 fF。MEMS 电容式传感器与外部电路相 连后,寄生电容和分布参数会对输出信号产生很大 的影响,给 MEMS 电容传感器的读出电路设计带来 挑战^[2]。大多数传感器的接口需针对特定应用定 制,增大了电路设计成本^[3]。为了提高电容式传感 器的检测准确度、分辨率且能应用于多种电容式传 感器,需要设计精度高、可配置的电容检测电路。

本文提出了一种可配置的电容-电压转换电路, 可用作 MEMS 和其他多种电容式传感器的通用检 测。该电容-电压转换电路能将敏感电容变化量转换 为电压的变化值输出。仿真结果表明,电容分辨率为 1.70 aF/√Hz。同时,电路中的积分电容值、放大增

收稿日期:2020-02-24;定稿日期:2020-03-26

作者简介:朱紫兰(1994-),女(汉族),北京人,硕士研究生,研究方向为模拟集成电路设计。

益、补偿电容和带宽均可以通过编程灵活设定。

文章第1节介绍了电容-电压转换电路的总体 结构,第2节分析了各单元电路的设计,第3节给出 了仿真与测试结果,第4节给出结论。

1 电容-电压转换电路总体结构

本文的电容-电压转换电路的总体结构如图 1 所示。工作原理是通过测量 2 个传感电容之差或传 感电容与参考电容之差来探测外界物理量^[4]。检测 电容是 2 个可变电容 C_{1in}、C_{2in}。电容-电压转换电路 包括电荷积分电路、采样保持器、低通滤波和放大 器。电路还包括带隙基准单元模块和数字单元模 块,提供参考电压、偏置电流和时钟信号,无需外接 基准电压。



该电路采用 0.153 μ m 1P3M 5 V CMOS 工艺 设计。为了消除输入寄生电容不对称的影响,在电 荷积分电路中使用可调补偿电容 C_1 、 C_2 对输入电容 C_{1in} 、 C_{2in} 进行补偿。电荷积分电路检测出微小的输 入电容变化,将其转换为电压,输出的高频调制信号 通过采样保持电路解调,再经低通滤波器滤除高频 噪声,经过增益放大得到最终的输出。

输出电压的理论传输函数为:

$$V_{\rm OUT} = \frac{V_{\rm 2P25} \times Gain \times \Delta C}{C_{\rm F}} + V_{\rm REF}$$
(1)

式中, V_{OUT} 为输出电压, V_{2P25} 为 2.25 V 参考电压, Gain 为可调增益(可选 2 或 4), $\Delta C = (C_{2in} + C_2) - (C_{1in} + C_1), C_{1in}, C_{2in}$ 为被读取差分电容, C_1, C_2 为可 调补偿电容, C_F 为可调积分电容。

 V_{REF} 在被测量为单变量时取 0.5 V,在被测量 为差分变量时取 2.25 V。原因是,输入为差分电容 时,差分电容的中间可动极板存在向上极板移动、向 下极板移动两种情况。 V_{REF} 为 2.25 V 时,使 ΔC<0 时的输出电压为正; V_{REF} 为单变量时, C_2 用作参考电 容,只需调整 C_2 的值即可保证 ΔC>0。通过选择不 同的 V_{REF} ,保证了输出电压在合适范围内。 2 电容-电压转换电路设计

2.1 电荷积分电路

电容-电压转换电路采用开关电容方式实现对 输入电容的检测,并转换为电压。首先给传感器电 容充电,再利用电荷转移、再分配原理将电荷转移到 电荷积分器上,最终转化为与电容变化成正比的电 压输出。电荷积分电路包括一对可调补偿电容、一 个运算放大器,可调反馈电容 C_F、控制电容充放电/ 电荷转移的开关,结构如图 2 所示。



图 2 电荷积分电路

 t_1 阶段,电路状态如图 3(a)所示。 Φ_1 关闭, Φ_2 、 Φ_3 开启, C_F 初始化,参考电压对 C_1 充电。此时, C_{1in} 、 C_1 上的电荷 $Q_1 = (C_{1in} + C_1) \times V_{2P25}$, C_{2in} 、 C_2 上的电荷 $Q_2 = 0$ 。 t_2 阶段, Φ_1 关闭, Φ_2 开启、 Φ_3 关闭,各电容上 的电荷保持不变。 t_3 阶段,电路状态如图 3(b)所示。 C_{2in} 、 C_2 充电, C_{1in} 、 C_1 放电,电荷向 C_F 转移。



根据 X 点电荷守恒,且 $\Delta C = (C_{2in} + C_2) - (C_{1in} + C_2)$ *C*₁),可得出:

$$V_{\rm OUT} = \frac{\Delta C}{C_{\rm F}} \times V_{\rm 2P25} + V_{\rm 2P25} \tag{2}$$

鉴于开关可能会导致电荷注入和时钟馈通,为 了解决这些问题,在高阳抗节点(图 2 中的 Φ_3)上使 用了虚拟开关(短路的开关),如图4所示。NMOS 的源极与漏极连接在一起,且连接到信号线。虚拟 开关的栅极接收与控制 NMOS 开关的时钟相反的 时钟。因为时钟通过伪开关电容馈通而产生的电荷 与 MOS 开关注入的电荷相反, 所以减小了开关的 电荷注入和时钟馈通的影响^[5]。



图 4 虚拟开关

为了适应读出电路的要求,运算放大器需具有 低噪声、高增益等特点,运算放大器如图5所示。采 用 PMOS 管作为输入级,降低了噪声;采用折叠式 共源共栅结构,提高了增益和输出摆幅。



为了使电容电压转换器适应不同的输入电容 值,C_F与补偿电容均设计为可调的。可调电容结构 如图 6 所示。可调位共 10 位,步长为 23.5 fF。



2.2 采样保持电路

化并采样。V_{IN}为当前输入电压值,V_{OUT(n-1)}为上 一周期输出电压值,则 $Q_1 = (V_{1N} - V_{2P25}) \times C_1, Q_2 =$ $-(V_{OUT(n-1)}-V_{2P25}) \times C_2, Q_3 = 0$ 。 t_2 阶段, Φ_4 , Φ_5 关闭,各电容存储电荷不变。 t_3 阶段, Φ_6 开启,当 V_{IN}降为V_{2P25}后,根据X点电荷守恒,当前周期的输 出电压为:

采样保持电路及相应时序如图 7 所示。t₁ 阶 段, Φ_4 、 Φ_5 开启, Φ_6 关闭。此时,电荷积分电路初始

$$V_{\text{OUT}(n)} = \frac{C_1 (V_{\text{IN}} - V_{2\text{P25}}) + C_2 V_{\text{OUT}(n-1)}}{C_2 + C_3}$$
(3)

为了减小开关的电荷注入和时钟馈通的影响, Φ_6 控制的两个开关分别采用虚拟器件和传输门的 结构。



2.3 其他电路

经过采样保持后得到的输出信号存在高频噪 声,采用2阶低通滤波器进行滤除。滤波器由两个 相同的1阶低通滤波器级联而成,1阶低通滤波器 包括可调电容阵列,用于对带宽进行配置,结构如图 8 所示。



增益放大电路如图 9 所示。该电路为一个反向 比例放大器,用于对电压信号进一步放大。V_{trim}为 运算放大器提供共模电平,通过增益选择开关实现 增益选择。通过调节增益修调电阻,对增益进行修 调,可调电阻结构如图 10 所示。采用 SOFF 提供偏 移电压补偿。采用补偿电压修调对直流电压偏移量 进行修正。该电路还有一个 LDO 模块,为电路提供稳定的 2.25 V 参考电压。



3 仿真与芯片测试

本文电容-电压转换电路采用 0.153 μ m 1P3M 5 V CMOS 工艺设计并流片。电容-电压转换电路 的版图如图 11 所示,版图尺寸为 1.12 mm×0.70 mm。在 5 V 电压、500 Hz 带宽、增益为 2、C_F 为 2.987 9 pF 的条件下进行仿真,输入电容差值为 0.1~1 pF,共有 10 个值。输出电压的瞬态曲线如 图 12 所示。可以看出,输出电压与输入电容差值呈 线性关系。

对电路噪声进行仿真,功率谱密度曲线如图 13 所示。可以看出,在 500 Hz 频率时,电压噪声功率 谱密度为 2.56 μ V/ \sqrt{Hz} 。根据 C/V 转化增益公式 计算得到等效电容分辨率,为 1.70 aF/ \sqrt{Hz} 。

对封装芯片进行测试,采用的硬件板卡如图 14 (a)所示。通过图 14(b)所示的上位机程序,可对所 有可配置参数进行配置。

芯片在 5 V 电压、500 Hz 带宽、增益为 2、C_F为 3.713 pF 的条件下进行测试。输入电容差为493.5 fF 时,整体电路输出 V_{OUT}为 2.895 3 V。输出波形如 图 15 所示。所有测量点的输入电容、输出电压值如 表 1 所示。

输出电压拟合曲线如图 16 所示。可以看出,确 定系数 R²=0.999 99。这表明,该电容-电压转换电 路的线性度较好。





图 14 硬件板卡与上位机软件界面



图 15 输出波形

表 1 测量点的输入电容、输出电压值

参数	数值				
	测量点1	测量点 2	测量点 3	测量点4	测量点 5
$\Delta C/\mathrm{fF}$	23.5	47	70.5	117.5	235
$V_{ m OUT}/{ m V}$	2.328	2.354	2.385	2.443	2.580
$\Delta C/\mathrm{fF}$	493.5	752	987	1 222	1 245.5
$V_{ m OUT}/{ m V}$	2.895	3.206	3.489	3.773	3.804



ゴ町四を粉加去のに二 →

电路的可配置参数如表2所示。本文与其他文 献中电容-电压转换电路的参数对比如表3所示。 可以看出,本文电路在满足高分辨率的同时,实现了 对带宽、补偿电容、反馈电容、增益、补偿电压等参数 的修调。

表 2 电路的可配置参数

参数	位	数值	参数	位	数值
C_1/pF	9	$0\!\sim\!12$	增益	2	2,4
C_2/pF	6	0~1.5	增益修调/%	8	± 15
$C_{\rm F}/{ m pF}$	10	$0\!\sim\!24$	补偿电压/V	1	0.5,2.25
带宽/Hz	4	500~8 000	修调的补偿	5	± 100
			电压/mV		

表 3 本文与其他文献中电容-电压转换电路的参数对比

名称	文献[4]	文献[6]	文献[7]	本文
工艺/µm	0.35	0.32	0.25	0.153
电源电压/V	5	3	5	5
输入电容/pF	$0 \sim 2$	0~0.256	$0 \sim 2$	0.25~10
分辨率/	4	15.69	31	1.70
$(aF \cdot Hz^{-1/2})$				
带宽/kHz	3	2.6	5	0.5~8

4 结 论

本文设计了一种可配置的电容-电压转换电路。 采用可调结构,使电路的积分电容值、放大增益、补 偿电容和带宽均可以通过编程设定,提高了芯片的 使用灵活性。仿真结果表明,电容分辨率为 1.70 aF/\sqrt{Hz} 。该电路采用 0.153 μ m 1P3M 5 V CMOS 工艺进行流片,测试结果表明,输出电压与电容差成 正比,确定系数 $R^2 = 0.999 99$,表明了电容-电压转换 功能的正确性。本文的电容-电压转换电路作为信号 检测电路,可适用于 MEMS 和其他电容式传感器。

参考文献:

- [1] MAENAKA K. MEMS inertial sensors and their applications [C] // 5th Int Conf Network Sens Syst. Kanazawa, Japan. 2008; 71-73.
- [2] 吴学忠,肖定邦,李圣怡. 电容式微加速度计的闭环 检测技术研究 [J]. 传感技术学报,2006,19(4): 1097-1099.
- [3] LU J H, INEROWICZ M, JOO S, et al. A lowpower, wide-dynamic-range semi-digital universal sensor readout circuit using pulsewidth modulation [J]. IEEE Sensor J, 2011, 11(5): 1134-1144.
- [4] 尹韬,杨海钢,张翀,等.一种用于电容型体硅微陀螺 的低噪声读出电路芯片[J].电子与信息学报,2010, 32(1):203-209.
- [5] RAZAVI B. Design of analog CMOS integrated circuits [M]. New York: McGraw-Hill, 2001.
- [6] NIZZA N, DEI M, BUTTI F, et al. A low-power interface for capacitive sensors with PWM output and intrinsic low pass characteristic [J]. IEEE Trans Circ & Syst I: Regu Pap, 2013, 60(6): 1419-1431.
- [7] 张云福,吕梦琴,罗亮,等.电容式微机械陀螺仪信
 号检测电路 [J]. 传感技术学报,2013,26(6): 878-882.

·种高侧功率开关的输出短路保护电路

梁怀天,方 舟,罗 攀,易子皓,甄少伟,乔 明,张 波 (电子科技大学 电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 提出了一种智能高侧功率开关的短路保护电路,包括输出短路检测电路、延时信号产生 电路和栅源电压限制电路。采用 NMOS 管用作功率管,使电路短路时仍处于安全工作区内,提升 了高侧功率开关的可靠性。采用 0.6 um HV SOI 工艺对该短路保护电路进行了仿真验证。仿真 结果表明,在硬开关故障和负载短路两种情况下,功率管保持处于安全工作区内。 关键词: 智能高侧功率开关;短路保护;安全工作区 中图分类号:TN86; TN433 文献标志码:A **文章编号:**1004-3365(2021)01-0010-06

DOI:10.13911/j.cnki.1004-3365.200052

A Short-Circuit Protection Circuit Applied in High-Side Power Switch

LIANG Huaitian, FANG Zhou, LUO Pan, YI Zihao, ZHEN Shaowei, QIAO Ming, ZHANG Bo (State Key Lab. of Elec. Thin Films and Inter. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: A short-circuit protection circuit applied in intelligent high side power switch was presented. It included output short-circuit detecting circuit, delay signal generating circuit and gate-source voltage limiting circuit. NMOS transistors were used as the power transistors, so the circuit was still in the safe operating area when the circuit was short, and the reliability of high side power switch were improved. The short-circuit protection circuit was simulated in 0.6 µm HV SOI process. The simulation results showed that the power transistors were keeping in the safe operating area under the condition of hard switch fault and load short-circuit.

Key words: intelligent high-side power switch; short-circuit protection; safe operating area

引 言 0

智能高侧功率开关是集功率器件、保护电路和 控制电路于同一芯片的集成电路。智能高侧功率开 关因集成度高、易于控制等特点而被广泛应用于航 空电子设备、汽车电子和工业控制等领域[1]。智能 高侧功率开关通常工作在恶劣环境下,经常发生负 载开路、短路等故障,因此对智能功率开关的短路保 护非常重要[2]。高侧功率开关的短路故障分为硬开 关故障(HSF)和负载短路故障(FUL)两类^[3-4]。 HSF 是开关导通之前输出端发生短路引起的故障, FUL 是开关正常工作时负载发生短路引起的 故障[5]。

现有文献提出的短路检测方法如下。1)通过检 测功率管的 V_{DS}来判断是否短路。该饱和检测法的 电路结构简单,但检测结果受温度、工艺的影响 大[6-7]。2)通过检测功率管的电流来判断是否短路。 该检测方法的电路简单,能实现快速检测,但不适用 于大功率开关^[8]。3)通过检测功率管的 V_{GS}来判断 是否短路。该门极电压检测法能实现快速检测,但 电路结构复杂,控制算法繁琐。4)利用罗氏线圈来 检测功率管电流,进而判断是否短路。该方法能实 现快速检测,但成本高、体积大[9]。

收稿日期:2020-02-04;定稿日期:2020-03-26

基金项目:"十三五"装备预先研究项目(31513030209)

甄少伟(1982—),男(汉族),河北保定人,副教授,研究方向为模拟与混合 IC 设计技术。通信作者。

作者简介:梁怀天(1994—),男(汉族),四川成都人,硕士研究生,研究方向为模拟 IC、智能高侧功率开关。

短路后对功率管的关断有两种方式。一种是软 关断方式,即短路保护触发后先迅速限制住短路电 流,再利用驱动电路缓慢地将功率管关断。另一种 是二级关断方式,即先快速降低栅极电压,再将功率 管关断^[8]。

针对上述问题,本文利用了功率管的安全工作 区,采用去饱和检测法及二级关断方式,设计了一种 用于高侧功率开关的输出短路保护电路。本文的输 出短路保护电路采用二级关断方式,利用并联型稳 压基准精确、快速地限制功率管的V_{GS},保证在硬开 关故障和负载短路两种情况下,功率管均处于安全 工作区内。与传统结构相比,本文短路保护电路不 仅可以保护功率管不被短路损坏,还兼顾了栅极保 护的功能,不使用单独的栅极保护电路,节约了面积 和功耗。

1 智能高侧功率开关的整体结构

本文提出的智能高侧功率开关采用电流控制技术,输入端 IN 连接至 GND 时开关导通,输入端浮 空时开关关断。整体结构如图 1 所示。MN0 管为 功率管。浮动电源轨电路如图 2 所示。



图 1 智能高侧功率开关的整体结构图



图 2 浮动电源轨电路的电原理图

浮动电源轨电路的作用是产生跟随电源电压 V_{BB} 变化的电源(V_{BB} 到 $V_{SS,F}$),为逻辑控制电路、电 荷泵、栅驱动电路、输出短路保护电路和其他保护电 路提供电源。MPF4、MPF5 管为高压 PLDMOS 管,其作用是保护电路中的其他器件不被击穿。浮 动电源轨电路采用带隙基准技术,通过负反馈环路 在电阻 R_{F4} 上产生一个零温度系数的带隙基准电 压,同时产生跟随电源电压变化的浮动电源轨 $V_{SS,F}$,为:

$$V_{\rm SS,F} = V_{\rm BB} - \frac{R_{\rm F3} + R_{\rm F4}}{R_{\rm F4}} \left(\frac{R_{\rm F2}}{R_{\rm F1}} V_{\rm T} \ln N + V_{\rm BE1}\right)$$
(1)

式中,N为 Q2 与 Q1 管的发射区面积之比, V_{T} 为热 电压。

其他保护电路包括过压、欠压、过温等保护电路。逻辑控制电路接收来自各个保护电路的信号, 根据不同情况控制功率管的导通或截止。在输出短路时,输出短路保护电路通过控制功率管的V_{GS},保证功率管处于安全工作区内。

2 输出短路保护电路的原理分析与电路实现

2.1 原理分析

在输出短路时,芯片中最易被损坏的是功率管。 针对功率管是否能安全工作,文献[10]提出了安全 工作区(Safe Operating Area,SOA)的概念,典型的 SOA 如图 3 所示。图中,横轴 V_{DS}、纵轴 I_{DS}与漏源 最大击穿电压 BV_{DS}、最大允许功耗 P_{MAX}、最大允许 电流 I_{DSMAX}、导通阻抗 R_{DS,ON}曲线所围成的区域是 一个 SOA。





为了保护功率管不被烧毁,功率管的导通时间、 导通电流、V_{DS}应该落在图3中的灰色区域内。图3 中的实线取决于功率管的散热能力,在灰色区域外, 功率管会因其发热量大于散热量而被烧毁。图 3 中 的虚线是导通阻抗 R_{DS.ON}限制界线,功率管的工作 状态不能位于虚线的左上方区域。SOA 还与工作 时间有关。设 A 曲线对应的最大导通时间为 10 ms, 若功率管的工作状态处于 A 曲线的右上方且工作 时间超过 10 ms 时,功率管将被烧毁。

本文提出的输出短路保护电路如图 4 所示。该 输出短路保护电路由输出短路检测电路、延时信号 产生电路和栅源电压限制电路组成。





2.2 输出短路检测电路和延时信号产生电路

输出短路检测电路和延时信号产生电路如图 5 所示。输出短路检测电路通过检测 V_{BB}与 V_{OUT}的压 差即功率管的 V_{DS},以判断输出端是否短路。延时 信号产生电路在 IN 端接地后延迟一段时间,从输 出高电平转为输出低电平,避免了开启过程中 V_{DS} 较大而导致的短路保护功能误触发^[11]。

栅源电压限制电路在三个不同阶段起着三种不同的作用:1)在功率管开启阶段,通过限制 V_{GS}来限制饱和区电流,避免在硬开关故障下功率管的工作状态超出 SOA;2)在功率管开启、正常工作阶段,将 V_{GS}限制在功率管的栅氧击穿电压以下,起到栅极保护的作用;3)在负载短路发生阶段,该电路能快速地将 V_{GS}限制在 V_{TH}以内。





MP2、MP3 管不被击穿。芯片正常工作时, V_{BB} – $V_{SS, F}$ 远大于 $V_{TH, P}$,所以在电流不大的情况下,MP1 管处于深度线性区。因此,在 MP2 管的宽长比较大的情况下,可近似认为 MP1 管的导通阻抗 $R_{ON, MP1}$ 不变。

在芯片的 IN 端接地后,浮动电源轨 $V_{ss.F}$ 建立, MP1 管导通。MP2 管的漏极电流与栅源电压的关系为:

$$I_{\rm MP2} = \frac{1}{2} \mu_{\rm P} C_{\rm OX} \left(\frac{W}{L} \right)_2 \left(V_{\rm GS2} - V_{\rm TH} \right)^2$$
(2)

$$V_{\rm DS,\,MN0} = I_{\rm MP2} R + V_{\rm GS2}$$
(3)

式中,*R*=*R*_{ON,MP1}+*R*₁。结合式(2)、(3)进行计算, 得到 *V*_{DS}与 MP2 管的漏极电流的关系式,为:

$$I_{\rm MP2} = \frac{V_{\rm DS, MN0} - V_{\rm TH}}{R} + \frac{1}{\beta_{\rm P2}R^2} - \frac{\sqrt{2(V_{\rm DS, MN0} - V_{\rm TH})}}{\sqrt{\frac{2(V_{\rm DS, MN0} - V_{\rm TH})}{R^3\beta_{\rm P2}}} + \frac{1}{R^4\beta_{\rm P2}^2}}$$
(4)

式中, $\beta_{\rm P} = \mu_{\rm P} C_{\rm OX} (W/L)_2$ 。根据式(4)可知, $I_{\rm MP2}$ 在 一定范围内随 $V_{\rm DS}$ 的增大而增大,呈近似线性关系。 MP2 与 MP3 管构成电流镜,所以 $I_{\rm MP2}$ 增大, $I_{\rm MP3}$ 也 增大,当 $I_{\rm MP3}$ 大于 MN1、MN2 管构成的共源共栅电 流源的饱和区电流时,MP3 管会进入线性区,则反 相器 INV1 的输入端从逻辑低电平转换为逻辑高电 平,INV1 输出低电平。

若延时信号产生电路输出高电平,或门 OR1 仍 然输出高电平,其他子电路的工作状态不变;若延时 信号产生电路输出低电平,OR1 输出低电平。当控 制电路和栅源电压限制电路接收到短路检测电路输 出的低电平后,栅源电压限制电路快速地将 V_{GS}限 制在 V_{TH}之下,逻辑控制电路立刻停止电荷泵工作, 同时打开功率管的栅、源之间的通路,将功率管彻底 关断。

延时信号产生电路的作用是利用小电流对大电 容充放电,产生一个较长时长的延时。Q1 管的基极 电流为 C_1 充电,在 C_1 面积不变的情况下可大幅增加 延迟时间。当 IN 端接地后,浮动电源轨建立,MN7 管关断, C_1 开始充电。MN8、Q1 管构成负反馈,保 证在 C_1 充电过程中 Q1 管始终处在放大区,MP6、 MP7 管构成的共源共栅电流镜给 Q1 管提供集电极 电流。因此,在 C_1 充电过程中,Q1 的基极电流为:

$$I_{\rm B.QI} = \frac{I_{\rm D,MP6}}{\beta} \tag{5}$$

由于 BJT 的 β 较大,只要 Q1 的集电极电流较小,就能够得到非常小、稳定的电流 I_{B. Q1}。电容两

端的电压与时间的关系式为:

$$\frac{\mathrm{d}V}{\mathrm{d}t} = \frac{I_{\mathrm{B},\mathrm{Q1}}}{C_1} \tag{6}$$

A点电压为:

$$V_{\rm A} = V_{\rm BB} - \frac{I_{\rm B,Ql}}{C_1} \Delta t \tag{7}$$

式中, Δt 为浮动电源轨建立完成时刻到当前时刻的 时间。B点电压为:

$$V_{\rm B} = V_{\rm SS,F} + I_{\rm D,MP8} R_4 \tag{8}$$

当 A 点电压高于 B 点电压时,比较器 COMP1 输出高电平。随着电容的充电,A 点电压低于 B 点 电压时,COMP1 输出低电平。此时刻之后,OR1 的 输出信号与 INV1 的输出信号相同。

当 IN 端浮空后, V_{SS. F} = V_{BB}, MN7 管的作用类 似一个二极管连接形式的 NMOS 管, 其作用是对 A 节点进行充电, 使得在下一次 IN 端接地后可以再 次产生延时。

2.3 栅源电压限制电路

栅源电压限制电路的三个不同阶段有三个功能:1)在功率管开启阶段,将栅源电压限制在5.5 V 以内;2)在功率管开启、正常工作阶段,将栅源电压 限制在15 V以内;在负载短路阶段,将栅源电压限 制在4.5 V以内,使得 V_{GS} < V_{TH}。栅源电压限制电 路如图 6 所示。MP15 管为高压 PLDMOS 管,其作 用是保护 MP13、MP14、D1、D2 等器件安全工作。



栅源电压限制电路由限制电压选择电路和并联 型稳压基准电路组成。限制电压选择电路用于接收 输出短路检测电路、延时信号产生电路的电压信号, 将电压信号转化为电流信号,实现跨电源域控制并 联型稳压基准电路的输出电压。高侧功率开关是依 靠电荷泵给功率管栅极充电来开启功率管,但电荷 泵输出电流的能力有限,所以通过控制栅极节点的 下拉电流大小来控制 V_{Gs}。本文采用并联型稳压基 准电路,能实现精确地控制 V_{Gs}。

对于限制电压选择电路而言,考虑到在正常工作时 V_G可能高于 V_{BB},V_{OUT} 可能接近电源电压,则 二极管 D1、D2 构成一个选通电路,使得 MP14 管的 V_s始终是 V_{BB}和 V_G中较高的电压减去二极管正向 导通压降,从而保证了 MP16 管即使在 V_{OUT} 接近 V_{BB}情况下,也能正常导通和关断。

类似地,二极管 D4、D5 构成的选通电路保证了 MN10、MN12 管导通后,MP17 管顺利、安全地导通。 R_5 、 R_{13} 、 R_{14} 均为阻值较高的电阻,如果工艺条 件允许,均可用栅源短接的耗尽型 NMOS 管替代。 当 V_{OUT} 较高时,若需要 MP17 管导通,则将 MP17 管的栅极电压下拉至 $V_{SS,F}+V_{F4}$ (V_{F4} 是 D4 的正向导通压降)。当 V_{OUT} 下降至低于 $V_{SS,F}$ 时,D5 导通,则 MP17 栅极电压约为 $V_{OUT}+V_{F4}$,这保证了在负载短路时 MP17 管能顺利导通且具有较小的导通 阻抗。

当浮动电源轨建立后, MN9、MN11、MN14 管导通, 功率管开启, LOCK 信号为高电平, MN13 管关断, MN16 管关断; SHORT 信号为高电平, MN10、MN12 管关断,则 MP17 管关断。并联型稳压基准电路将 V_{cs}限制为:

$$V_{\rm lim1} = \frac{R_6 + R_7 + R_8 + R_9}{R_8 + R_9} V_{\rm BG}$$
(9)

式中,V_{BG}为并联型稳压电路中的带隙基准电压,为:

$$V_{\rm BG} = V_{\rm BE3} + \frac{R_{12}}{R_{11}} V_{\rm T} \ln N \tag{10}$$

式中, V_{BE3} 为 Q3 管的基-射极电压。该带隙基准电路主要由 Q2~Q3、MP18~MP21、 R_{10} ~ R_{12} 等构成。并联型稳压基准电路通过调节 Q4 管的集电极电流来维持 V_{GS} 稳定。

并联型稳压基准电路成功限制住了 V_{GS},即就 成功限制住了功率管的饱和区电流。出现硬开关故 障时,因 OUT 端始终连接 GND,所以在开启阶段, 即使在输出短路检测不起作用时,也能将功率管置 于 SOA 内。

当功率管开启、正常工作时,无需限制 V_{GS}得太小,只需小于其栅氧层耐压即可。此时,LOCK 信号为低电平,SHORT 信号为高电平,MN16 管导通,MP17 管关断,则有:

$$V_{\rm lim2} = \frac{R_6 + R_7 + R_8}{R_8} V_{\rm BG} \tag{11}$$

当输出短路检测电路起作用后,检测到高侧开

关的输出端短路,则需要栅源电压限制电路将 V_{GS} 限制在 V_{TH} 以下。此时,LOCK信号为低电平、SHORT信号为低电平,MN16管导通,MP17管导通,则有:

$$V_{\rm lim3} = \frac{R_6 + R_8}{R_8} V_{\rm BG} \tag{12}$$

根据式(9)、(11)、(12)可知,调整 R₆、R₇、R₈、 R₉等四个电阻的比例,就可在全温度范围内准确地 限制 V_{GS},保证功率管始终处于 SOA 内。

3 仿真结果与分析

本文基于 0.6 μm HV SOI 工艺设计,使用 Spectre 软件进行仿真验证。为适应航空电源系统, 电源电压设置为 28 V,最大负载电流为 44 A,负载 电阻设置为 0.63 Ω。

3.1 子电路仿真结果

输出短路检测电路的直流仿真结果如图 7 所示。 V_{DS} 为 0~5 V。可以看出,在 1.9 V 时,若 V_{DS} 继续增加,判断为输出端短路,则 SHORT 信号由高电平翻转至低电平。





延时信号产生电路的瞬态仿真结果如图 8 所示。可以看出,延时信号产生电路在浮动电源轨 Vss.F建立后仍然处于高电平,在经过 530 μs 延时 后,输出低电平。这保证了高侧功率开关的开启阶 段不出现短路保护误触发的情况。

3.2 硬开关故障仿真结果

高侧功率开关在硬开关故障下的瞬态仿真结果 如图 9 所示。可以看出,在硬开关故障下,当输出短 路检测电路没起作用时,栅源电压限制电路限制住 了 V_{GS},从而限制住了饱和区电流。当延时信号产 生电路输出低电平时,输出短路保护功能触发,功率 管关闭。



图 9 硬开关故障的瞬态仿真图

硬开关故障下功率管的工作状态变化如图 10 所示。功率管在开启之前电流处于 A 点;开启后电 流快速上升到 C 点;约 0.5 μs 后,电流从 C 点转移 到 B 点;在 B 点维持约 445 μs 后,从 B 点降低至 A 点。整个过程中,功率管的工作状态均在 SOA 内。



图 10 硬开关故障下功率管的工作状态变化

3.3 负载短路仿真结果

高侧功率开关在负载短路时的瞬态仿真结果如 图 11 所示。可以看出,在负载短路时,电流上升至 峰值 548 A,从输出端接地到彻底关断的整个过程 时间为 3.39 µs。

负载短路时功率管的工作状态变化如图 12 所示。可以看出,功率管在整个短路过程中,始终处于 100 μs 的 SOA 内。因此,本文提出的电路在负载 短路时能保持功率管处于 SOA 内。 [♥]/[□]/₁ 350 150

 $V_{\rm DS}/V$

600

-50 30 22

14

6

5.002 5

图 11





图 12 负载短路时功率管的工作状态变化

表1所示为本文的短路保护电路在两种故障情况下的仿真结果。可以看出,功率管在两种故障下均处于 SOA 内。

参数	HSF	FUL
峰值电流/A	138	548
$V_{ m DS}$ 的峰值/V	28	28
持续时间/ μs	445	3.39
是否处于 SOA 内	是	是

表 2 所示为本文与其他文献中输出短路保护电路的参数对比。

参数	文献[12]	文献[13]	文献[14]	本文
工艺/µm	0.35	0.35	0.35	0.6
电源电压/V	$5\!\sim\!40$	4.9~52	$5\!\sim\!60$	$5\!\sim\!55$
输出最大可	0.6	1.8	0.65	44
持续电流/A				
短路检测	采样电	去饱和	采样电	去饱和
方案	阻检测	检测	阻检测	检测
检测后关	软关断	软关断	软关断	二级
断方案				关断
是否兼顾	无	无	无	栅极
其他功能				保护

可以看出,本文的输出短路保护电路不仅在大

功率下实现短路保护功能,还兼顾了栅极保护的 功能。

4 结 论

本文基于 0.6 μm HV SOI 工艺,设计了一种应 用于智能高侧功率开关的输出短路保护电路。采用 NMOS 管用作功率管;采用输出短路检测电路判断 输出端是否短路;采用栅源电压限制电路在不同阶 段将功率管的 V_{GS}限制于不同的值;延时信号产生 电路保证了输出短路保护功能不会在开启过程中误 触发。仿真结果表明,该高侧开关功率管的工作状 态在负载短路和硬开关故障情况下均处于安全工作 区内。

参 考 文 献:

- [1] LUCA A, TRANCA I, DANCHIV A. High precision over current detection for a high side switch [C] // Int Semicond Conf. Sinaia, Romania. 2008; 385-388.
- [2] 张金鹏,隋建鹏,江进,等.智能 MOSFET 在汽车电 子系统中的应用 [J].吉林大学学报(信息科学版), 2018,36(4):392-397.
- [3] AWWAD A E, DIECKERHOFF S. Short-circuit evaluation and overcurrent protection for SiC power MOSFETs [C] // 17th ECCE Europ. Geneva, Switzerland. 2015: 1-9.
- [4] 武晶晶,郭希铮,李志坚,等. SiC MOSFET 短路保 护电路研究 [J]. 电力电子技术, 2017, 51(9): 51-56.
- [5] 吴海富,张建忠,赵进,等. SiC MOSFET 短路检测
 与保护研究综述 [J]. 电工技术学报,2019,34(21):
 4519-4528.
- [6] KRONE T, XU C, MERTENS A. Fast and easily implementable detection circuits for short-circuits of power semiconductors [C] // IEEE ECCE. Montreal, Canada. 2015: 2715-2722.
- [7] 胡亮灯,孙驰,陈玉林,等.大功率 IGBT 的短路故障 检测 [J].电工技术学报,2018,33(11):2592-2603.
- [8] WANG Z Q, SHI X J, XUE Y, et al. Design and performance evaluation of overcurrent protection schemes for silicon carbide (SiC) power MOSFETs [J]. IEEE Trans Indus Elec, 2014, 61(10): 5570-5581.
- [9] WANG J, SHEN Z Y, ROLANDO B, et al. Design of a high-band width Rogowski current sensor for gatedrive short-circuit protection of 1.7 kV SiC MOSFET power modules [C] // IEEE 3rd WiPDA. Blacksburg, VA, USA. 2016: 104-107.

(下转第21页)

用于神经刺激器的单电感双极性直流电压转换器

孙 雷,张育维,张沕琳,李冬梅 (清华大学电子工程系,北京 100084)

摘 要: 提出了一种应用于神经电刺激器的单电感双极性输出(SIBO)的直流电压转换器,具有 良好的轻载效率和较低的设计复杂度。提出的 SIBO 系统只使用一个电感,通过两相控制同时输 出正负电压,降低了控制复杂度,减少了开关通断次数,提高了效率。同时使用数模混合电路、固 定导通时间调制方式实现逻辑控制,提高了系统效率,降低了设计复杂度。SIBO 系统采用单节锂 电池供电,输入电压为 3 V 到 4.2 V,输出电压在不同模式下可以分别输出 ± 16 V、 ± 12 V、 ± 8 V、 ± 4 V。后仿真结果表明,SIBO 系统在输出电压为 ± 16 V、负载电流为 1 mA 时, V_{OP} 、 V_{ON} 的纹波 分别为 4.5 mV 和 3.4 mV;在负载电流为 1.3 mA 时,能够达到的最大效率为 94.8%。具有效率 高、纹波小、复杂度低等优势。

关键词: 单电感;双极性输出;直流电压转换器;神经电刺激器
 中图分类号:TN86
 文献标志码:A
 文章编号:1004-3365(2021)01-0016-06
 DOI:10.13911/j.cnki.1004-3365.200129

A Single-Inductor Bipolar-Output DC-DC Converter for Neural Stimulator

SUN Lei, ZHANG Yuwei, ZHANG Milin, LI Dongmei

(Department of Electronic Engineering, Tsinghua University, Beijing 100084, P. R. China)

Abstract: A single-inductor bipolar-output (SIBO) DC-DC converter was designed for the application of neural stimulation was proposed, featuring with high light-load efficiency and low design complexity. The proposed SIBO system generated both positive and negative voltages in the same time by using only one inductor and two-phase control rhythm, which greatly reduced the complexity of the control logic, and improved the efficiency. Constant on-time (COT) control was applied to improve light-load efficiency. The proposed SIBO system was powered by a single-cell lithium battery with an input voltage range of 3 V to 4.2 V. The output voltage of ± 16 V, ± 12 V, ± 8 V, or ± 4 V were enabled in different modes. Output voltage ripples of 4.5 mV of $V_{\rm OP}$ and 3.4 mV of $V_{\rm ON}$ were achieved with a ± 16 V output voltage and a 1 mA load current according to post simulation. A maximum power efficiency of 94.8% was achieved with a 1.3 mA load current. The circuit featured high efficiency, small output voltage ripple and low design complexity.

Key words: single-inductor; bipolar-output; DC-DC converter; neural stimulator

作者简介:孙 雷(1991—),男(汉族),山东临沂人,硕士研究生,研究方向为模拟集成电路设计和直流电压转换器。 李冬梅(1966—),女(汉族),北京人,博士,副教授,从事模拟及数模混合集成电路设计、SoC设计、语音增强与识别 SoC设计及应用等技术研究。

收稿日期:2020-03-27;定稿日期:2020-04-26

基金项目:国家自然科学基金资助项目(61674095)

0 引 言

神经电刺激器作为脑机接口系统的重要组成部 分,是近年来的研究热点。为产生正负双向的刺激 波形,对神经电刺激器的电源管理系统提出了特定 要求:需要具备正负双向高电压的输出能力,并可以 根据输入模式选择输出电压。

双极性电压通常由两个集成在同一个芯片上的 独立调节的直流电压转换器组成,一个升压转换器 (Boost)提供正向电压,一个升降压转换器(Buck-Boost)提供负向电压^[1-3]。这种方法需要使用两个 电感,成本和面积增大。

研究者提出利用单电感来实现双极性输出的方法^[4-8],目的是降低成本、减小集成电路面积。文献 [4]使用升压转换器获得正输出,通过反向电荷泵产 生负输出,虽然只用了一个电感,但提出的环路控制 技术较复杂。文献[5-8]提出了多种控制方式,进一 步提高轻载效率,但控制结构复杂,控制逻辑采用三 相位控制输出,导致了较大的纹波。

根据神经刺激器的特定要求,本文设计了一种 单电感双极性输出(Single-Inductor Bipolar-Output,SIBO)直流电压转换器系统,能够在使用单 电感的同时输出双极性电压,并且采用两相位控制 逻辑来降低控制复杂度。提出的数模混合逻辑控制 单元设计方法将数字逻辑控制与模拟电路相结合, 实现了较小的输出电压纹波和较高的轻载效率。

文章第1节介绍了提出的 SIBO 系统,包括控制时序、电路实现、纹波分析等;第2节分析了实验仿真结果,并与已有工作进行了比较。第3节给出结论。

1 SIBO 系统概述

1.1 SIBO 系统控制时序

本文提出的 SIBO 整体架构如图 1 所示。SIBO 由片上系统和片外器件两部分组成。片外器件包括 一个电感 L、两个稳压电容 Con和 Cop、两个肖特基 二极管 D1 和 D2。片上系统包括两个晶体管开关 Mn 和 Mp,四个反馈电阻组成的反馈网络和一个控 制器(SIBO Controller)。神经电刺激器等效为一个 负载电阻 R_L,由于正负电压同时供电,因此 Vop 和 Von 幅度保持相等。



图 1 中,标注出了四个控制相位,1 为充电相 位,2 为放电相位,3 为 Buck-Boost 相位,4 为 Boost 相位。当开关 M_N 、 M_P 同时闭合时,SIBO 系统进入 充电相位,输入电压 V_{IN} 给电感充能,电感电流以斜 率 V_{IN}/L 上升。该阶段结束时储存在电感中的总能 量为:

$$E_{\rm L} = \frac{1}{2} \frac{V_{\rm IN}^2}{L} T_{\rm ON}^2 \tag{1}$$

式中,L是电感值, V_{IN} 是输入电压, T_{ON} 是导通时间。 当开关 M_{N} 、 M_{P} 同时断开时,SIBO 系统进入放电相 位,储存在电感中的能量转移到电容 C_{OP} 和 C_{ON} 中, 使得 V_{OP} 升高, V_{ON} 降低。此相位电感电流下降斜 率为:

$$k_{\rm L} = \frac{|V_{\rm ON}| + |V_{\rm OP}|}{L} \approx \frac{2V_{\rm OP}}{L} \tag{2}$$

电感电流下降到0后,进入断续导通模式。充 电相位和放电相位周期性反复进行,从而实现了正 负高压的同时输出。

由于非理想因素的存在,V_{OP}和V_{ON}幅度并非严格相等,可能存在一定的偏差,因此需要两个特殊相位来实现控制。当V_{OP}幅度大于V_{ON}时,则进入Buck-Boost相位,开关M_N保持常闭状态,开关M_P周期性通断,从而使得能量仅从电感传递到C_{ON}上,进一步拉低V_{ON},保证了输出电压幅度相等。同理,当V_{OP}幅度小于V_{ON}时,则进入Boost相位,开关M_P保持常闭状态,开关M_N周期性通断,从而使得能量仅从电感传递到C_{OP}上,进一步提高V_{OP}。由于电压偏差较小,因此特殊相位持续时间很短。

综上,通过两个常规相位和两个特殊相位,就可 以实现双极性电压的同时输出。与三相位控制方式 (即先电感充电,然后输出高电压,第三相位输出负 电压)相比,两相控制方式具有更小的输出电压纹波 和更高的效率。

1.2 电路实现

SIBO Controller 主要由参考电压产生器、时钟

信号发生器、过流保护结构、模式控制器以及用于产 生开关控制信号的数字电路组成。模式控制器输入 2 bit 控制信号,分别控制产生±16 V、±12 V、±8 V、±4 V 的输出电压,应用于不同的负载情况下。 后文如无特殊说明,均以产生±16 V 的输出电压为 例进行说明。

过流保护电路用于控制通过电感的电流大小,防止电流过大损坏开关晶体管。一旦检测到流过电感的电流达到最大值,则立刻产生控制信号 VLIM,以使 M_P 开关断开,中断电感充电过程。

电感电流检测电路如图 2 所示^[9]。 M_P 为主开 关, M_D 为采样晶体管。随着电感电流 I_L 的增大, 流经 M_D 的镜像电流也随之增大,则 C 点电压下降。 在电流镜镜像作用下可认为流经 M_3 、 M_4 管的电流 相等且保持不变,即流经 M_1 、 M_2 管的电流相等且 恒定,那么 D 点电压随之下降,B 点电压也随之下 降。这就确保了稳态情况下 B 点电压和 C 点电压 保持相等。B 点电压下降,则流经电阻 R_3 的总电流 I_3 增大,会导致流经 M_6 管的电流 I_{SENSE} 增大,即 V_{SENSE} 增大。当增大到预设值时,开关 M_P 断开,充 电过程停止。根据以上分析,可得:

$$\begin{cases} V_{\rm C} = V_{\rm A} - IR_2, \\ V_{\rm B} = V_{\rm IN} - I_3 R_3, \\ I_3 = I + I_{\rm SENSE} \end{cases}$$
(3)



图 2 电感电流检测电路

 M_{P} 管的导通电阻 $R_{ON(MP)}$ 远小于 M_{D} 管的导通 电阻 $R_{ON(MD)}$,所以可近似认为流经 M_{P} 的电流就是 电感电流 I_{L} ;同理,流经 R_{2} 的电流远小于流经 M_{D} 管的电流,所以可近似认为流经 R_{1} 的电流就是流经 M_{D} 管的电流。根据以上近似,可得:

$$\begin{cases} I_{\rm L} R_{\rm ON(MP)} = V_{\rm IN} - V_{\rm LX}, \\ \frac{V_{\rm IN} - V_{\rm LX}}{R_1 + R_{\rm ON(MD)}} = \frac{V_{\rm IN} - V_{\rm A}}{R_1} \end{cases}$$
(4)

可得检测电流表达式:

$$I_{\text{SENSE}} = \frac{R_1 R_{\text{ON(MP)}}}{R_3 (R_1 + R_{\text{ON(MD)}})} I_{\text{L}} + \frac{(R_2 - R_3)}{R_3} I \quad (5)$$

令 $R_2 = R_3$, $R_{\text{SENSE}} = nR_3$, R_1 远大于 $R_{\text{ON(MD)}}$, 则有:

$$\begin{cases} I_{\text{SENSE}} = \frac{R_{\text{ON(MP)}}}{R_3} I_L, \\ V_{\text{SENSE}} = nR_{\text{ON(MP)}} I_L \end{cases}$$
(6)

电感最大电流需要尽可能大,以降低开关频率, 减小开关损耗,同时使系统快速达到稳定输出电压。 但同时不能超过晶体管额定电流,并最好留有一定 阈值,以防损坏器件。因此设定 $V_{\text{SENSE}} = 1.25$ V, $n=3, R_{\text{ON(MP)}} = 0.8 \Omega$,此时得到最大电流约为 520 mA。

数字电路部分根据反馈电压与参考电压的比较输出结果 V_{PD}、V_{ND} 以及过流保护电路输出信号 V_{LIM},在参考时钟信号下,产生两个开关通断时序控 制信号 CLKN、CLKP。数字电路工作分为两个阶段:启动阶段和稳态维持阶段。启动阶段采用软启 动方法,通过限制占空比来消除启动阶段的浪涌电 流,避免输出电压过冲,实现输出电压从零到设定值 的平坦上升。稳态维持阶段采用固定导通时间 (COT)调制方法,极大降低了控制电路复杂度,提 高了效率。

1.3 纹波分析

本文设计的 SIBO 系统采用基于输出电压纹波 的 COT 控制模式,如图 3 所示。其工作原理为:直 接将反馈电压 V_{FB}与参考电压 V_{REF}进行比较,当反 馈电压降到参考电压时,比较器输出控制信号 V_{PD}, 使得开关 M_P和开关 M_N闭合,给电感充能;开关管 经过固定导通时间 T_{ON}后断开,从而使电感能量转 移到电容 C_{OP}、C_{ON}上,使得电压 V_{OP}升高、V_{ON}降低。 当反馈电压再次下降到参考电压时,开启下一个开 关周期。

稳态工作时,输出电压纹波可认为取决于电容 电压纹波和电容等效串联电阻(ESR)纹波。首先分 析电容电压纹波,此时假设电容无损,充放电过程中 电感电流斜率恒定。当输出电压下降到 V_{REF} 时,开 关闭合,电感电流以 V_{IN}/L 上升,输出电压继续下 降;经过 T_{ON} 导通时间后,开关断开,电感电流以 $2V_{\text{OP}}/L$ 下降,输出电压开始上升;当电感电流下降 为0时,进入断续工作状态,输出电压开始下降;直 到下降到 V_{REF} 开始新的充放电周期。电感电流与 输出电压时序图如图 4 所示。



图 3 COT 控制模式等效电路图



此时,输出电压纹波为:

$$\Delta v = \frac{\Delta Q}{C} = \frac{\left(\frac{V_{\rm in}}{L}T_{\rm on} - I_{\rm o}\right)^2 L}{4V_{\rm on}C} = \frac{\left(\frac{V_{\rm in}}{L}T_{\rm on} - \frac{2V_{\rm op}}{R_{\rm L}}\right)^2 L}{4V_{\rm on}C} \quad (7)$$

当电容 ESR 较大时,可以认为输出电压纹波由 ESR 电压决定,电容电压纹波可以忽略。电感电流 为 0 时,流过 ESR 电阻的电流为 $-I_0$;电感电流最 大时,流过 ESR 电阻的电流为:

$$I_{\rm MAX} = \frac{V_{\rm IN}}{L} T_{\rm ON} - I_{\rm O}$$
(8)

因此,ESR 电阻电流总的变化为:

$$\Delta I = \frac{V_{\rm IN}}{L} T_{\rm ON} \tag{9}$$

此时,电压纹波可以表示为:

$$\Delta v = \frac{V_{\rm IN}}{L} T_{\rm ON} R_{\rm ESR} \tag{10}$$

本设计中使用了 ESR 很小的电容,因此电压纹 波主要考虑电容电压带来的纹波。

2 仿真结果

本文提出的 SIBO 系统在 TSMC 0.18 µm 高压

工艺上实现,整体面积约为 2.3 mm²。版图实现如 图 5 所示。该设计采用单节锂电池供电,输入电压 范围为 3 V 到 4.2 V,典型电压为 3.7 V。输出电压 根据不同的负载情况可以输出 \pm 16 V、 \pm 12 V、 \pm 8 V、 \pm 4 V 四种模式。由于神经刺激器负载电流的 限制,整体上保证最大负载电流不超过 10 mA,典 型负载电流为 1 mA。本设计工作在 DCM 模式下,外部参考时钟频率为 2 MHz。采用的外部电感为 47 μ H,外部电容为 10 μ F。



图 5 SIBO 系统版图

在负载电流为 1 mA 时,稳态下 V_{OP} 、 V_{ON} 的仿 真结果如图 6 所示。可以看出, V_{OP} 和 V_{ON} 分别稳定 在 16 V和-16 V, V_{OP} 的电压纹波为 4.5 mV, V_{ON} 的电压纹波为 3.4 mV,具有较小的输出电压纹波。



两开关功率管 M_P、M_N的漏端电压波形仿真结 果如图 7 所示。开关管 M_P 两端最大承压为 21 V, 开关管 M_N 两端最大承压为 16.5 V。而所用高压 PMOS 管耐压值为 29 V,高压 NMOS 管耐压值为 24 V。因此,承压在该工艺高压晶体管所允许的电 压范围内。



电感电流波形仿真结果如图 8 所示。可以看出,最大电感电流保持在 530 mA 左右,与设计值基本一致。



图 8 电感电流波形仿真结果

该 SIBO 系统在不同负载电流下的效率仿真结 果如图 9 所示。可以看出,最大效率为 94.8%,对 应负载电流为 1.3 mA。



图 9 不同负载下的 SIBO 效率仿真结果

对效率进行定量分析,效率=输出功率/(输出 功率+损耗功率)。当负载电流为1mA时,效率为 94.1%,此时输入功率为34mW,输出功率为 32mW。损耗功率为2mW,主要来源于开关功耗、 开关管导通电阻功耗、开关管驱动电路功耗、电感等 效串联电阻消耗功耗以及反馈电阻网络功耗。

表1对本文提出的 SIBO 系统与已有文献中提 出的 SIBO 结构进行了性能对比。可以看出,本文 SIBO 系统具有更高的效率和更低的输出电压纹 波。一方面原因是采用两相控制策略,降低了开关 损耗;另一方面原因是采用 COT 调制方式和数模 混合逻辑控制单元,降低了控制复杂度,减小了控制 逻辑部分的功率损耗。

表 1 本文与其他文献中 SIBO 系统的性能对比

参数	文献[4]	文献[6]	文献[8]	本文
CMOS 工艺/nm	500	180	90	180
输入电 压/V	2.7~4.5	2.5~4.5	3.0~4.2	3.0~4.2
输出电 压/V	V _{OP} :4.58 V _{ON} : -6.24	$V_{ m OP}$:5 $V_{ m ON}$:-5	V _{OP} :4.8 V _{ON} :-2.5	$V_{ m OP}$:16/12/ 8/4 $V_{ m ON}$:-16/ -12/-8/ -4
负载电 流/mA	<100	<200	<30	<10
效率 最大值	82.3%	88.0%	90.1%	94.8%
电压纹 波/mV	$V_{ m OP}$:15 $V_{ m ON}$:5	$V_{ m OP}$:25 $V_{ m ON}$:10	$V_{ m OP}$:17 $V_{ m ON}$:50	V _{OP} :4.5 V _{ON} :3.4

3 结 论

本文提出了一种应用于神经电刺激器的单电感 双极性输出的直流电压转换器。一方面实现了双电 感到单电感的改进,降低了成本和面积;另一方面实 现了三相位控制到两相位控制的优化,提高了效率, 降低了输出电压纹波。提出了可用于 SIBO 系统的 数模混合逻辑控制单元设计方法,将数字逻辑控制 与模拟电路相结合,提高了系统鲁棒性,降低设计复 杂度。采用 COT 调制方法,提高了轻载效率。后 仿真结果显示,在输出电压为±16 V、负载电流为 1 mA时,Vop、Von的输出电压纹波分别为 4.5 mV 和 3.4 mV,具有较小的纹波;在负载电流为 1.3 mA 时,能够达到的最大效率为 94.8%。本文 SIBO 系 统具有效率高、纹波小、设计复杂度低等优势,可以 应用于神经电刺激器的供电系统。

参考文献:

- Linear Technology. LT1945: dual micro power DC/ DC converter with positive and negative outputs [EB/ OL]. http://www.linear.com, 2001.
- [2] Texas Instruments. TPS65130-1: positive and negative output DC-DC converter [EB/OL]. http:// www.ti.com, 2004.
- LEE S, YOON J, KIM J, et al. High-capacity DC-DC converters for active matrix OLED display [C] // IEEE Asia Pac Conf Circ Syst. Kuala Lumpur, Malaysia. 2010; 480-483.
- [4] CHAE C, LE H, LEE K, et al. A single-inductor step-up DC-DC switching converter with bipolar outputs for active matrix OLED mobile display panels
 [J]. IEEE J Sol Sta Circ, 2009, 44(2): 509-524.
- [5] Texas Instruments. TPS65135: single-inductor, multiple-output regulator [EB/OL]. http://www.ti.

com/ lit/ds/symlink/tps65135.pdf, 2011.

- [6] LIN K L, NG S S, HUANG T C, et al. P-56: a single-inductor bipolar-output DC/DC converter with high efficiency over wide load range for active matrix OLED [J]. SID Symp Dig Tech Pap, 2014, 45(1): 1183-1186.
- JIANG Y, FAYED A. A 1 A, dual-inductor 4-output buck converter with 20 MHz/100 MHz dual-frequency switching and integrated output filters in 65 nm CMOS
 IEEE J Sol Sta Circ, 2016, 51(10): 2485-2500.
- [8] KWAK B, HONG S, KWON O. A highly powerefficient single-inductor bipolar-output DC-DC converter using hysteretic skipping control for OLEDon-silicon microdisplays [J]. IEEE Trans Circ Syst II: Expr Bri. 2018, 65(12): 2017-2021.
- [9] SANSEN W, ENZ C, MURMANN B, et al. Lowpower analog signal processing [C] // IEEE ISSCC. San Francisco, CA, USA. 2012: 518.

(上接第15页)

- [10] 张球梅,张华曹. 功率 MOSFET 安全工作区的确定 [J]. 西安理工大学学报, 1994(4): 278-283.
- [11] 隋建鹏. 功率 MOSFET 在汽车电子系统中的设计考量[C] // 中国汽车工程学会年会论文集(4). 上海,中国. 2019: 264-269.
- [12] PASETTI G, SAPONARA S, TINFENA F, et al. An integrated smart driver for inductive loads with self-monitoring/diagnostic capability [C] // IEEE

SPEEDAM. Sorrento, Italy. 2012: 1007-1011.

- [13] 陈钢. 一种 28 V/1.8 A 智能功率开关的保护电路设 计 [D]. 成都: 电子科技大学, 2016: 2-3.
- [14] SAPONARA S, FANUCCI L, PASETTI G, et al. Fully integrated multi-channel inductive load driver for harsh automotive applications [J]. Analog Integr Circ Sig Process, 2016, 88(3): 485-494.

一种采用 SCOVP 技术的高频率稳定度 Buck 变换器

章玉飞, 甄少伟, 杨明宇, 罗 攀, 易子皓, 方 舟, 罗 萍, 张 波 (电子科技大学 电子薄膜与集成器件国家重点实验室, 成都 6100054)

摘 要: 提出了一种采用单周期输出电压预测(SCOVP)技术的自适应导通时间(AOT)控制 Buck 变换器。该变换器可以在输入输出电压及负载变化时实现频率恒定,并可设置外部电阻使 Buck 变换器准确工作在高开关频率下。首先分析了传统 AOT 控制 Buck 变换器的开关频率产生 漂移的原因,并提出了一种采用 SCOVP 技术的单脉冲计时器(OST)电路。其次通过单周期占空 比预测输出电压信息,并根据预测的输出电压和负载电流补偿 $T_{\rm ON}$ 时间,实现了 Buck 的频率稳定。 该变换器采用 0.18 μ m BCD 工艺进行电路设计。仿真结果表明,在 2 MHz 开关频率下,负载电流 从 1 A 到 5 A 变化时,Buck 变换器的最大频率变化 $\Delta f_{\rm sw}$ Q 13 kHz,负载平均频率变化 $\Delta f_{\rm sw}/$ $\Delta I_{\rm Load}$ 为 3.24 kHz/A。同时,变换器频率设置准确度从 88%提升到 99.35%。

关键词: AOT 控制; Buck 变换器; 单周期输出电压预测技术
 中图分类号:TN433
 文献标志码:A
 文章编号:1004-3365(2021)01-0022-06
 DOI:10.13911/j.cnki.1004-3365.200045

A High Frequency Stability Buck Converter with Single Cycle Output Voltage Prediction Technology

ZHANG Yufei, ZHEN Shaowei, YANG Mingyu, LUO Pan, YI Zihao, Fang Zhou, LUO Ping, ZHANG Bo

(State Key Lab. of Elec. Thin Films and Inter. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: An AOT-control buck converter with Single Cycle Output Voltage Prediction (SCOVP) technique was proposed. Quasi-constant frequency operation with the input/output voltage and load variation was achieved. Furthermore, the switching frequency was set by off-chip resistor with improved accuracy. The switching frequency variation of the traditional AOT-controlled buck converter was analyzed, and an One-Shot Timer(OST) circuit with SCOVP technique was adopted. By predicting the output voltage through single duty cycle and load current, the operational frequency was stabilized. The converter was designed with in a 0.18 μ m BCD process. Simulation results showed that only 13 kHz variation was realized with load current from 1 A to 5 A when the switching frequency was set as 2 MHz. Meanwhile, the switching frequency accuracy was enhanced from 88% to 99.35% with proposed SCOVP technique.

Key words: adaptive constant on time control; buck converter; single cycle output voltage prediction

作者简介:章玉飞(1995—),男(汉族),江苏如皋人,硕士研究生,从事模拟集成电路和 DC-DC 变换器方面研究。 甄少伟(1982—),男(汉族),河北保定人,博士,副教授,主要进行模拟与混合信号集成电路设计技术研究,涵盖电 源管理集成电路、激光三维成像雷达焦平面读出电路芯片等领域。通信作者。

收稿日期:2020-01-19;定稿日期:2020-03-06

基金项目:"十三五"装备预先研究项目(31513030209)

0 引 言

恒定导通时间(COT)控制的 Buck 变换器因其 结构简单、轻载效率高和瞬态响应速度快等优点被 广泛应用于便携设备中^[1]。但是,传统 COT 控制 的 Buck 变换器属于脉冲频率调制(PFM),其导通 时间 *T*_{ON}恒定,开关频率 *f*_{sw}随着输入电压和输出 电压的变化而变化。在模/数转换器(ADC)、数/模 转换器(DAC)、锁相环(PLL)和射频电路(RF)等应 用中,Buck 的频率扰动会通过 EMI 路径干扰到系 统的正常工作。对于定频工作的功率变换器,EMI 干扰是一个窄带信号,容易通过设计带阻滤波器消 除。但是,传统 COT 控制 Buck 变换器的频率偏移 难以准确预测,带宽较宽,在电路上难以消除,严重 影响了系统的性能。

为解决上述问题,国内外学者提出了一些解决 方案。S. Tian 等人采用 PLL 来锁定 COT 控制 Buck 变换器的开关频率^[1],通过检测参考频率 f_{REF} 和开关频率 fsw 的差值调节 Ton,实现频率的锁定 并支持多变换器之间的频率同步与分相工作。但为 了同时维持 Buck 系统和 PLL 系统的稳定,会降低 系统的频率恢复速度,增加芯片面积和复杂度[3]。 W. Chen 等人提出了预测校正技术(PCT)^[4],通过 在片内对开关节点滤波产生输出电压,检测负载大 小切换不同的输出电压,实现开关频率的稳定。但 频率稳定速度较慢,负载切换等效输出电压只能在 较小负载范围内实现频率稳定。针对上述问题,本 文提出了一种具有单周期输出电压预测技术的 AOT 控制 Buck 变换器,在较宽的负载范围内实现 了频率稳定,在瞬态响应时有较快频率稳定速度, Buck 变换器能在预设的频率下工作。

1 传统 AOT 控制 Buck 变换器的 问题

传统 COT 控制模式存在固有的频率漂移问题。COT 控制模式下的开关频率 f_{sw} 会随着输入 电压和输出电压的变化而变化。AOT 控制模式 Buck 变换器如图 1 所示。输出电压 V_{OUT} 经过分压 电阻 R₁ 和 R₂ 得到反馈电压 V_{FB},通过比较器比较 基准电压 V_{REF} 和反馈电压 V_{FB}得到功率上管的控 制信号,单脉冲计时器(OST)产生 T_{ON},通过逻辑 和驱动电路控制功率管,从而实现 Buck 系统的 工作。



图 1 传统的 AOT 控制 Buck 变换器

在单脉冲计时器模块中,充电电流 $I_{ON} 与 V_{IN}$ 成 正比, $I_{ON} = V_{IN}/R_{ON}$,比较器的一端是 I_{ON} 给电容 C_{ON} 充电,另一端是 k 倍的 V_{OUT} 。开关频率 f_{SW} 为:

$$f_{\rm sw} = \frac{1}{kR_{\rm ON}C_{\rm ON}} \tag{1}$$

因此,在理想 AOT 控制 Buck 变换器模型中, 当输入电压和输出电压改变时, f_{sw}可以保持恒定。 Buck 电路中的寄生参数与工作波形如图 2 所示。 可以看出,功率管的导通电阻 R_{ON}、电感的等效串联 电阻 R_{DCR}、比较器延迟^[2]、封装寄生电阻等因素在 负载 I_{LOAD}变化时会使 Buck 产生频率漂移。



当 Buck 工作在电感电流连续模式下,功率上 管开启时,电感电流流经 R_{ONTOP}、R_{DCR},产生压降,实 际的开关节点 SW 等效高度比理论值低;功率下管 开启时,电感电流流经 R_{ONBOT}、R_{DCR},开关节点 SW 等效高度也比理论值低。因此,当负载电流增加时,

2021 年

寄生参数产生的影响更加明显,使变换器工作频率 升高。此外,因比较器延迟、功率管驱动等因素, *T*_{ON}时间会比预设值稍大,在通过*R*_{ON}设置开关频率 时,高开关频率下信号延迟会使导通时间偏大,导致 实际开关频率偏离预设值。传统 AOT 架构在一些 高频应用中会受到限制,如图 3 所示。功率变换器 一般通过*R*_{ON}和 *C*_{ON}设置工作频率,但因寄生电阻 和控制电路延迟的存在,*f*_{SW}在高频下偏离了预设 值 1/(*R*_{ON}*C*_{ON}),不利于芯片外围元件的减少和功 率密度的提高。



图 3 传统 AOT 变换器高频下频率受限

2 具有单周期输出电压预测技术的 AOT 控制 Buck 变换器

本文采用的具有单周期输出电压预测技术的 OST电路结构如图 4(a)所示。其中, I_{ON} 为 kV_{IN}/R_{ON} ,开关 S₁和 S₂ 受占空比控制,S₃为 T_{ON} 时间结 束时的清零信号。



(b)负载阶跃时的瞬态波形 图 4 具有单周期输出电压预测技术的 OST 电路

在 T_{ON} 期间,与 V_{IN} 成正比的电流 I_{ON} 和与负载 电流成正比的电流 I_A 的差值为 C_{ON} 充电,直到 V_A = V_B 。在 T_{OFF} 期间,开关 S_3 将 C_P 复位后,开关 S_2 导 通, C_P 由 I_{ON} 充电。在 T_{OFF} 结束时, S_2 关闭, C_P 上 保持的电压通过 V-I转换电路转换为电流,与 I_{ON} 相减后,在 R_P 上产生电压 V_B ,作为下一个周期决定 T_{ON} 的电压。因此 V_B 点电压可表示为:

$$V_{\rm B} = R_{\rm P} \left(I_{\rm ON} - \frac{T_{\rm OFF} I_{\rm ON}}{C_{\rm P} R_{\rm VI}} \right) = V_{\rm IN} \frac{k R_{\rm P}}{R_{\rm ON}} \left(1 - \frac{T_{\rm OFF}}{C_{\rm P} R_{\rm VI}} \right)$$
(2)

式中, R_{vI} 为V-I转换电路的增益。 V_{B} 电压决定了 T_{ON} 。由式(2)可知,此时变换器的开关频率为:

$$f_{\rm SW} = \frac{1}{T_{\rm ON} + T_{\rm OFF}} = \frac{1}{R_{\rm P}C_{\rm ON} - T_{\rm OFF}\left(\frac{R_{\rm P}C_{\rm ON}}{R_{\rm VI}C_{\rm P}} - 1\right)}$$
(3)

由式(3)可知,当调节 R_PC_{ON} 等于 $R_{VI}C_P$ 时, f_{sw} 为 1/(R_PC_{ON}), f_{sw} 只取决于 R_P 和 C_{ON} 决定的时间 常数,从而稳定开关频率。当负载上阶跃时,如图 4 (b)所示。跳变的第一周期,变换器的 T_{OFF} 时间减 小,等效占空比 D 变大,导致下一个周期 V_B 电压升 高, T_{ON} 时间扩展。通过采样前一个周期的占空比 信息产生下一个周期的等效输出电压,实现对单周 期输出电压的预测,变换器在瞬态响应时具有更快 的频率稳定速度。在此基础上,引入与负载电流成 正比的电流 I_A ,微调 T_{ON} 时间,以实现更稳定的工 作频率。

3 关键子模块设计

具有单周期输出电压预测技术的 AOT 控制 Buck 主要包含两个部分:第一部分为 OST 产生器,实现 T_{ON}时间产生;第二部分为电压箝位电路, 设定 T_{ON}时间的上限和下限,保证占空比的有效 区间。

3.1 OST 产生器

OST 产生器是 AOT 控制 Buck 电路的核心模 块,用于产生变换器的 T_{ON} 时间,本文的 OST 产生 电路如图 5 所示。 R_1 和 R_2 对输入电压 V_{IN} 进行分 压,运放 A_1 、 R_{ON} 、MN1、MP1 和 MP2 组成电压转 电流电路,产生与 V_{IN} 成正比的电流 I_{ON} ,与负载电 流成正比的电流 I_A 相减,给 C_{ON} 充电,得到与 V_{IN} 和负载电流成正比的电压 V_A 。传输门 T_1 、运放 A_2 、电流镜 MP6、MP4、MP5、MN7, MN8、电阻 R_3 、 R_P 以及电容 C_P 组成输出电压预测电路,得到与输 出成正比的电压信息 V_B。通过比较器比较 V_A 和 V_B,得到 T_{ON}时间。与传统 OST 产生电路不同,本 文采用的 OST 电路不需要额外增加引脚引入 V_{OUT}信息。



等效输出电压 $V_{\rm B}$ 产生时序如图 6 所示。在下 管导通期间给电容 $C_{\rm P}$ 充电得到 $V_{\rm N}$,通过 V-I 转换 电路把 $V_{\rm N}$ 电压转成电流,并在 $T_{\rm ON}$ 结束后通过 OST 信号清零。在电阻 $R_{\rm P}$ 上, $T_{\rm ON}$ 时间内,利用上 一个周期的 $T_{\rm OFF}$ 采样电压使得 $V_{\rm B}$ 点保持不变。 $T_{\rm ON}$ 结束后对 $V_{\rm B}$ 点进行放电,充放电电流 $I_{\rm MP3}$ 、 $I_{\rm MP6}$ 都与 $V_{\rm IN}$ 成正比, $C_{\rm P}$ 与 $C_{\rm ON}$ 相等, $R_{\rm ON}$ 、 $R_{\rm 3}$ 与 $R_{\rm P}$ 相 等。忽略频率补偿电流 $I_{\rm A}$ 的影响, $V_{\rm B}$ 点的电压可 以表示为:

$$V_{\rm B} = V_{\rm IN} \frac{kR_{\rm P}}{R_{\rm ON}} \left(1 - \frac{T_{\rm OFF}}{C_{\rm P}R_3} \right) = DkV_{\rm IN} \tag{4}$$

通过采样保持的方法,在单个周期实现了等效 的输出电压 DkV_{IN} ,从而稳定了开关频率。除此之 外,引入补偿电流 I_A ,在负载电流变化时微调 T_{ON} 时间,补偿电流 I_A 随着负载电流增加而增加,等效 的 T_{ON} 时间也随之增加,进一步保证了 Buck 在不同 负载下的频率稳定。



3.2 电压箝位电路

电压箝位电路设定了 Buck 变换器的等效输出 电压 V_B的上下限,保证 T_{ON}时间在软启动和短路保 护等情况下不会超出预设的区间。等效输出电压箝 位电路如图 7 所示。



图 7 等效输出电压箝位电路

MP3、MP6、MP7、MN4、MN5 和 MN6 组成最 大值/最小值选择电路, MP6 和 MP7 组成 $V_{\rm B}$ 和 $V_{\rm L}$ 的最小值选择电路, M 点的电位为:

 $V_{\rm M} = \min\{V_{\rm B} + V_{\rm GSMP6}, V_{\rm L} + V_{\rm GSMP7}\}$ (5)

MP3、MN4 和 MN5 组成 $V_{\rm M}$ 和 $V_{\rm H}$ 的最大值 选择电路,N 点的电位:

$$V_{\rm N} = \max\{V_{\rm M} - V_{\rm GSMN4}, V_{\rm H} + V_{\rm GSMP3} - V_{\rm GSMN5}\}$$

(6)

N 点 通 过 MN5、MN7、MN8、MN9、MP8、 MP13、MP14 和 MP15 组成负反馈。MN8 为高阻 节点,其环路增益为:

$$A \approx \frac{g_{\text{mMN5}} \left(g_{\text{mMP15}} r_{\text{oMP15}} r_{\text{oMP14}} \parallel r_{\text{oMN9}}\right)}{1 + sC_1 \left(g_{\text{mMP15}} r_{\text{oMP15}} r_{\text{oMP14}} \parallel r_{\text{oMN9}}\right)}$$
(7)

输出 V_{OUT} 电压在下限 V_L 和上限 V_H 之间随 V_B 变化,超出上下限电压时将会被箝位在上下限。当 Buck 电路启动或短路时,箝位电路输出箝位在下限 V_L,设定了系统的最小 T_{ON}导通时间。

4 仿真结果

本文提出的具有单周期输出电压预测技术的 AOT 控制 Buck 变换器基于 0.18 μm BCD 工艺设 计,使用 Spectre 软件进行仿真验证,其电路参数如 表1所示。

给定输入电压为 6 V,输出电压为 1.8 V,负载 电流从 1 A 到 5 A 变化,传统 AOT 电路与本文 AOT 电路的频率变化对比如图 8 所示。

传统 AOT 控制 Buck 变换器的频率漂移 Δf_{sw} 为 240 kHz,相对于设定开关频率 2 MHz 的 $\Delta f_{sw}/$

 f_{sw} 变化了 12%,负载平均频率变化 $\Delta f_{sw}/\Delta Load$ 为 60 kHz/A。本文具有频率校正的 AOT 控制 Buck 变换器的最大频率漂移 Δf_{sw} 只有 13 kHz,相 对于设定开关频率 2 MHz 的 $\Delta f_{sw}/f_{sw}$ 变化了 0.65%,负载平均频率变化 $\Delta f_{sw}/\Delta Load$ 为 3.24 kHz/A。该电路实现了较好的频率稳定性。

表 1 具有 SCOVP 技术的 Buck 变换器基本参数

设计参数	数值
开关频率范围 f _{sw} /MHz	2
功率电感 L/µH	1
输出电容 $C_{\rm OUT}/\mu F$	$47(ESR < 8 m\Omega)$
输入电压范围 V_{IN}/V	$5 \sim 12$
输出电压范围 V _{OUT} /V	1.2~5
负载电流最大值 I _{MAX} /A	5



图 8 传统 Buck 电路与本文 Buck 电路频率对比

Buck 输入电压 12 V,输出电压 1.8 V,工作频 率 2 MHz 下的负载上、下阶跃仿真图分别如图 9、 图 10 所示,负载电流在 1 A~5 A 范围内跳变。当 负载上阶跃时,输出下冲为 33 mV,恢复时间为 1.46 μ s,频率重新稳定时间为 3 μ s;当负载下阶跃 时,输出上冲为 58 mV,恢复时间为 4 μ s,频率重新 稳定时间为 5 μ s。跳变前后频率的稳态值变化 Δf_{sw} 为 10 kHz,频率恢复时间基本与输出电压恢复 时间一致。因此,本文提出的单周期输出电压预测 技术可实现较 AOT 控制更加精确的工作频率控 制,具有较快的频率稳定速度。本文与其他文献中 Buck 变换器的参数比较如表 2 所示。



表 2 本文与其他文献中 Buck 变换器的参数比较

参数	文献[6]	文献[5]	文献[4]	本文
控制方式	PLL Based	PLL Based	РСТ	SCOVP
$V_{ m IN}/{ m V}$	3	2.7~4.5	3.3	$5 \sim 12$
$V_{ m OUT}/{ m V}$	1.8	2	1.05	1.2~5
$L/\mu { m H}$	4.7	4.7	1	1
$C_{ m OUT}/\mu{ m F}$	4.7	10	4.7	47
$\Delta I_{ m Load}/ m A$	0.25	0.4	1.4	4
$f_{\rm SW}/{ m MHz}$	1	1	2.5	2
$\Delta f_{\rm SW}/k{ m Hz}$	15	2	8	13
$(\Delta f_{\rm SW}/f_{\rm SW})/\sqrt[9]{0}$	1.5	0.2	0.32	0.65
$(\Delta f_{\rm SW}/\Delta Load)/({ m kHz}\cdot{ m A}^{-1})$	60	5	5.7	3.24
频率恢复 时间/μs	10	3	8	3

5 结 论

本文基于 0.18 μ m BCD 工艺,设计了具有单周 期输出电压预测技术的 AOT 控制 Buck 变换器。 分析了传统 AOT 控制 Buck 变换器产生频率漂移 问题的原因,提出了一种具有单周期输出电压预测 技术的 OST 电路。通过占空比单周期预测输出电 压信息,根据负载电流补偿 T_{ON} 时间,实现了 Buck 的频率稳定,并支持高开关频率下工作。仿真结果 表明,Buck 变换器在 1 A 到 5 A 范围内负载跳变, 最大频率漂移 Δf_{sw} 仅 13 kHz,相对于设定开关频 率 2 MHz 的 $\Delta f_{sw}/f_{sw}$ 变化了 0.65%,负载平均频 率变化 $\Delta f_{sw}/\Delta Load$ 为 3.24 kHz/A,实现了较好 的频率稳定。负载上阶跃频率恢复时间为 3 μ s,具 有较快的频率稳定速度。

参考文献:

- [1] TIAN S, LEE F C, LI J, et al. A three-terminal switch model of constant on-time current mode with external ramp compensation [J]. IEEE Trans Power Elec, 2016, 31(10): 7311-7319.
- [2] YANG MY, ZHENSW, ZHOUSZ, et al. Effect of

control delay on small signal model for buck converter with constant on time control [C] // IEEE APCCAS, Chengdu, China. 2018; 480-483.

- [3] 曾鹏灏. 变导通时间控制 Buck 变换器分析与设计[D]. 成都: 电子科技大学, 2019.
- [4] CHEN W C, CHEN H C, CHIEN M W, et al. Pseudo-constant switching frequency in on-time controlled buck converter with predicting correction techniques [J]. IEEE Trans Power Elec, 2016, 31 (5): 3650-3662.
- [5] LEE S H, BANG J S, YOON K S, et al. A 0.518 mm² quasi current mode hysteretic buck DC-DC converter with 3 μs load transient response in 0.35 μm BCDMOS [C] // IEEE ISSCC. San Francisco, CA, USA. 2015: 1-3.
- [6] ZHENG Y Q, CHEN H, LEUNG K N. A fastresponse pseudo-PWM buck converter with PLL-based hysteresis control [J]. IEEE Trans Very Large Scale Integr (VLSI), 2012, 20(7): 1167-1174.
- [7] ZHEN S W, ZENG P H, CHEN J W, et al. Transient response improvement of DC-DC converter by current mode variable on time control [C] // IEEE 61st Int MWSCAS. Windsor, ON, Canada. 2018: 603-606.

一种 GaN 半桥驱动器电平移位电路设计

成松林,向乾尹,冯全源 (西南交通大学 微电子研究所,成都 611756)

摘 要: GaN 半桥输出点电压在死区时间为负值,给 GaN 功率器件栅极驱动电路信号通信带来 了挑战。通过研究驱动器电平移位锁存电路工作状态与半桥功率级输出节点电压跳变、死区时间 负压之间的相互影响,设计了一种新型的零静态功耗电平移位电路及其误触发消除电路。电路采 用 100 V BCD 0.18 μm 工艺设计,在输入电压 100 V、开关频率 5 MHz 的 GaN 半桥变换器中对版 图进行了后仿真。仿真结果表明,当半桥功率级输出节点分别为-3 V和 100 V 时,延时为 4.5 ns 和 1.5 ns。

关键词: GaN 驱动; 电平移位电路; 开关电源; DC-DC 降压变换器
 中图分类号: TN433
 文献标志码: A
 文章编号: 1004-3365(2021)01-0028-05
 DOI: 10.13911/j. cnki. 1004-3365. 200049

A Level Shifter for Half-Bridge GaN Driver

CHENG Songlin, XIANG Qianyin, FENG Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, P. R. China)

Abstract: GaN half-bridge output voltage is negative during deadtime, and it brings a challenge to the signal communication of gate drive circuit of GaN power device. A novel level shifter with false eliminating circuit and zero quiescent current was designed through studying the mutual effects between the state of the level shift latch circuit, half bridge output voltage jumping and its negative pressure in deadtime. The circuit was designed in a 100 V BCD 0. 18 μ m process, and the layout was post-simulated in a GaN half-bridge converter with input voltage of 100 V and switching frequency of 5 MHz. The simulation showed that the delay was 4.5 ns and 1.5 ns when the half-bridge output voltage was -3 V and 100 V, respectively.

Key words: GaN driving; level shifter; switching power; DC-DC buck converter

0 引 言

近年来,氮化镓(GaN)功率半导体器件在高频、 小型化、高功率密度开关电源中得到广泛应用,相关 的 GaN 功率半导体器件栅极驱动芯片技术在国内 外快速发展^[1-6]。虽然 GaN 的应用能带来更高的开 关速度^[2-3],可以有效降低成本以及减小产品尺寸, 但也存在着许多问题。如图 1 所示的降压变换器 中^[7],当功率级在死区时间(高端管和低端管都关 闭)时,低端管会反向续流。

GaN 缺乏体二极管续流,导致 V_{SSH} 因电感续流 而出现较大的负电压^[8],容易使传统电平移位电路 失效^[5,6,9,10],如图 2 所示。D. W. Liu 等人^[11]设计 了一种针对 GaN 半桥驱动器的电平移位电路。该 电路可以工作在 $V_{SSH} = -1.5$ V 到 45 V 之间,但若

收稿日期:2020-01-21;定稿日期:2020-03-27

基金项目:国家自然科学基金资助项目(61771408,61531016)

作者简介:成松林(1994—),男(汉族),四川中江人,硕士研究生,研究方向为数模混合信号集成电路设计。

向乾尹(1982—),男(汉族),四川彭州人,副教授,硕士生导师,研究方向为射频/微波/混合信号集成电路设计、微 波通信智能抗干扰技术。通信作者,E-mail:qyxiang@home.swjtu.edu.cn。

低端管电流较大,V_{SSH}在死区时间可能仅为一3 V 或者更低,这限制了该电路在大电流场景下的应用。



图 1 DC-DC 降压变换器功率驱动框图





本文设计了一种应用于半桥电路 GaN 功率器 件栅极驱动器的新型零静态功耗电平移位电路。利 用加载电阻的反相器提升锁存器门限值, 拓展电平 移位电路对半桥输出节点的负压适应能力。同时设 计了防误触发电路, 以消除半桥输出节点电压跳变 的干扰。电路采用 100 V BCD 0.18 μm 工艺设计, 进行了版图设计和后仿真验证。

1 电平移位电路设计

1.1 电平移位电路原理

如图 1 所示,在死区时间, M_{NH}和 M_{NL}同时关断。由于电感 L 续流,且 GaN 器件没有体二极管, 当 M_{NL}反向导通时,栅级和源级相接,电流流向漏级,相当于一个工作于饱和区的二极管连接结构,其 *I-V* 特性为:

$$I_{\rm D} = \frac{1}{2} K_{\rm n} \frac{W_{\rm N}}{L_{\rm N}} (V_{\rm GD(OFF)} - |V_{\rm th(N)}|)^2$$
(1)

$$V_{\rm GD(OFF)} = V_{\rm G} - V_{\rm SSH} = \sqrt{\frac{2I_{\rm D}}{K_{\rm n} \frac{W_{\rm N}}{L_{\rm N}}}} + |V_{\rm th(N)}| \quad (2)$$

式中, $V_{GD(OFF)}$ 为关断时的栅漏电压。关断时, $V_G = 0$,导致 V_{SSH} 在死区时间小于 0 V,令其为 $V_{SSH(deadtime)}$ 。在重载模式下 $V_{SSH(deadtime)}$ 可达-3 V。 而GaN器件的栅源击穿电压较低,对于如图 3 所示 的传统电平移位电路^[4],限定驱动器的供电电压 $V_{BST} = V_{DDH} - V_{SSH}$ 为 5 V,也是高压域驱动电路供电 电压。因此, $V_{DDH(deadtime)}$ 到参考地的电压值在死区 时间被拉低,这可能导致传统电平移位电路在死区 时间内失效。



图 3 传统的电平移位电路^[4]

对于节点电压 V_{DDH} ,假设能让锁存器跳变的阈 值电压为 $V_{TH-V_{DDH}}$ 。当脉冲 S1 高电平来临时, MH₁ 导通, A 点电位被拉低。假设 MH₁ 的导通压降为 $V_{DS(ON)}$, 为了能让锁存器跳变,需要满足:

 $V_{\rm DS(ON)} + V_{\rm TH-}V_{\rm DDH} < V_{\rm BST} + V_{\rm SSH(deadtime)}$ (3)

同时,当 S1 或 S2 关闭时,MH₁ 或 MH₂的体二 极管会导致 A 点或 B 点中的低电平节点到参考地 的输出电压变为体二极管压降,即为一V_{bd}。为了防 止其状态翻转,需要阈值电压 V_{TH-V_{DDH}}满足:

 $V_{\text{CTH},V_{\text{DDH}}} < V_{\text{BST}} + V_{\text{SSH}(\text{deadtime})} - (-V_{\text{bd}})$ (4)

由式(3)和式(4)可知,V_{TH-V_{DDH}}越低,V_{SSH(deadtime)} 越低。基于传统 CMOS 反相器的锁存器结构难以 降低其跳变门限电压。文献[11-12]通过引入额外 的推挽式电路来避免 CMOS 反相器跳变门限电压 的影响,但结构复杂、动态功耗大,且容易在 V_{SSH}跳 变时产生对地漏电不匹配,从而引起误触发。

1.2 锁存器设计

在 CMOS 反相器引入串联电阻的改进型反相

器如图 4(a)所示。基于该反相器的新型锁存器如 图 4(c)所示。通过电阻可以调控该锁存器的跳变 门限阈值,如图 4(b)所示。当输出节点 OUT 相对 于 V_{SSH} 为(V_{DDH} - V_{SSH})/2 时,定义为输出跳变,这 时有:

$$\frac{\frac{1}{2}(V_{\rm DDH} - V_{\rm SSH})}{R} = I_{\rm D}$$
(5)

$$I_{\rm D} = \frac{1}{2} \mu_{\rm p} C_{\rm OX} \frac{W_{\rm p}}{L_{\rm p}} (V_{\rm SG(P)} - |V_{\rm th(P)}|)^2$$
(6)

式中,R'为 R_1 和 MN₁的等效电阻之和, $|V_{th(P)}|$ 为 PMOS 的阈值电压, $\mu_P C_{OX}$ 为工艺常数。因此,锁存 器相对于 V_{DDH} 的压降门限为:

$$V_{\text{TH-V}_{\text{DDH}}} = \sqrt{\frac{(V_{\text{DDH}} - V_{\text{SSH}})}{\mu_{p} C_{\text{OX}} \frac{W_{\text{P}}}{L_{\text{P}}} \cdot R'}} + |V_{\text{th}(\text{P})}| \qquad (7)$$

若电阻 R'足够大、MP 导通能力足够强时, $V_{\text{TH-V}_{\text{DDH}}} \approx |V_{\text{th}(\text{P})}|$ 。由于 $|V_{\text{th}(\text{P})}| \approx 0.7 \text{ V}, M_{\text{N}}$ 的导 通压降为 0.2 V~0.5 V。因此,根据式(3)和式(4) 可知, $V_{\text{SSH}(\text{deadtime})}$ 最低可达到 -3.8 V,优于文献 [11]最低的 -1.5 V。



(a)反相器(b)反相器门限波形(c)锁存器图 4 本文设计的锁存器及其内部反相器的结构与波形

1.3 电平移位电路设计与原理

本文设计的新型电平移位电路如图 5 所示。电路由上升沿单脉冲产生模块(ONE SHOT)、信号锁存模块、防误触发模块组成,具有零静态功耗特性。 通过 MP₁、MP₂和 MN₅、MN₆管箝制电压,避免器件 过压损毁。

电平移位电路本身存在到地的寄生电容,在 CMOS反相器中引入了阈值调控电阻。当电平移 位电路不断在高、低电压域之间高速切换时,会给电 路带来较大的共模干扰。

1.3.1 V_{SSH}由低向高跳变时的干扰及其消除

本文设计的电平移位电路时序如图 6 所示。 V_{PWM}由高向低跳变时,左侧单脉冲触发电路产生脉 宽为 T_{shotl}的单脉冲,使 MN₁短暂导通,拉低 B 点电 压,MP₆管迅速导通使 C 点升高,V_{LSFH}跳变为低电 平。通过设置 T_{shotl}大于死区时间,保证 V_{SSH}跳变时







另一方面,由于 MN₂管关闭且 A 点具有寄生 电容,V_{SSH}由低向高跳变时,导致 A 点出现变低的 窄毛刺。但死区时间较短,且 D 点到 V_{SSH}的电阻 值足够大,会使 D 点下降沿相对缓慢。因此,A 点

31

在 V_{ssH}上升时的低脉冲毛刺并不会引起 D 点误触发。

1.3.2 V_{SSH}由高向低跳变时的干扰及其消除

如图 6 所示, V_{PWM} 由低向高跳变时, 经过右侧 单脉冲触发电路产生脉宽为 T_{shot2} 的单脉冲, 使 MN₂管短暂导通, 快速拉低 A 点电压, 驱动 B 点为 高电平, 使得 V_{LSFH} 翻转, V_{SSH} 跳变为低电平。C 点 到 V_{SSH} 由电阻 R₃进行下拉, 阻抗较大, 因此 C 点可 能会因寄生效应导致 V_{SSH} 下降沿出现高电平误触 发。图 5 所示的电路设计了由单脉冲电路和 MN₉ 组成的擦除电路, 当 A 点跳变为低电平时, 触发 MN₉管导通, 屏蔽了 C 点可能的误触发。

同时,V_{SSH}跳变为低时,寄生效应导致 A 点出 现高电平毛刺。为了避免这个毛刺的误触发,一方 面通过设置 T_{shot2}大于死区时间,利用导通 MN₂来 拉低 A 点,避免高电平毛刺的产生。另一方面,通 过 R₀可以实现 D 点上升沿不受影响、延缓下降沿, 从而抑制 A 点高电平毛刺向 D 点传递,在不影响 A 点下降沿信号延时的前提下有效避免误触发。

2 仿真验证

图 5 所示的电平移位电路采用 0.18 μ m BCD 工艺设计,电路版图如图 7 所示。设置 $V_{DD} = V_{DDH} - V_{SSH} = 5 V, 分别选取 V_{SSH} = -3 V 和 V_{SSH} = 100 V$ 的情况对电路进行后仿真, 仿真结果分别如表 1 和 表 2 所示。当 V_{SSH} 为-3 V 时, 典型延时为 4.5 ns; 当 V_{SSH} 为 100 V 时, 典型延时为 1.5 ns。



图 7 电平移位电路的版图

表 1 电平移位电路在 $V_{\rm SSH} = -3$ V 的延时(ns)

温度/℃	TTT	FFF	SSS
25	4.517 929 47	3.362 296 34	6.578 511 89
85	5.791 939 58	4.452 140 89	8.324 879 07
-45	2.974 535 61	2.127 378 18	4.450 529 25

表 2 电平移位电路在 $V_{\rm SSH} = 100$ V 的延时(ns)

温度/℃	TTT	FFF	SSS
25	1.498 094 6	1.240 250 2	1.730 369 6
85	1.614 470 9	1.325 198 6	1.926 048 9
-45	1.339 819 5	1.130 599 8	1.620 076 5

将该电平移位电路提取的后仿真网表放入图 1 所示的 100 V 5 MHz GaN 降压变换器中进行仿真, 其中 电 感 值 为 1 μ H。GaN 器 件 模 型 选 用 EPC2104,为了验证电路对 $V_{SSH(deadtime)}$ 的负压支持 能力,将负载电流设置为 123 A。图 8 所示为整体 电路的仿真验证波形,图 9 为其一个周期的缩微图, 其死区时间的 $V_{SSH(deadtime)} = -3.3$ V。图 10 为不包 含误触发擦除电路的仿真结果。对比图 9 和图 10 可以发现,误触发擦除电路能有效去除 V_{SSH} 下降时 对 C 点的误触发。





3 结 论

本文分析了 GaN 半桥驱动器锁存型电平移位 电路在死区时间的跳变阈值特性,通过在锁存器中 引入阈值调控电阻设计了新型的锁存器,优化了 GaN 半桥功率级输出节点负压的支持范围。分析 了半桥功率级输出节点跳变对电路的干扰,设计了 误触发消除电路,对电路进行了版图设计和后仿真。 结果表明,电路在半桥变换器中能正常工作,当半桥 功率级输出节点分别为-3 V 和 100 V 时,延时分 别为 4.5 ns 和 1.5 ns。

参考文献:

- [1] CHEN Y P, MA D B. An 8.3 MHz GaN power converter using Markov continuous RSSM for 35 dB_µV conducted EMI attenuation and one-cycleT_{ON} rebalancing for 27.6 dB V₀ jittering suppression [C] // IEEE ISSCC. San Francisco, CA, USA. 2019: 250-252.
- [2] MA Y S, LIN Z Y, LIN Y T, et al. A digital-type GaN driver with current-pulse-balancer technique achieving sub-nanosecond current pulse width for highresolution and dynamic effective range LiDAR system [C] // IEEE ISSCC. San Francisco, CA, USA. 2019: 466-468.
- [3] SEIDEL A, WICHT B. A 1.3 A gate driver for GaN with fully integrated gate charge buffer capacitor delivering 11 nC enabled by high-voltage energy storing [C] // IEEE ISSCC. San Francisco, CA, USA. 2017: 432-433.
- [4] KE X G, SANKMAN J, CHEN Y P, et al. A trislope gate driving GaN DC-DC converter with spurious noise compression and ringing suppression for automotive applications [J]. IEEE J Sol Sta Circ, 2018, 53(1): 247-260.
- [5] 潘溯,胡黎,冯旭东,等. 600 V 耗尽型 GaN 功率器 件栅极驱动方案设计 [J]. 电源学报,2019,17(3): 57-63.
- [6] 明鑫,张宣,周琦,等. 增强型 GaN 功率器件栅驱动 技术设计考虑 [J]. 电力电子技术,2017,51(8): 75-78.
- [7] 杨林才,冯全源,向乾尹. 高压 BUCK 转换器低端整 流管全集成驱动方案 [J]. 微电子学,2014,44(3): 329-331.
- [8] KE X G, MA D B. A 3-to-40 V VIN 10-to-50 MHz 12 W isolated GaN driver with self-excited t_{dead} minimizer achieving 0.2 ns/0.3 ns t_{dead}, 7.9% minimum duty ratio and 50 V/ns CMTI [C] // IEEE ISSCC. San Francisco, CA, USA. 2018: 386-388.
- [9] 刘焱,龚志鹏,鲍小亮,等.同步降压 DC-DC 转换器 驱动级设计 [J].微电子学,2012,42(2):187-190.
- [10] 苏丹, 胡永贵, 徐辉. 一种同步降压型 DC-DC 转换器 驱动电路设计 [J]. 微电子学, 2014, 44(6): 709-712.
- [11] LIU D W, HOLLIS S J, STARK B H. A New design technique for sub-nanosecond delay and 200 V/ns power supply slew-tolerant floating voltage level shifters for GaN SMPS [J]. IEEE Trans Circ Syst I: Reg Pap, 2019, 66(3): 1280-1290.
- [12] LIU D W, HOLLIS S J, DYMOND H C P, et al. Design of 370-ps delay floating-voltage level shifters with 30-V/ns power supply slew tolerance [J]. IEEE Trans Circ Syst II: Expr Bri, 2016, 63(7): 688-692.

一种高精度滞环控制恒流 LED 驱动电路

钱希琛,邓红辉,陈尚存,张 俊

(合肥工业大学 微电子设计研究所 教育部 IC 设计网上合作研究中心,合肥 230009)

摘 要:基于降压型结构,设计了一种高精度的恒流 LED 驱动电路。在滞环控制模式的基础上, 采用一种新型的自适应关断时间控制环路替代谷值检测反馈环路,间接地实现了对电感电流谷值 的精确控制,避免了对谷值直接采样所带来的误差,提升了系统的恒流精度。控制环路采用低边 采样方式,降低了采样电阻上的损耗,提升了系统的转换效率。该 LED 驱动电路基于 TSMC 0.18 μm 70 V BCD 工艺进行了仿真与设计。结果表明,在 20~125 mA 负载电流范围内,最大恒流误 差不超过 0.8%。在 20~100 V 输出电压范围内,平均电流变化率小于 1%。

关键词: LED 驱动;高精度恒流;滞环控制;自适应关断时间
 中图分类号:TN 433
 文献标志码:A
 文章编号:1004-3365(2021)01-0033-07
 DOI:10.13911/j.cnki.1004-3365.200054

A High Precision Constant Current LED Driving Circuit with Hysteresis Control

QIAN Xichen, DENG Honghui, CHEN Shangcun, ZHANG Jun

(IC Design Web-Cooperation Research Center of MOE, Institute of VLSI Design, Hefei Univ. of Technol., Hefei 230009, P. R. China)

Abstract: A high precision constant current LED driver based on buck topology was presented. Based on the hysteresis control mode, a new type of adaptive off-time control loop was adopted in this circuit instead of valley detection feedback loop, which indirectly achieved accurate control of the inductor valley current. Therefore, the error caused by direct sampling of the valley current was avoided, and the constant current accuracy of the system was improved. The low-side sampling was adopted to this loop to reduce the loss on the sampling resistor which improved the conversion efficiency of the system. The LED driving circuit had been designed and simulated in TSMC 0. 18 μ m 70 V BCD process. The simulation results showed that the maximum constant current error was not more than 0.8% within the range of 20~125 mA load current. The average current change rate was less than 1% within the range of 20~100 V output voltage.

Key words: LED driving; high precision constant current; hysteresis control; adaptive off-time

0 引 言

LED 因光效高、寿命长、节能、环保等特点而被 广泛应用于照明、显示等领域^[1]。LED 的本质是 PN 结,其发光亮度由正向导通的平均电流决定,恒 流驱动是主流的 LED 驱动方式。恒流驱动电路的 控制方式分为峰值电流控制、平均电流控制和滞环 控制^[2]。滞环控制方式避免了峰值控制方式中平均 电流和峰值电流不一致的问题,无需斜坡补偿电路, 现已成为恒流驱动中的主流控制方式。

传统滞环控制方式采用高边电流检测方案,通 过设定高低阈值来控制电感电流的峰值和谷值,从 而控制负载 LED 的平均电流值^[3]。文献[4]通过自

收稿日期:2020-02-05;定稿日期:2020-03-31

基金项目:模拟集成电路国家重点实验室基金资助项目(6142802180101);国家自然科学基金资助项目(61704043)

作者简介:钱希琛(1996—),男(汉族),山西大同人,硕士研究生,研究方向为模拟集成电路设计。
适应调节高低滞环阈值电压来补偿系统延时,提升 了恒流精度,但结构较复杂,恒流精度不高。文献 [5]提出了一种自适应关断时间电流控制模式升压 型 LED 驱动电路,采用自适应电流检测,减小了不 同输出电压下的相位裕量变化,采用自适应关断时 间控制^[6],提高了瞬态响应,保证了宽负载范围内的 恒流精度,但系统的稳定性不高。

本文在文献[5]的基础上,仅采用低边电流检测 反馈环路,采用新型的自适应关断时间方式实现了 对电感电流的滞环控制。该 LED 驱动电路通过固 定峰值电流和平均电流的比较阈值,使输出平均电 流保持恒定。该恒流 LED 驱动电路适用于中、小功 率 AC-DC 的 LED 照明和显示设备,最大工作频率 为 100 kHz。为了保证较高的精度,该驱动电路的 响应时间不能超过 0.1 μ s,且核心比较器的传输延 时不超过 10 ns。LED 在长时间工作时,结温会发生 变化而影响热特性,所以对内部电压基准设计了温度 补偿,使得电路在宽温度范围内仍能保持较高精度。

文章第1节介绍了新型自适应关断时间滞环控制技术的工作原理及整体电路设计方案,第2节介绍了关键单元电路的设计,第3节介绍了 LED 恒流 驱动芯片的仿真结果及分析。

1 系统工作原理与设计方案

1.1 传统滞环控制恒流 LED 驱动电路

传统滞环控制 LED 驱动电路如图 1 所示^[7]。 电路在正常工作时,通过高边采样电阻 R_{sense} 采样电 感 L 上的电感电流 I_L 。在功率开关 Switch 导通阶 段,电感电流线性上升。当 I_L 达到预设峰值电流 $I_{L_{peak}}$ 时,Switch 关断,续流二极管 D 导通, I_L 呈线 性下降。当 I_L 下降至预设谷值电流 $I_{L_{valley}}$ 时, Switch 再次导通,进入下一个工作周期。各个阶段 内, I_L 、 I_D 、导通电流 I_{Switch} 的波形如图 2 所示。



图 1 传统滞环控制恒流 LED 驱动电路



图 2 滞环控制模式中关键器件的电流波形

根据图 2 波形可知,通过固定 $I_{L_{peak}}$ 和 $I_{L_{valley}}$, 可得到恒定的平均电流 $I_{L_{average}}$:

$$I_{\text{L}_{average}} = \frac{I_{\text{L}_{peak}} + I_{\text{L}_{valley}}}{2} \tag{1}$$

传统的滞环控制方式固定了电感电流的峰值与 谷值,该方式适应负载电流变化的能力不强,精度不 高。由于采用高边采样方式,R_{sense}两端的电压非常 接近输入电压,需要误差检测放大器与迟滞比较器 具有很宽的输入共模范围,因此增加了检测电路的 设计难度。R_{sense}在整个周期内均有电流流过,损耗 增加,使得系统的转换效率降低。

1.2 自适应关断时间滞环控制恒流 LED 驱动电路

为了解决上述问题,本文基于低边电流检测方 式设计了一种自适应关断时间的滞环控制恒流 LED 驱动电路,结构如图 3 所示。该 LED 驱动电 路包含两个控制环路。一是峰值电流控制环路,即 Loop1,其核心电路为峰值电压比较器 CMP1。通过 设定峰值参考电压 V_{ref_peak}控制 Switch 的导通时间 t_{ON}。二是自适应关断时间控制环路,即 Loop2。通 过设定平均值参考电压 V_{ref_average}产生自适应关断时 间 t_{OFF}。图 3 中虚线框内是芯片内部电路,虚线框 外是典型应用电路。

峰值电流控制环路通过 CMP1 检测 R_{sense} 上的 电压 V_{sense} ,并与 $V_{\text{ref_peak}}$ 进行比较。当 V_{sense} 大于 $V_{\text{ref_peak}}$ 时, CMP1 发生翻转, Switch 关断,则 $I_{\text{L_peak}}$ 为:

$$I_{\rm L_peak} = \frac{V_{\rm ref_peak}}{R_{\rm sense}}$$
(2)

自适应关断时间的控制环路由误差采样电路和 关断时间控制电路组成,结构如图4所示。误差采 样电路由采样开关S₁、滤波电路R₃C₃、跨导放大器 G_m、采样开关S₂和片内电阻R_{comp}组成。关断时间 控制电路由电压电流转换电路、镜像比例为 1: N的 PMOS 电流镜、定时电容 C_{time} 和比较器 CMP2 组成。



图 3 自适应关断时间的滞环控制恒流 LED 驱动电路



滞环控制恒流 LED 驱动电路还包括电源管理 模块、逻辑控制电路、栅极驱动电路、前沿消隐电路 和保护电路。系统的工作原理如下。在 ton 阶段内, 电感电流线性上升,S1、S2 导通,Vsense送入跨导放大 器中,与 Vref_average 比较,这两者的差值以电流形式输 出到由 Rcomp和 Ccomp组成的积分器中。通过对反映 误差信息的电流进行积分,在 Ccomp的上极板上形成 了一个带有误差信息的直流电平 Vcomp。当电感电 流上升至峰值 I_{L_peak}时,CMP1 发生翻转,通过逻辑 控制电路和栅极驱动电路关断功率开关,系统进入 toff阶段。在toff阶段内,S1、S2断开,控制信号Voff 由高电平跳变至低电平,充电通路导通,Vcomp被送 入电压电流转换电路中,经PMOS电流镜后形成对 Ctime的充电电流 Icharge (Icharge 值由 Vcomp决定)。当 Ctime上极板电压达到基准电压 Vreft时,CMP2发生 翻转,输出控制信号 Son变为低电平,通过控制逻辑 电路和驱动电路重新使功率开关导通,toff 阶段结 束。进入下一个工作周期。

 $V_{\text{ref_average}}$ 为峰值和谷值的中间值。 G_m 在整个 t_{ON} 阶段内会先后向 RC 积分器注入电流和抽取电 流。在稳定状态下,注入电流与抽取电流相等,所以 在 t_{ON} 结束之后, V_{comp} 的值与上一周期的值相同,实 现了自适应地关断。当电路出现扰动时,由于注入 电流与抽取电流不相等,导致 t_{ON} 结束后 V_{comp} 中包 含一个误差项 ΔV_{comp} 。下面将推导 ΔV_{comp} 对关断时 间 t_{OFF} 的影响。

在稳定状态下, t_{ON}和 t_{OFF}阶段内的电感电流分别为:

$$I(t) = I_{v_{ideal}} + \frac{V_{iN} - V_{O}}{L} \times t$$
(3)

$$I(t) = I_{\text{peak}} - \frac{V_0}{L} \times t \tag{4}$$

式中, $I_{v_{i}deal}$ 为稳定状态下理想的电感电流谷值, I_{peak} 为电感电流峰值, V_{IN} 和 V_{O} 分别为输入、输出电压。

由式(3)和式(4)得到稳定状态下的关断时间,为:

$$r_{\rm OFF} = \frac{L}{V_{\rm o}} \times (I_{\rm peak} - I_{\rm v_ideal})$$
(5)

可知, V_{comp} 决定了 I_{charge} 的值,从而决定 t_{OFF} 的值。在稳定状态下,通过电压电流转换电路和 PMOS 电流镜的作用,得到定时电容 C_{time} 上的充电电流 I_{charge} ,为:

$$i_{\rm charge} = N \times \frac{V_{\rm comp_ideal}}{R_2} \tag{6}$$

式中,N为电流镜的比值, $V_{\text{comp_ideal}}$ 是 C_{comp} 上的理想 电压值。 C_{time} 上极板的电压 V_{time} 为:

$$V_{\text{time}} = \frac{I_{\text{charge}}}{C_{\text{time}}} \times t = \frac{NV_{\text{comp_ideal}}}{C_{\text{time}}R_2} \times t \tag{7}$$

当 V_{time} 上升至 V_{ref_t} 时,功率开关重新导通, t_{OFF} 的理想值为:

$$t_{\rm OFF} = \frac{R_2 C_{\rm time} V_{\rm ref_t}}{N V_{\rm comp_ideal}} \tag{8}$$

联立式(5)、式(8),得到 *C*_{comp}上的理想电压 值 *V*_{comp_ideal}:

$$V_{\text{comp_ideal}} = \frac{R_{\text{sense}} R_2 C_{\text{time}} V_{\text{ref_t}} V_0}{NL (V_{\text{peak}} - V_{\text{v_ideal}})}$$
(9)

在稳定状态下,在toN阶段内,跨导放大器对RC 积分器的注入电流与抽取电流相等。因此,在每个 周期中的torF阶段内,Ccomp上的电压都维持在由式 (9)决定的理想值。

当实际电感电流谷值 *I*valley 与理想电感电流谷值 *I*Valley 与理想电感电流谷值 *I*Vedeal 存在偏差时, *C*emp上的电压变化分析如下。

在 t_{ON} 阶段内,式(3)中的电感电流I(t)经过 R_{sense} 后转换成电压信号V(t):

 $V(t) = I(t) \times R_{\text{sense}} = kR_{\text{sense}} \times t + R_{\text{sense}} I_{\text{valley}} (10)$ 式中, k 为电感电流的上升斜率, k = (V_{IN}-V_O)/L。

跨导放大器的输出电流 Iout(t)表示为:

$$I_{\text{out}}(t) = G_{\text{m}} \times [V_{\text{ref_average}} - v(t)] = G_{\text{m}}(V_{\text{ref_average}} - R_{\text{sense}}I_{\text{valley}}) - kR_{\text{sense}}G_{\text{m}} \times t$$
(11)

式中, $G_{\rm m}$ 是跨导放大器的跨导。因此,在 $t_{\rm ON}$ 阶段结束后, $\Delta V_{\rm comp}$ 为:

$$\Delta V_{\text{comp}} = \frac{1}{C_{\text{comp}}} \int_{0}^{t_{\text{ON}}} i_{\text{out}}(t) \, \mathrm{d}t = \frac{R_{\text{sense}} G_{\text{m}}}{2kC_{\text{comp}}} \times \left[(I_{\text{peak}} - I_{\text{valley}}) \times (I_{\text{v_ideal}} - I_{\text{valley}}) \right] \quad (12)$$

可知,当系统出现扰动后,如果 I_{valley} 小于 $I_{v_{ideal}}$,则 ΔV_{comp} 为正值, V_{comp} 增大,由式(8)可得, t_{OFF} 减小, 电感电流的下降斜坡缩短。同理,如果 I_{valley} 大于 $I_{v_{ideal}}$,则 ΔV_{comp} 为负值, V_{comp} 减小, t_{OFF} 增大。所以, 无论外界怎样扰动使电流谷值向任何方向变化,通 过误差采样反馈环路均能使其重新回到理想值。这 种负反馈控制技术正是本文自适应关断时间滞环控 制的核心。

2 关键单元电路设计

2.1 峰值电压比较器

峰值电压比较器用于检测 V_{sense},并与 V_{ref_peak}比较,当 V_{sense}达到 V_{ref_peak}时,输出电压发生翻转,关断 功率开关。因此,峰值比较器的判别精度、传输延时 直接影响导通时间 t_{ON},进而影响系统的恒流精度。

本文设计的峰值电压比较器如图 5 所示。该峰 值电压比较器采用三级级联的开环结构实现^[8]。第 一级是预放大输入级,由 M₁~M₆ 管构成,用于放 大输入信号和提高灵敏度。考虑到输入共模电平 V_{ref_peak}为 300 mV,所以采用 PMOS 管作为差分输 入对管。第二级是正反馈判决电路,由 M₇~M₁₃管 构成,用于判断两个输入信号的大小。M₉、M₁₀采用 栅极交叉耦合的结构,提升了第二级的增益,同时增加了二极管形式连接的 M_7 管,确保判决电路的输出满足后一级的输入共模范围;第三级是输出缓冲级,由自偏置差分放大器($M_{14} \sim M_{18}$)和反相器($M_{19} \sim M_{20}$)构成,用于将判决电路的输出结果转化为高或低电平。自偏置尾电流源 M_{14} 工作于线性区^[9],增大了输出摆幅,同时通过负反馈自适应调节充放电电流。当比较器处于稳态时, M_{14} 管仅提供较小的电流,当比较器发生翻转时, M_{14} 管的电流迅速增大,对反相器的栅电容迅速充放电,使输出 V_{OUT} 迅速翻转,从而提高了比较器的速度。



比较器的判别精度为:

$$V_{\rm in}({\rm min}) = \frac{V_{\rm DD}}{A_{\rm v}(0)}$$
 (13)

式中,A_v(0)是比较器的直流增益。图 6 所示为比 较器的增益特性曲线。可以看出,峰值电压比较器 的直流增益为 77.21 dB,通过计算可得,判别精度 为 0.7 mV,3 dB 带宽为 9.43 MHz。



图 7 所示为峰值电压比较器的传输延迟曲线。 可以看出, V_{ref_peak}固定为 300 mV, V_{sense}线性上升, 且 在 50 ns 处上升至 V_{ref_peak}。V_{OUT}在 58.176 ns 处翻 转至中间电平,传输延时为 8.176 ns,远小于开关周期 10.93 μs,满足设计要求。



2.2 高精度带隙基准电路

根据前文所述, V_{ref_peak}和 V_{ref_average}分别决定了 t_{ON}和 t_{OFF}。LED 长时间工作, 造成结温上升, 使得 基准电压产生误差。因此, 本文设计的电压基准电 路在传统电流模带隙基准电路^[10]的基础上, 利用亚 阈值 MOS 器件栅源电压 V_{GS}的温度特性进行高阶 温度补偿^[11]。高阶补偿的工作原理如下。

对于增强型 MOS 管而言,当 V_{GS} < V_{TH}时, MOS 管进入亚阈值区,漏源电流 I_{DS} 与 V_{GS}的关系式为:

$$I_{\rm DS} = \mu C_{\rm OX} \frac{W}{L} V_{\rm T}^2 \exp\left(\frac{V_{\rm GS} - V_{\rm TH}}{nV_{\rm T}}\right) \tag{14}$$

式中,µ为电子迁移率,V_T为热电压,n为斜率因子, 其中µ随温度变化的关系式为:

$$\mu(T) = \mu(T_0) \left(\frac{T}{T_0}\right)^{-m} \quad , \quad 1 \leq m \leq 2$$
 (15)

式中, $\mu(T_0)$ 为 T_0 温度时的电子迁移率。

根据式(14)可得出 V_{GS} ,当m = 2时,求解出 V_{GS} 及其温度系数:

$$V_{\rm GS} = V_{\rm TH} + nV_{\rm T} \ln \left[\frac{I_{\rm DS}}{\mu_{(T_0)} \left(\frac{T}{T_0} \right)^{-m} C_{\rm OX} \left(\frac{W}{L} \right) V_{\rm T}^2} \right]$$
(16)

$$\frac{\partial V_{\rm GS}}{\partial T} = \underbrace{\frac{\partial V_{\rm TH}}{\partial T}}_{l} + \underbrace{\frac{nk}{q} \ln \left[\frac{I_{\rm DS} L T_0^{-2} q^2}{n\mu_{(T_0)} C_{\rm OX} W k^2} \right]}_{l}$$
(17)

式中, ln 函数中的真数项小于 1, 因此第 2 项整体为 负值。第 1 项中 V_{TH}的温度系数则为负值, 所以 V_{Gs} 呈负温度特性。

当两个宽长比不同的亚阈值 MOS 器件被偏置 在相同电流下,忽略 V_{TH}的差异时,根据式(16)求出 两个 MOS 管的 V_{GS}之差 ΔV_{GS}及其温度系数:

$$\Delta V_{\rm GS} = V_{\rm GS2} - V_{\rm GS1} = n V_{\rm T} \ln \left[\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} \right]$$
(18)

$$\frac{\partial \Delta V_{\rm GS}}{\partial T} = n \, \frac{k}{q} \ln \left[\frac{\left(\frac{W}{L}\right)_1}{\left(\frac{W}{L}\right)_2} \right] \tag{19}$$

由式(19)可知, ΔV_{GS} 为线性正温度系数。利用 V_{GS} 与 ΔV_{GS} 的温度特性对带隙基准进行高阶温度补偿。

本文设计的高精度带隙基准电路如图 8 所示, 由启动电路、电流模带隙基准电路和曲率补偿电路 组成。NMOS 管 N₁、N₂ 工作于亚阈值区,考虑到 版图上的共质心布局,将 N₁ 和 N₂ 的个数比例设置 为 8:2。



基准电压 V_{BG}的表达式为:

$$V_{\rm BG} = \left(\frac{\Delta V_{\rm BE}}{R_4} + \frac{V_{\rm BE2}}{R_5} + \frac{\Delta V_{\rm GS}}{R_8} + \frac{V_{\rm GS}}{R_9}\right) \times R_7 \quad (20)$$

典型工艺角下基准电压随温度的变化曲线如图 9 所示。可以看出,在一40 °C~105 °C范围内,基准 电压能够稳定输出 1 V 的参考电压,温度系数仅为 1.317×10^{-6} /°C。 V_{BG} 经过后级电阻分压产生的 V_{ref_peak} 、 $V_{ref_average}$ 分别为 300 mV、200 mV。



3 系统仿真结果与分析

本文提出的新型自适应关断时间滞环控制恒流 LED 驱动芯片采用 TSMC 0.18 μ m 70 V BCD 工 艺完成设计,采用 Spectre 工具进行了仿真验证。 芯片内部核心电路的电源电压为 5 V, V_{ref_peak} 和 $V_{ref_average}$ 分别为 300 mV 和 200 mV。在典型应用情 况下,输出恒流为 60 mA, $R_{sense} = 3.3 \Omega$ 。L、 C_{comp} 的 值分别为 8 mH、1 nF。

芯片内部的开关频率远大于市电频率,在若干 开关周期内输入电压近似为直流电压,设置输入电 压 V_{IN} 为310 V。采样电阻为3.3 Ω时系统的仿真 结果如图 10 所示。 I_L 、 V_{comp} 和 DRV 分别表示电感 电流、 C_{comp} 上极板电压和功率开关的栅极电压。可 以看出,电感电流的峰值、谷值分别为95.69 mA、 25.20 mA,平均电流(60.445 mA)与理想平均电流 (60.61 mA)之间的误差为0.165 mA,恒流精度小 于 0.3%。开关周期为10.93 μ s, t_{OFF} 恒定为8.705 μ s。在 t_{OFF} 阶段内, V_{comp} 根据电感电流自适应调节; 在 t_{OFF} 阶段内, V_{comp} 稳定在1.165 V。



采样电阻为 1.6 Ω 和 10 Ω 时的仿真结果分别 如图 11、图 12 所示,分别对应 125 mA 的最大输出 平均电流和 20 mA 的最小输出平均电流。可以看 出,采样电阻为 1.6 Ω 时,电感电流的峰值、谷值分别 为 193.47 mA、58.35 mA,平均电流为 125.91 mA, 平均电流误差为 0.91 mA,恒流精度小于 0.8%,开 关周期为 14.01 μ s, t_{OFF} 恒定为 8.16 μ s。采样电阻 为 10 Ω 时,电感电流的峰值、谷值分别为 34.93 mA、5.35 mA,平均电流为 20.14 mA,平均电流误 差为 0.14 mA,恒流精度为 0.7%,开关周期为 10.71 μs,t_{off}恒定为 9.96 μs。



图 13 所示为典型应用情况下交流电网电压波 动达到±10%(341~279 V)时的输出电流调整情况。可以看出,电感电流几乎不受输入电压波动的 影响。输出平均电流的最大变化率不超过1%。这 表明本文电路具有良好的输入调整率。

图 14 所示为典型应用情况下输出电压为 20~ 100 V时的平均电流分布曲线。可知,系统的负载 调整率为 7.75 μA/V,在整个输出电压变化范围 内,恒流变化率不超过 1%。

本文与其他文献中 LED 驱动电路的参数比较 如表1所示。



表 1 本文与其他文献中 LED 驱动电路的参数比较

参数	本文	文献[4]	文献[5]	文献[12]
工艺/µm	0.18	0.35	0.5	0.35
结构	Buck	Buck	Boost	Buck
负载电流/mA	$20\!\sim\!125$	700	300	1 500
工作频率/MHz	0.1	2	1	0.4
恒流精度/%	<1	$<\!\!3$	± 1	2.01

可以看出,与其他文献相比,本文电路结构简 单,在恒流精度方面有明显提升。

4 结 论

本文设计了一种高精度的恒流 LED 驱动电路。 采用新型的自适应关断时间控制环路替代传统滞环 控制的谷值检测环路,提升了系统的恒流精度。该 LED 驱动电路基于 TSMC 0.18 µm 70 V BCD 工 艺进行设计。在 60 mA 负载电流下,恒流精度小于 0.3%,输出电压范围为 20~100 V,输出平均电流 的变化率小于 1%,系统的最高工作频率为 100 kHz。 该 LED 驱动电路可应用于中小功率 LED 照明 系统。

参考文献:

- [1] 段华栋,苏成悦,潘永雄,等.一种滞环控制的 LED 驱动设计 [J]. 现代电子技术, 2013, 36 (10): 128-130.
- [2] 黄孟意. 非隔离降压型 LED 驱动 IC 的设计 [D]. 成都: 电子科技大学, 2018.
- [3] 谢治中,丁扣宝,何杞鑫.滞环电流控制的大功率 LED恒流驱动芯片设计[J].固体电子学研究与进展,2009,29(2):260-263.
- [4] 黄少卿,景为平.采用自适应滞环控制的 LED 恒流驱动芯片 [J].微电子学,2016,46(4):467-470.
- [5] CHENG L, NI J, QIAN Y, et al. On-chip compensated wide output range boost converter with fixed-frequency adaptive off-time control for LED driver applications [J]. IEEE Trans Power Elec, 2015, 30(4): 2096-2107.
- [6] LEE M C, JING X, MOK P K T. A 14 V-output adaptive-off-time boost converter with quasi fixed frequency in full loading range [C] // IEEE ISCAS. Rio de Janeiro, Brazil. 2011: 15-19.
- [7] 陈英. 滞环控制方式实现 LED 恒流驱动 [D]. 成都: 西南交通大学, 2010.
- [8] BAKER R J. CMOS circuit design, layout, and simulation [M]. 北京:人民邮电出版社, 2014: 307-312.
- [9] 段吉海,覃宇飞,潘磊. 高速 CMOS 钟控比较器的设计 [J]. 电子器件, 2010, 33(2): 158-161.
- [10] MOK P K T, LEUNG K N. Design considerations of recent advanced low-voltage low-temperaturecoefficient CMOS bandgap voltage reference [C] // Proceed IEEE Custom Integr Circ Conf. Orlando, FL, USA. 2004: 635-642.
- [11] 侯德权,周莉,陈敏,等.一种低功耗曲率补偿带隙基 准电压源[J]. 微电子学,2019,49(1):17-21.
- [12] LIU C H, HSIEH C Y, HSIEH Y C, et al. SARcontrolled adaptive off-time technique without sensing resistor for achieving high efficiency and accuracy LED lighting system [J]. IEEE Trans Circ & Syst I: Regu Pap, 2010, 57(6): 1384-1394.

一种多相 DC-DC 数字控制器的设计

武 昕,甄少伟,陈思远,白正杨,胡怀志,罗 萍,张 波 (电子科技大学电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 分析了多相 DC-DC 变换器的均流环路小信号动态特性以及极限环振荡条件,提出一种 基于平均电流的数字均流技术,并据此实现了一种多相 DC-DC 数字控制器。采用基于同步设计的 均流控制电路和数字脉宽调制器实现电流均衡和相位交错。该多相 DC-DC 数字控制器芯片基于 0.18 μm CMOS 工艺设计。仿真结果表明,在 10~20 A 阶跃负载电流下,输出过冲/下冲电压在 20 mV 以内,开关频率在 0.5 MHz~2 MHz 范围内可调整,均流误差从 20.8%减小到 5%以下。 关键词: DC-DC 数字控制器;数字脉宽调制器;多相交错;均流 中图分类号:TN492; TN432 文献标志码:A 文章编号:1004-3365(2021)01-0040-07 DOI:10.13911/j.enki.1004-3365.200055

Design of a Multi-Phase DC-DC Digital Controller

WU Xin, ZHEN Shaowei, CHEN Siyuan, BAI Zhengyang, HU Huaizhi, LUO Ping, ZHANG Bo (State Key Lab. of Elec. Thin Films and Inter. Dev., Univ. of. Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: The small-signal dynamic characteristics of the current sharing loop and the limit-cycle oscillation condition of the digital multi-phase DC-DC converter were analyzed. A digital current sharing technology based on average current was proposed, and a multi-phase DC-DC digital controller was designed. A current sharing control circuit and a digital pulse width modulator (DPWM) based on the synchronous design were presented to achieve current balancing and interleave operation. The multi-phase DC-DC digital controller chip was designed in a 0.18 μ m CMOS process. The simulation results showed that under 10 A ~ 20 A load transient, the overshoot/undershoot voltage was within 20 mV, the switching frequency was adjustable from 0.5 MHz to 2 MHz, and the current sharing error was reduced from 20.8% to less than 5%.

Key words: DC-DC digital converter; digital pulse width modulator; multiphase interleaving; current sharing

0 引 言

随着处理器性能迅速发展,工业、军事、航天等 领域对电源管理芯片的要求越来越高,需要更低的 供电电压和更大的输出电流以满足产品需求^[1-2],多 相 DC-DC 技术在这种背景下应运而生^[3-5]。相较于 单相技术,多相 DC-DC 技术可以有效降低功率电源 对感性元器件、容性元器件和磁性元器件的要求。 同时,多相 DC-DC 技术大大减小了每一相的电流, 降低了开关损耗和输入/输出总电流纹波^[6-7]。

各相电流相位交错叠加可以使多相变换器实现 低输出纹波的特性。相比于传统复杂的模拟控制, 数字控制方式更易于实现高精确的交错相角和精确 的时域控制。基于数字同步设计,还可以借助自动 化工具和良好的验证方法,缩短开发周期,方便进行

收稿日期:2020-02-05;定稿日期:2020-03-25

基金项目:"十三五"装备预先研究项目(31513030209)

作者简介:武 昕(1996—),女(汉族),山西吕梁人,硕士研究生,研究方向为数模混合 IC 和数字电源设计。 甄少伟(1982—),男(汉族),河北保定人,副教授,研究方向为模拟与混合信号集成电路设计技术。通信作者,Email:swzhen@uestc.edu.cn。

工艺移植^[8]。为了避免阻抗失配引起各相间电流不 均衡,以及由此造成的某相变换器过流和发热,均流 技术也成为多相 DC-DC 技术研究的重点,其对于保 证各相电流平衡,使变换器正常工作十分重要^[9]。 均流技术可根据实现方式分为模拟控制方法和数字 控制方法^[10-15]。其中,数字控制方法可以实现更高 的均流精度、更好的可靠性和更高的灵活性。但是, 目前该方法仍在发展中,相关研究较少。

本文在小信号环路分析和考虑极限环的基础 上,采用基于平均电流的数字均流法,通过数字电路 替代运放得到电流误差,加入 PI 控制调节均流环 路,实现了较好的均流效果。同时,改变传统混合型 数字脉宽调制器(DPWM)的结构,通过基于同步设 计的 DPWM 实现多相交错,实现了低输出纹波和 高开关频率。

文章第1节主要介绍多相 DC-DC 数字控制器 的整体结构,分析均流环路小信号的动态特性以及 极限环振荡;第2节介绍多相 DC-DC 数字控制器中 基于同步设计的数字均流控制电路和 DPWM;第3 节介绍仿真结果;第4节给出结论。

1 多相 DC-DC 数字控制器整体结构

1.1 多相 DC-DC 数字控制器原理

本文设计的多相 DC-DC 数字控制器电路结构 如图1所示,包含数字电压控制环路和均流控制环 路。数字电压控制环路包括可编程增益放大器 (PGA)、误差模数转换器(eADC)、数模转换器 (DAC)、DPWM 和数字补偿器(DPID)。数字控制 主要是通过 ADC 采样,利用数字补偿器 DPID 实现 环路的补偿计算其占空比,利用 DPWM 生成一定 占空比的信号,驱动功率管。为了扩展 ADC 的量 化范围,输出电压分压与各相 DAC 的输出电压(可 变基准 V_{RFF}) 求差得到误差值后, 加入 PGA 电路, 将该误差值放大后,再送入 6-bit eADC 进行量化。 本文设计的混合型 DPWM 基于完全同步设计,避 免了传统混合型 DPWM 使用 RS 触发器引起的非 同步问题,可以有效实现多相交错。多相 DC-DC 变 换器中加入了均流控制环路,其中,R_{i,j}(j=1,…,n) 实现了各相电感电流采样,将各相电感电流取样并 放大转换为电压信号后,连接低通滤波器(LPF)得 到该信号的周期平均值,再由 12 位 cADC(Current Analog to Digital Converter)转为数字量 V_{CSO,i},表 示第 j 相平均电感电流。V_{cso,i}送入多相均流控制 电路,利用数字电路代替运放计算出各相电感电流 与平均电感电流之间的差值。将该差值经过一定增 益放大后输出,其输出与 DPID 模块的输出相加后 连接 DPWM,生成各相最终的占空比信号,控制 Buck变换器进行功率变换。均流控制电路通过调 节各相占空比,实现对各相输出电流值的调整,进而 满足多相均流的需求。本文通过数字电路处理电流 信息,产生电流误差实现均流,避免了模拟均流方法 复杂的电路结构,提高了可靠性,同时也避免了传统 数字均流方法利用软件计算导致的瞬态响应变差, 调节时间变长等问题。



图 1 多相 DC-DC 数字控制器电路结构图

1.2 多相 DC-DC 数字控制器均流控制的动态分析

以双相为例,根据图 1 的电路拓扑建立双相系 统均流控制小信号框图,如图 2 所示,可推广至多 相。 V_{cs} 和 K_{c} 分别表示电压采样和电流采样 ADC 的增益, K_{v} 表示 DPWM 增益, $G_{c}(s)$ 表示补偿器 DPID 的传递函数, H_{cs} 表示均流控制补偿器的传递 函数。



图 2 双相均流控制小信号系统框图

不考虑输入电压的扰动,可以用受控电压源和

开环输出阻抗 Z_{OL} 代替功率级,由此得到单相的小信号模型图,如图 3 所示。 $G_V(s)$ 表示占空比 DPID 到输出电压的传递函数,是 Buck 传递函数 $G_{Buck}(s)$ 与 K_V 的乘积。 T_{Vj} 表示第 j 相电压控制环路增益, 其表达式为:

$$T_{\rm Vi} = V_{\rm CSi} G_{\rm Ci}(s) K_{\rm Vi} G_{\rm Buck}(s) \tag{1}$$



图 3 单相控制的小信号模型图

通过戴维南等效电路变换,可得双相 DC-DC 控制器的小信号模型图,如图 4 所示。每相由闭环输出阻抗 Z_{CL}和 V_{CSO,j}控制的压控电压源表示。闭环输出阻抗和开环输出阻抗间的关系为:

$$Z_{\text{CL}_j} = \frac{Z_{\text{OL}_j}}{1 + T_{\text{V}_j}}, \quad j = 1, 2$$
 (2)





$$Z_{\rm CS2} = \frac{(1 + T_{\rm CS1} + T_{\rm CS2})Z_{\rm CL1}Z_{\rm CL2}}{T_{\rm CS2}Z_{\rm CL2} + (1 + T_{\rm CS1})Z_{\rm CL1}}$$
(3)

$$Z_{\rm CS1} = \frac{(1 + T_{\rm CS1} + T_{\rm CS2}) Z_{\rm CL1} Z_{\rm CL2}}{T_{\rm CS1} Z_{\rm CL1} + (1 + T_{\rm CS2}) Z_{\rm CL2}}$$
(4)

式中,

$$T_{\rm CS1} = \frac{K_{\rm C}}{2} \frac{H_{\rm CS}}{V_{\rm CS}G_{\rm C}} \frac{T_{\rm V1}}{1 + T_{\rm V1}} \frac{1}{Z_{\rm CL1}}$$
(5)

$$T_{\rm CS2} = \frac{K_{\rm C}}{2} \frac{H_{\rm CS}}{V_{\rm CS} G_{\rm C}} \frac{T_{\rm V2}}{1 + T_{\rm V2}} \frac{1}{Z_{\rm CL2}}$$
(6)

根据图 4 所示的双相系统小信号模型,可计算 出均流控制环路增益:

$$T_{\rm CS} = \frac{K_{\rm C}}{Z_{\rm CL1} + Z_{\rm CL2}} \frac{H_{\rm CS}}{V_{\rm CS}G_{\rm C}} \left(\frac{T_{\rm V1}}{1 + T_{\rm V1}} + \frac{T_{\rm V2}}{1 + T_{\rm V2}}\right) \quad (7)$$

当负载阶跃变化 Δ*i*。时,两相电流的动态响应 误差为:

$$\Delta = \Delta i_{o1} - \Delta i_{o2} = \frac{\Delta i_o}{1 + T_{CS}} \frac{Z_{CL2} - Z_{CL1}}{Z_{CL2} + Z_{CL1}} = \Delta i_o \frac{Z_{CS2} - Z_{CS1}}{Z_{CS2} + Z_{CS1}}$$
(8)

式中,(Z_{CL2}-Z_{CL1})/(Z_{CL2}+Z_{CL1})表征无均流控制时 两相的动态电流误差。而 T_{CS}的作用则是衰减该误 差。换言之,加入均流环后,输出阻抗由 Z_{CL1}和 Z_{CL2} 变为 Z_{CS1}和 Z_{CS2}。因此,为获得更高的均流精度和 更快的瞬态响应,T_{CS}应该有较高的环路增益和较大 的环路带宽。但是,T_{CS}的环路带宽不能无限大,太 高的环路增益和宽带宽的 T_{CS}会使均流环路在很宽 的频率范围内影响电压调节,对动态输出电压调节 产生不利影响。

1.3 多相 DC-DC 数字控制器的极限环稳定性分析

多相均流设计不仅需要考虑环路稳定性,还需 要考虑均流环路极限环效应及均流精度。极限环振 荡是数字控制系统中由于量化非线性控制输出的精 度小于采样精度而导致输出振荡的情况,应尽量 避免。

本文以如下系统参数来设计均流控制电路。输入 电压 V_{in} =3.3 V,输出电压 V_{out} =1.8 V,L=180 nH, C=1.72 mF,R=0.31 Ω ,开关频率 f_s =1 MHz,开 关周期 T_s =1 μ s,DPWM 精度 N_{pwm} =12 即 K_v = 1/2¹²≈0.000 244。DCR 模块的增益为 R_{cs} 。采样 电压的 eADC 为 6 位,量化范围为-0.25~0.25 V, 即 eADC 最低有效位 LSB_{eADC} =7.812 5 mV。采样电 感电流的 cADC 为 12 位,量化范围为-0.5~0.5 V, 即 cADC 最低有效位 LSB_{cADC} =0.244 140 625 mV。 对于均流环,cADC 能检测到输出电流的最小变 化为:

$$\Delta I_{\rm s} = \frac{LSB_{\rm ADC}}{R_{\rm cs}} \tag{9}$$

DPID 变化 Δd 引起输出电流的变化关系近 (似为:

$$\Delta I_{\rm c} = \frac{V_{\rm in} \times \Delta d}{R} = \frac{V_{\rm in}}{R \times 2^{N_{DPWM}}} =$$

3.3 V× $\frac{1}{4\ 0.96}$ × $\frac{1}{0.31\ \Omega}$ = 2.6 mA (10)

为了避免极限环振荡,应该满足:

$$\Delta I_{\rm c} < \Delta I_{\rm s}/4 \tag{11}$$

2.6 mA
$$\leq \frac{LSB_{ADC}}{4R_{cs}} = \frac{0.061 \text{ mV}}{R_{cs}}$$
 (12)

则采样电阻值 R_{cs}应小于 23 mΩ。

$$\sigma = \frac{2 \times LSB_{ADC}}{R_{cs}I}$$
(13)

可知,均流精度受到 ADC 精度和采样电阻的 限制,ADC 精度越高, R_{cs} 越大,均流精度越高。在 轻载 I为5A的情况下,要实现均流误差低于5%, 需满足:

$$R_{\rm cs} \ge 1.952 \,\,\mathrm{m}\Omega \tag{14}$$

在实际电路中,常采用功率电感的 DCR 采样 方式进行电感电流的采样,从而避免效率的 损失。

2 子电路设计

2.1 数字均流控制电路设计

由 1.3 节系统参数可以得出各个模块的传递 函数:

$$K_{\rm c} = \frac{1}{LSB_{\rm cADC}} = 4\ 0.96,$$

$$V_{\rm CS} = \frac{1}{LSB_{\rm cADC}} = 64 \qquad (15)$$

$$G_{\rm Buck}(s) = \frac{V_{\rm in}}{1 + s\frac{L}{R} + LCs^2} = \frac{1.023}{4.799 \times 10^{-11}s^2 + 9 \times 10^{-8}s + 0.31} \qquad (16)$$

电感电流经过 DCR 采样后连接低通滤波器,再 由 12 位 cADC 转为数字量 V_{cso} 。设置低通滤波器 的传递函数 $G_{LPF}(s) = 1/(1 + sRC) = 1/(1 + 3 \times 10^{-4} s)$ 。因此,实际由电感电流到 V_{cso} 的传递函数 K_{c} 为:

$$K'_{\rm C} = K_{\rm C} R_{\rm cs} G_{\rm LPF}(s) = \frac{16.384}{1 + 3 \times 10^{-4} s}$$
(17)

由各相电流量 V_{CSO,j},可以计算出第 j 相电流与 平均电流的差值 adc in:

$$abc_{\text{in},j} = \frac{\sum_{1}^{n} V_{\text{CSO},j}}{n} - V_{\text{CSO},j}$$
(18)

对于两相系统,计算第一相电流与平均电流的 差值的电路可简化为图 7 所示的形式,差值计算公 式为:

$$abc_{\text{in},1} = \frac{V_{\text{CSO},1} + V_{\text{CSO},2}}{2} - V_{\text{CSO},1} = \frac{V_{\text{CSO},2} + V_{\text{CSO},1}}{2}$$
(19)



由式(17)可知,低通滤波器已经在均流控制环 路中引入了一个极点。为了减小均流误差,同时稳 定均流控制环路,需要再引入一个低频极点和一个 零点。通过引入低频极点来提高增益,引入零点来 增大相位裕度。本文提出了一个零点和一个极点的 补偿器,实现了均流控制电路。均流控制补偿器的 传递函数 H_{cs}为:

$$H_{\rm CS}(s) = k_{\rm P} \frac{1 + s/w_z}{s} = k_{\rm P} + \frac{k_{\rm I}}{s}$$
(20)

经过双线性变换将 Hcs转为离散域,可得:

$$H_{CS}(z) = k_{\rm P} + k_{\rm I} \frac{T_{\rm S}}{2} \frac{1+z^{-1}}{1-z^{-1}} = K_{\rm P} + K_{\rm I} \frac{1+z^{-1}}{1-z^{-1}}$$
(21)

数字均流控制电路设计框图如图 8 所示。通过 离散域实现一个极点和一个零点的补偿,由电流误 差值得到均流调整量。



图 8 数字均流控制电路设计框图

电压和均流控制环路的 Bode 图分别如图 9、图 10 所示。可以看出,电压和均流控制环路均稳定, 且均流控制环路比电压控制环路带宽小,不会影响 稳态和负载阶跃时的电压调节。





2.2 DPWM 设计

本文提出了一种基于同步设计的混合型 DPWM,并基于此实现了多相交错技术,结构框图 如图 11 所示。DPWM包括数字逻辑控制模块、时 钟切换模块、上升沿模块、下降沿模块和输出逻辑, 首先根据 DPID_IN 的低位对应选择带有相位延迟 时钟 clk_sel。然后,通过无毛刺时钟切换电路获得 out_clk。计数器 count 在系统时钟域 clk<0>下产 生,从 0 到 cycle 值周期循环。而 count1 在 out_clk 时钟域下产生。在 clk<0>系统时钟域中与 count 比较得到 dpwm 上升沿,在 out_clk 时钟域与 count1 比较得到 dpwm 下降沿。



图 11 基于同步设计的混合型 DPWM 结构框图

在此基础上,加入三个比较器。

1) 通过设定 cycle 参数决定计数 count 的最大 值,计数器达到最大值后清零,实现对分频比和开关 周期的调节。对于 128 MHz 系统时钟,cycle 设定 64~256 对应 2~0.5 MHz 的开关周期,实现开关 周期可调。

2) 通过设置 ADC 阈值与计数器 count 比较产生 具有开关周期的占空比 trigger 作为 ADC 的时钟。

3) 通过设置 SyncValue 值, 与计数器 count 比较产生具有开关周期的占空比 SyncOut, 作为 DPID 的时钟。因此, 可由 ADC 阈值及 SyncValue 值确定 ADC 和 DPID 间的相位关系, 避免跨时钟域问题。

同时,利用 SyncIn 和 SyncOut 实现多相交错设 计。设计 SyncIn 保持低电平为计数器计数的使能条 件。当第一相的 SyncIn 接地,第一相的 SyncOut 连 接第二相的 SyncIn 后,第二相的计数器只有在第一 相 SyncOut 为低电平时才能开始计数。两相 DPWM 输出相位会相差 SyncValue 个系统时钟周期,实现多 相交错。当 SyncValue 为 0 时,则两相同步。

3 多相 DC-DC 数字控制器仿真结果

本文所设计的多相 DC-DC 数字控制器基于 0.18 µm CMOS 工艺,包括采样输出电压的 6 bit eADC、采样电感电流的 12 bit cADC、128 MHz 系 统时钟、纯数字的 DPID、DPWM、均流控制模块等, 如图 1 所示。为了验证控制器性能,在外围搭建了 Buck 电路、Driver 电路、DCR 电流采样电路和 LPF 低通滤波电路。基于 AMS 混合仿真软件,对多相 DC-DC 数字控制电路进行数模混合仿真。仿真结 果如图 12~15 所示,典型仿真参数如表 1 所示,仿 真结果如表 2 所示。

未加均流控制和加入均流控制后两相电感电流 仿真图分别如图 12、13 所示。加入均流控制后负载 电流在 10~20 A 周期阶跃时输出电压仿真图如图 14 所示。cycle 分别为 128 和 64,对应开关频率为 1 MHz 和 2 MHz 时两相 DPWM 输出如图 15 所示。





从图 12、13 的仿真结果可以看出,未均流时 两相电感电流误差为 20.8%,均流后缩小了电感 电流间的误差,轻载和重载时均流误差均低于 5%,可以满足电力电源均流精度的需求。从图 14 可以看出,输出电压纹波低于 10 mV,输出电流 20 A,即通过多相技术,实现了低压大电流和低纹波 特性。从图 15 可以看出,通过同步设计实现了多 相交错,开关周期及两相间相位均可调节。同时, 加入均流控制并未影响电压控制环路。负载电流 在 10 A 和 20 A 之间周期性跳变时,阶跃响应时间 为 100 μs,过冲/下冲电压为 1.0%,负载调整率 为 0.1%。



图 15 开关频率为 1 MHz 和 2 MHz 时两相 DPWM 输出仿 真图

表 1 典型模型参数仿真条件(25℃)

参数	仿真条件	
输入电压 V_{in}/V	3.3	
输出电压 V_{out}/V	1.8	
一相电感 L_1/nH	190	
二相电感 L_2/nH	180	
负载阶跃 Iout/A	10~20	

表 2 多相 DC-DC 数字控制器仿真	结果(25	°C)
----------------------	-------	-----

参数	仿真结果
过冲电压,下冲电压/mV	≪20
均流精度	<5%
输出电压纹波/mV	7
瞬态响应时间/μs	<100
开关频率/MHz	0.5~2
负载调整率	0.1%

不同均流控制方法与本文的比较如表 3 所示。 可以看到,本文采用数字电路实现均流的方法有较 好的性能,且方法简单、可靠性高。

表 3 本文与其他文献均流技术的比较

参数	文献[13]	文献[14]	文献[15]	本文
均流方式	基于平均 电流法的 模拟均流	基于软件 计算的数 字均流	基于软件 计算的数 字均流	基于数字 电路的数 字均流
半载时的 均流精度	1.19%	4.4%	4 %	3.2%
满载时的 均流精度	4.38%	3.3%	4 %	1.7%
开关频 率/MHz	0.1	-	-	0.5~2
最大电 流/A	20	18	2	20

4 结 论

本文介绍了多相 DC-DC 数字控制器的整体结构,分析了均流环路对电压调节的影响以及均流环路中的极限环振荡,提出了一种基于同步设计的数字均流电路和脉宽调制电路。本文基于 0.18 μm CMOS 工艺实现了多相 DC-DC 数字控制器。仿真

结果表明,负载电流在10~20 A 周期阶跃时,过冲/ 下冲电压在20 mV 以内,输出电压纹波在10 mV 以内,开关频率在0.5~2 MHz 范围内可调节,均流 误差从20.8%减小到5%以下。

参考文献:

- [1] ABU-QAHOUQ J A, MAO H, BATARSEH I. Multiphase voltage-mode hysteretic controlled DC-DC converter with novel current sharing [J]. IEEE Trans Power Elec, 2004, 19(6): 1397-1407.
- [2] PANOV Y , JOVANOVIC M M. Design and performance evaluation of low-voltage/high-current DC/DC on-board modules [J]. IEEE Trans Power Elec, 2001, 16(1): 26-33.
- [3] HONG S W, KONG T H, PARK S H, et al. High area-efficient DC-DC converter with high reliability using time-mode Miller compensation (TMMC) [J]. IEEE J Sol Sta Circ, 2013, 48(10): 2457-2468.
- [4] WONG P L, XU P, YANG P, et al. Performance improvements of interleaving VRMs with coupling inductors [J]. IEEE Trans Power Elect, 2001, 16 (4): 499-507.
- [5] LI J, STRATAKOS A, SCHULTZ A, et al. Using coupled inductors to enhance transient performance of multi-phase buck converters [C] // The 19th IEEE Appl Power Elec Conf & Expo. Anaheim, CA, USA. 2004: 1289-1293.
- [6] HUANG W, ABU-QAHOUQ J A. input voltage ripple based sensorless current sharing auto-tuning controller for multiphase DC-DC converters [C] //

IEEE Applied Power Elec Conf & Exposition. Charlotte, NC, USA. 2015: 622-627.

- [7] ABU-QAHOUQ J A, MAO H, BATARSEH I. Novel control method for multiphase low-voltage highcurrent fast-transient VRMs [C] // IEEE Power Elec Specialists Conf. Cairns, Australia. 2002: 1576-1581.
- [8] SMIRNOV Y, SUBOTSKAYA V, TULUPOV M, et al. High speed DPWM for digital power converter controller [C] // Int Conf MIPRO. Opatija, Croatia. 2019: 87-91.
- [9] ABU-QAHOUQ J A. Analysis and design of N-phase current-sharing autotuning controller [J]. IEEE Trans Power Elec, 2010, 25(6):1641-1651.
- [10] ZHANG Y, ZANE R, MAKSIMOVIC D. Current sharing in digitally controlled masterless multi-phase DC-DC converters [C] // IEEE 36th Power Elec Special Conf. Recife, Brazil. 2005; 2722-2728.
- [11] LI P, LEHMAN B. A design method for paralleling current mode controlled DC-DC converters [J] IEEE Trans Power Elec, 2004, 19(3): 748-756.
- [12] CHAE S, SONG Y, PARK S, et al. Digital current sharing method for parallel interleaved DC-DC converters using input ripple voltage [J]. IEEE Trans Industr Inform, 2012, 8(3): 536-544.
- [13] 张亮, 陈渊睿. 平均电流法均流在数字 DC/DC 电源中的应用 [J]. 电源技术, 2012, 36(6): 858-860.
- [14] 张天芳. 开关电源的并联运行及其数字均流技术 [J]. 淮海工学院学报, 2006(1): 29-32.
- [15] 郑争兵. 基于数字均流技术的直流电源系统研究 [J]. 电源技术, 2013, 37(12): 2197-2199.

一种 2 阶小阻尼系数负载的快速补偿驱动法

潘 高,张 波

(电子科技大学 电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要:提出了一种2阶小阻尼系数负载的快速补偿驱动方法。根据2阶系统传递函数,对2阶小阻尼系数负载的驱动信号进行变换,将具有相同衰减振荡周期的正、负向阶跃响应进行不同时间点的叠加,以补偿单个阶跃响应的衰减振荡振幅,实现了2阶小阻尼系数负载驱动响应的快速稳定。应用该补偿驱动法,采用 0.18 μm CMOS 工艺设计并流片了一颗开环控制的音圈电机驱动芯片。结果表明,在 10 ms 谐振周期的条件下,与最优驱动电流对应的音圈电机位移振幅仅为 0.925%,建立时间仅为 7.8 ms。

关键词: 2 阶小阻尼系数负载; 阶跃响应; 音圈电机
 中图分类号:TN432
 文献标志码:A
 文章编号:1004-3365(2021)01-0047-05
 DOI:10.13911/j.cnki.1004-3365.200066

A Fast Compensation Driving Method of the Second Order Load with Small Damping Coefficient

PAN Gao, ZHANG Bo

(State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Science and Technology of China, Chengdu 610054, P. R. China)

Abstract: A fast compensation driving method of the second order load with small damping coefficient was presented. According to the transfer function of the second order system, the driving signal of the second order load with small damping coefficient was transformed, and the positive and negative step response with the same damping oscillation period were added with different time to compensate the damping oscillation amplitude of a single step response, so as to achieve the fast and stable driving response of the second order load with small damping coefficient. Applied in this compensation driving method, an open loop controlled voice coil motor driver chip was designed and tape-out in a 0.18 μ m CMOS technology. The results showed that the displacement amplitude of voice coil motor corresponding to the optimal driving current was only 0.925%, and the establishment time was only 7.8 ms under the condition of the resonant period of 10 ms.

Key words: second order load with small damping coefficient; step response; voice coil motor

0 引 言

随着便携式电子产品的飞速发展,作为电子产 品与人类视觉相联系的纽带,音圈电机成为了电子 产品应用最广泛的组件之一。音圈电机是一种将电 能转化为直线或者圆弧运动机械能而不需要任何中 间转换机构的线性直流电机^[1-2]。音圈电机具有结构简单、体积小、高速、高响应等优点,已成为具有自动聚焦手机摄像头的首选^[3-4]。

2 阶系统中,若负载具有小阻尼系数特性,其阶 跃驱动响应会呈现衰减振荡,难以实现快速稳定。 音圈电机是2 阶小阻尼系数负载的典型代表,直接 驱动电机方式会导致位移稳定时间长、在稳定点附

收稿日期:2020-02-05;定稿日期:2020-03-31

基金项目:模拟集成电路国家重点实验室基金资助项目(9140C090113150C09043)

作者简介:潘 高(1979-),男(汉族),四川成都人,博士研究生,研究方向为模拟集成电路设计。

近衰减振荡,严重影响了人的视觉体验。文献[5-6] 从硬件结构、控制方式上进行了研究,对音圈电机的 定位精度和定位时间有一定程度的改善。

本文提出一种2阶小阻尼系数负载快速补偿驱动方法。应用该补偿驱动法,将驱动信号变换技术 运用在音圈电机的驱动电流上,通过对驱动电流的 叠加整形变换,实现音圈电机位移变化的快速稳定, 大幅改善视觉体验。

1 2 阶小阻尼系数负载

1.1 小阻尼系数2阶系统

由 2 阶微分方程描述的系统称为 2 阶系统,其 在控制工程的应用极为广泛。典型 2 阶系统的闭环 传递函数为:

$$\Phi(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \tag{1}$$

式中, ζ 为阻尼系数, ω_n 为无阻尼振荡频率。2 阶系 统的阶跃响应仅与 ζ 和 ω_n 相关。

当阻尼系数大于1时,阶跃响应包含两个单调 衰减的指数项,其数值越大,系统达到稳定的时间越 长;当阻尼系数等于1时,阶跃响应的上升速度最 快,系统达到稳定的时间较短,且无过冲;当阻尼系 数小于1且大于0时,阶跃响应的上升速度快,存在 过冲,经过多次振荡后系统达到稳定。阻尼系数越 小,系统达到稳定的时间越长,振荡次数越多^[7]。

图 1 所示是阻尼系数分别为 0.03、0.1、1 时 2 阶系统的输出阶跃响应曲线。当阻尼系数为 0.03 时,输出响应在稳定点附近呈大幅度的衰减振荡,系统达到稳定需多个衰减振荡周期。



图 1 2 阶系统的输出阶跃响应曲线

1.2 开环音圈电机驱动系统

在力学平衡系统中,当电磁力克服了弹簧的摩

擦力、弹性阻力时,音圈电机中的动子才能做直线运动。在实际运动过程中,动子通过加速或减速来完成一定的线性位移,动子加速产生的惯性力需通过电磁力来克服。建立音圈电机的力学平衡方程,获得位移与驱动电流的函数关系^[8-9],为:

$$\frac{X(s)}{I(s)} = \frac{k_{\rm E}}{m} \frac{1}{s^2 + \frac{c}{m}s + \frac{k}{m}}$$
(2)

式中,m 为动子的质量,c 为阻尼摩擦系数,k 为弹簧 的弹力系数, k_E 是与速度相关的反向电动势系数。 从式(2)可知,位移与驱动电流的关系呈 2 阶系统 特性。

音圈电机的典型参数如表1所示。可以看出, 阻尼系数为0.03。在音圈电机驱动系统中,利用阶 跃电流信号驱动音圈电机,其位移与图1中阻尼系 数为0.03的阶跃响应波形相同,在稳定点附近出现 超过80%振幅的衰减振荡。这会导致摄像头不能 准确快速地对焦,出现定位精度差、稳定时间长等 现象。

表1 音圈电机的典型参数

参数	数值	
等效电感/ μ H	100	
等效电阻/Ω	15	
自然频率/(rad \cdot s ⁻¹)	628	
阻尼系数	0.03	
质量/g	5	

2 快速补偿驱动法

2.1 2阶系统驱动变换技术

为了实现2阶小阻尼负载驱动的快速稳定,需 对单个阶跃响应的振幅进行补偿,消除衰减振幅,实 现快递稳定。针对此问题,本文提出了一种驱动信 号变换技术,将具有相同衰减振荡周期的正、负向阶 跃响应进行不同时间点的叠加,补偿单个阶跃响应 的衰减振幅,从而实现2阶小阻尼系数负载驱动响 应的快速稳定。

对于 2 阶小阻尼系数负载,正向阶跃信号和负 向阶跃信号分别产生具有相同衰减振荡周期的正向 衰减响应、负向衰减响应,将不同时间点上的正向衰 减响应与负向衰减响应进行叠加,最终得到幅度、相 位延迟不同的零衰减的振荡波形。

不同时间点正、负阶跃信号响应的叠加示意图

如图 2 所示。 t_{10} 时刻,对 2 阶系统输入正向阶跃信号,得到响应波形 W_1 ; t_{11} 时刻,对 2 阶系统输入负向 阶跃信号,得到响应波形 W_2 。在时域上将这两个响 应波形叠加,得到与 W_1 、 W_2 的振荡周期相同且衰 减为零的振荡波形 $y_1(t)$ 。



图 2 不同时间点正、负阶跃信号响应的叠加示意图

将2阶系统的传递函数进行反拉普拉斯变换, 其在时域上的表达式为:

$$y(t) = 1 - \frac{e^{-\frac{\zeta}{\omega_n t}}}{\sqrt{1 - \zeta^2}} \sin\left(\sqrt{1 - \zeta^2}\omega_n t + \arctan\frac{\sqrt{1 - \zeta^2}}{\zeta}\right)$$
(3)

*W*₁ 波形、*W*₂ 波形分别用式(3)表示,再相叠加,得到 *y*₁(*t*) 波形的时域表达式:

$$y_{1}(t) = \frac{e^{-\zeta \omega_{n} t_{11}}}{\sqrt{1-\zeta^{2}}} \sin\left(\sqrt{1-\zeta^{2}} \omega_{n} t_{11} + \arctan\frac{\sqrt{1-\zeta^{2}}}{\zeta}\right) - \frac{e^{-\zeta \omega_{n} t_{10}}}{\sqrt{1-\zeta^{2}}} \sin\left(\sqrt{1-\zeta^{2}} \omega_{n} t_{10} + \arctan\frac{\sqrt{1-\zeta^{2}}}{\zeta}\right)$$
(4)

由式(3)可知,该组合后的衰减振荡波形只包含 指数衰减项与三角函数项的组合。将不同的 t_{n0} 时 刻、t_{n1}时刻的阶跃响应组合,可得到幅度、相位不同 且衰减为零的振荡波形 y_n(t)。

利用多个衰减振荡周期相同、振幅不同、相位延

迟不同的零衰减的响应波形与单个阶跃响应波形叠 加,以对单个阶跃响应进行补偿,实现了2阶小阻尼 系数负载响应的快速稳定。

多个衰减振荡波形的叠加示意图如图 3 所示。 $y_1(t)和 y_2(t)具有相同的振荡周期,是相位、振幅不同且衰减为零的振荡波形。<math>y(t)$ 是正向阶跃信号的响应波形,其振荡周期与 $y_1(t)和 y_2(t)相同。在时域上将 <math>y_1(t), y_2(t)$ 与 y(t)叠加,得到 Y(t)的波形。可知,Y(t)的衰减振幅明显减小,具有响应时间快的特点。





若能叠加更多的零衰减的振荡波形,则能达到 更好的效果。将多个衰减为零的振荡波形与正向阶 跃信号波形叠加,可得到:

$$Y(t) = 1 + \sum_{i=1}^{n} y_i(t) - \frac{e^{-\zeta \omega_n t}}{\sqrt{1 - \zeta^2}} \times \sin\left(\sqrt{1 - \zeta^2} \omega_n t + \arctan\frac{\sqrt{1 - \zeta^2}}{\zeta}\right)$$
(5)

理想情况下,式(5)中的衰减振荡项相互抵消, 只剩输出响应为1的这一项,因此实现了衰减振幅 的完全消除。

2.2 驱动电路设计

音圈电机的位移与驱动电流的关系是一种 2 阶

系统。利用上述对 2 阶系统的分析,对驱动电流进 行变换控制,将不同时间点上的正、负阶跃电流组 合,叠加不同阶跃电流产生的相同衰减振荡周期的 位移波形,补偿单个阶跃电流信号位移波形的衰减 振幅,达到位移的快速稳定。

本文设计的音圈电机的驱动级电路如图 4 所示。 I_{REF} 是基准电流源,OP1 是具有自动校准功能的运算放大器。电阻 R_1 、 R_2 分别与运算放大器的正端、负端连接, R_1 是 R_2 的 1 024 倍。通过 R_1 与 R_2 的比例调整,实现不同大小的驱动电流输出。



图 4 音圈电机的驱动级电路

OUTP、OUTN 分别外接音圈电机的正端、负端,音圈电机使用电阻 *R* 和电感*L* 进行等效。M_{N1}、 M_{N2}、M_{P1}、M_{P2}是 H 桥输出级的功率管,D1、D2 是 M_{P1}、M_{P2}管的寄生二极管。

音圈电机做正向运动时,对音圈电机施加正向 电流,电流走向如图 4 中实线 Ph1 所示。该状态下, M_{P1} 、 M_{N2} 管开启, M_{P2} 、 M_{N1} 管关断,驱动电流从 V_{CC} 经过 M_{P1} 管流过 OUTP、OUTN,再经 M_{N2} 管、 R_1 到地。

音圈电机做负向运动时,对音圈电机施加负向 电流,电流走向如图 4 中虚线 Ph2 所示。该状态下, M_{P2} 、 M_{N1} 管开启, M_{P1} 、 M_{N2} 管关断,驱动电流从 V_{CC} 经过 M_{P2} 流过 OUTN、OUTP,再经 M_{N2} 管、 R_1 到 地。本文方法通过对驱动电流的值、方向在时域上 的多次整形,实现了驱动电流的变换。因此,音圈电 机产生与式(5)相似的响应波形,通过驱动电流变换 补偿技术,实现了位移的快速稳定。

3 结果与讨论

驱动器芯片的框图如图 5 所示。将音圈电机的 建立时间定义为从获得驱动电流后到位移振幅小于 ±3%变化幅度的时间。传统阶跃电流与位移的关 系曲线如图 6 所示。可以看出,位移振幅为 81.5%,建立时间为170.6 ms。



本文采用不同补偿次数,设计了三种模式的驱动电流。模式1、模式2、模式3分别对应叠加2次、5次、7次的衰减振荡补偿的驱动电流。



图 7 模式 1 驱动电流与位移的关系曲线

模式1驱动电流与位移的关系曲线如图7所示, 可以看出,位移振幅为0.925%,建立时间为7.8 ms。 模式2驱动电流与位移的关系曲线如图8所示,可 以看出,位移振幅为0.833%,建立时间为13.36 ms。模式3驱动电流与位移的关系曲线如图9所示,可以看出,位移振幅为0.278%,建立时间为21.13 ms。这表明,三种模式下音圈电机的建立时间均优于传统阶跃电流控制方式。



图 9 模式 3 驱动电流与位移的关系曲线

本文与其他文献中的音圈电机参数比较如表 2 所示。可以看出,本文音圈电机的建立时间明显优 于其他文献。

- 表 Z 本 又 与 具 他 又 献	甲的首圈电机参数比约	紁
---------------------	------------	---

参数	文献[5]	文献[6]	文献[10]	文献[11]	本文
工作模式	开环	光学防抖	开环	开环	开环
建立时间/ms	20	20	16.6	39	7.8
最大输出 电流/mA	40	80	80	30	100

该驱动芯片的版图如图 10 所示。芯片的尺寸为 1.16 mm×0.76 mm,芯片面积为 0.881 6 mm²。采 用实际的摄像头进行测试,测试电路如图 11 所示。 可以看出,驱动电流能满足设计要求。本文方法明 显缩短了聚焦定位时间,提高了聚焦精度。



图 10 驱动芯片版图



图 11 驱动芯片的测试电路

4 结 论

本文针对 2 阶小阻尼负载提出了一种驱动信号 变换方法。应用该方法,本文设计了一种开环音圈 电机的驱动芯片。在谐振周期为 10 ms 时,最优驱动 电流对应的位移振幅仅为 0.925%,建立时间仅为 7.8 ms。该方法用于音圈电机驱动时,不仅能使摄像 头保持结构简单、体积小的优点,而且具有高的定位 精度、短的定位时间,明显改善了摄像聚焦性能。

参考文献:

- [1] 兴连国,周惠兴,侯书林,等. 音圈电机研究及应用综述[J]. 微电机,2011,44(8):82-87.
- [2] SHAN G Q, LI Y Z, ZHANG L W, et al. Contributed review: application of voice coil motors in high-precision positioning stages with large travel ranges [J]. Rev Scient Instrum, 2015, 86 (10): 101501.
- [3] 李翁衡, 卢琴芬. 微型音圈电机在手机摄像模组中的 应用[J]. 微电机, 2018, 51(7): 8-11.

(下转第56页)

一种新颖的多值基准输出缓冲器设计

胡 敏,冯全源

(西南交通大学 微电子研究所,成都 611756)

摘 要: 对比分析了不同结构的传统多值基准输出缓冲器,提出了一种新颖的多值基准输出缓冲器结构。采用 PMOS 输出结构提高了输出电压摆幅,利用低输出阻抗结构加快了瞬态响应速度,解决了传统结构无法兼具高输出与快响应的矛盾,电路功耗低、易补偿。基于 0.15 μ m 标准 CMOS 工艺,用 Hspice 软件对电路进行仿真。仿真结果表明,当电源电压为 5 V、温度为 25 °C 时,输出电压上限可达 4.82 V;当补偿电容取 3 pF 时,相位裕度达到 86°;当输入电压为 1.2 V、输出电压为 4.5 V、输出电流扰动变化量为 100 nA 时,瞬态响应时间为 4 μ s;静态电流仅为 7 μ A。 关键词: 基准输出缓冲器;多值基准;输出电压上限;瞬态响应速度

中图分类号:TN432 文献标志码:A 文章编号:1004-3365(2021)01-0052-05 DOI:10.13911/j.cnki.1004-3365.200155

Design of a Novel Multivalued Reference Voltage Output Buffer

HU Min, FENG Quanyuan

(Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, P. R. China)

Abstract: The traditional multivalued reference voltage output buffers with different structures were compared and analyzed, and a novel one with low power consumption and easy compensation was proposed. The PMOS output structure and the low output impedance structure were used in the novel circuit to obtain both the higher output voltage swing and the faster transient response speed. The proposed circuit was simulated and verified in a 0.15 μ m standard CMOS process with the Hspice. The simulation results showed that when the power supply voltage was 5 V and the temperature was 25 °C, the output voltage upper limit could reach 4.82 V. When the value of the compensation capacitor was 3 pF, the phase margin was 86°. Under the conditions of 1.2 V input voltage, 4.5 V output voltage and 100 nA output current disturbance variation, the transient response time was 4 μ s. The quiescent current was only 7 μ A.

Key words: reference voltage output buffer; multivalued reference voltage; output voltage upper limit; transient response speed

0 引 言

带隙基准的输出电压几乎不受电源、工艺和温度的影响,可为电路内部提供高稳定度的参考电

压^[1],因此带隙基准被广泛用于各种模拟电路和模 数混合电路中^[2-3]。然而,带隙基准只能输出唯一 的、约1.2 V的固定电压值。不断提高的芯片集成 度意味着芯片内部有大量不同的电路模块需要不同 的基准电压,例如,流水线 ADC 不同比较器需要不

收稿日期:2020-04-13;定稿日期:2020-05-20

基金项目:国家自然科学基金重点项目资助(61531016;61831017);四川省科技支撑计划重点项目资助(2018GZ0139);四川省 重大科技专项项目资助(2018GZDZX0001)

作者简介:胡 敏(1994—),女(汉族),云南昆明人,硕士研究生,研究方向为模拟集成电路设计。 冯全源(1963—),男(汉族),江西景德镇人,博士,教授,主要从事 RFID 技术等研究。

同参考电压[3]。这要求基准电路具有多值输出功能。

实现多值基准输出的常规方法是电压模基准配 合输出电压缓冲器^[4]。电压模基准特定的产生机 制^[5]导致其无法简单通过在基准电路输出端利用电 阻分压来产生稳定的多值基准。但电压缓冲器却可 以有效隔离前、后级电路,提高了电路的负载驱动能 力^[4],保证基准电路可以通过分压输出多个基准电 压值。

在某些应用场景,如峰值检测、锂电池电量检测 等,要求参考电压源能提供多个、较高的精确参考电 压。在实际应用中,由于受环境或其他模块电路的 影响,基准电路的输出可能受到扰动。为确保参考 电压稳定,要求基准输出缓冲器具有快速恢复稳定 状态的能力。而传统的多值基准输出缓冲器^[6-7]无 法兼顾输出电压上限和电路响应速度。针对以上问 题,对比分析了不同结构的传统多值基准输出缓冲 器,提出了一种新颖的多值基准输出缓冲器结构,该 电路兼具高的输出电压上限和快的电路瞬态响应速 度,功耗低且易补偿。

1 传统的多值基准输出缓冲器

传统的多值基准输出缓冲器根据输出级的不同 可分为 NMOS 输出^[6]和 PMOS 输出^[7]两种基本结 构,如图 1 所示。



(b) PMOS 输出结构图 1 传统多值基准输出缓冲器的基本结构

图 1(a)所示为 NMOS 输出的多值基准输出缓 冲器结构,该电路的主要优点是输出阻抗较小,输出 扰动时电路恢复稳定的响应时间较短,但缺点是正 常工作时输出电压上限受限。图 1(b)所示为 PMOS 输出的多值基准输出缓冲器结构,相比图 1 (a)所示结构,该电路正常工作时输出电压高出一个 MOS 管栅源电压的裕度,没有输出电压范围受限的 问题,但缺点在于当输出扰动时,由于反馈环路的带 宽有限,在环路负反馈调节作用生效前的短时间内 MP2 的栅源电压并不因扰动发生变化,输出扰动的 影响不会在短时间内被消除,这使得电路的瞬态响 应速度受限。

其他多值基准输出缓冲器结构大多是在图1所示的传统结构上进行改进。文献[8]中的缓冲器在图1(a)所示 NMOS输出结构的基础上利用电流镜的电流拷贝特性将其转换为 PMOS输出结构,改善了电路的输出电压摆幅,但未提高电路瞬态响应速度;文献[9]中缓冲器在图1(b)所示 PMOS 输出结构的基础上加入了一个反馈晶体管,提供了低输出阻抗,但同时限制了多值基准输出缓冲器输出摆幅; 文献[10]中的缓冲器结合了 PMOS 输出与低输出阻抗结构,但没能发挥出这两种结构分别带来的输出电压摆幅大和瞬态响应速度快的优势。

可见,传统的多值基准输出缓冲器无法兼具高 的输出电压上限和快的瞬态响应速度。为解决这一 矛盾,本文提出了一种新颖的多值基准输出缓冲器。

2 新颖的多值基准输出缓冲器

本文提出的新颖的多值基准输出缓冲器如图 2 所示。



图 2 新颖的多值基准输出缓冲器

图 2 所示电路中,基准电路产生的基准电压从

 V_{ref} 端输入。 R_1 和 C_1 组成低通滤波器,滤除 V_{ref} 中 的高频成分。M2~M3构成的电流镜复制流过 M1 的电流,实现 NMOS 输出到 PMOS 输出的转换,提 高了该缓冲器的输出电压上限值。这一电流分别由 M4~M5和 $R_3 ~ R_5$ 所在支路分流。因此,为保证 M3可流过足够大的电流,设置其宽长比大于 M2 的 宽长比。二极管接法的 M4~M5 用来确定其所在 支路的电流大小,多个二极管接法的 MOS 串联可 防止电流过大,同时,该结构也有效减小了电路的输 出阻抗。 R_2 的作用是抬高 p 点电位,防止 M1、M4 ~M5 所在支路电流过大。电路中二极管接法的 MOS 的数量及 R_2 的设置是功耗与面积折中考虑之 后的结果。

此外,该基准输出缓冲器中的运算跨导放大器 (Operational Transconductance Amplifier,OTA) 采用了共模输入范围宽、输出摆幅和速度性能都较 高的折叠共源共栅结构,如图 3 所示。





本章以下各节将分别针对该新颖的多值基准输 出缓冲器的多值输出及输出电压上限、瞬态响应速 度以及补偿方案进行详细说明和理论推导。

2.1 多值输出及输出电压上限

对于图 2 所示的多值基准输出缓冲器,D 点到 地的总电阻,即 R_5 ,可以定义 $R_3 \sim R_5$ 所在支路的电 流,实现多值基准电压输出。以 V_{refl} 为例,输出基准 电压为:

$$V_{\rm ref1} = \frac{V_{\rm ref}}{R_5} (R_3 + R_4 + R_5) \tag{1}$$

由式(1)可知,通过调整 $R_3 \sim R_4$ 即可获得所需 V_{refl} 。在电路中所有 MOS 均正常工作的前提下, V_{refl} 是可变的。又由于采用了 PMOS 输出结构, V_{refl} 上限可达到图 2 中 C 点电压的最大摆幅,即:

$$V_{c} = V_{DD} - (V_{GS3} - V_{THP})$$
 (2)
式中, V_{DD} 为电源电压, V_{GS3} 、 V_{THP} 分别为图 2 中 M3

的栅源电压与阈值电压。

由式(2)可知,正常工作时,若 M3 的过驱动电 压取 0.2 V,则理论上 V_{reft} 最大值可达 4.8 V。可 见,该电路具有较高的基准电压上限值。只要调节 $R_3 \sim R_5$ 大小,该缓冲器便能根据需要输出从 0 V 到 接近电源电压的任意电压。

2.2 瞬态响应速度

相较传统 PMOS 输出结构,图 2 所示的多值基 准输出缓冲器在输出扰动时有两种调节机制让电路 恢复稳定,因此具有更快的瞬态响应速度。除了负 反馈环路提供的闭环调节,该新颖结构还具有开环 调节机制。所谓开环调节,即由于该新颖结构输出 阻抗较小,输出扰动时,流过 $R_3 \sim R_5$ 的电流 I_{R5} 发 生变化,同时,低阻结构的 M4~M5 参与分流,导致 流过它们的电流 I_{D4} 也发生同向变化,进而承担了一 部分扰动在输出端产生的影响,使输出电压趋于稳 定。因此,与高输出阻抗的传统 PMOS 输出结构相 比,在输出受到扰动时,该新颖结构输出电压的变化 量更小,系统恢复稳定的响应时间更短。

输出扰动时新颖的多值基准输出缓冲器恢复稳定的原理如图 4 所示。图中假设扰动使得输出电压 V_{refl}减小。



图 4 新颖的多值基准输出缓冲器恢复稳定的原理

2.3 补偿方案

该新颖的多值基准输出缓冲器具有 3 个主要的 极点,分别位于图 2 中 A、B、C 点处。A 点处的输出 电阻为: $R_{out1} \approx (g_{m13}r_{o13}r_{o14}) \| [g_{m12}r_{o12}(r_{o11} \| r_{o2})]$ (3) 式中, $g_{m12} \sim g_{m13}$ 、 $r_{o11} \sim r_{o14}$ 分别为图 3 OTA 中 M12 ~M13 的跨导及 M11~M14 的输出电阻, r_{o2} 为 M2 的输出电阻,符号" || "表示其两侧的等效电阻并联。

B点处的输出电阻为:

$$R_{\text{out2}} \approx \frac{1}{g_{\text{m2}}} \tag{4}$$

式中,g_{m2}为图 2 中 M2 的跨导。

C点处的输出电阻为:

$$R_{\text{out3}} \approx \frac{1}{g_{\text{m1}}} + \frac{1}{g_{\text{m4}}} + \frac{1}{g_{\text{m5}}}$$
(5)

式中, g_{m1} 、 g_{m4} 、 g_{m5} 分别为图 2 中 M1、M4、M5 的 跨导。

由式(3)~(5)可知, $R_{out1} \gg R_{out2}$, R_{out3} 。且这 3 点分别到地的电容相差不大,因此 A 点处极点远小 于 B、C 两点处的极点,为电路主极点。只要在 A 点 处加一个补偿电容进行简单的频率补偿,就可以让 整个系统更加近似于单极点系统。图 2 中 C_e 即为 补偿电容。 C_e 大小可根据实际的应用需求进行选 取。随着 C_e 的增大,该缓冲器系统的稳定性会变得 更好,但带宽会减小,电路速度会变慢。

3 仿真结果与分析

本文基于 0.15 μm 标准 CMOS 工艺,用 Hspice 软件对所设计的多值基准输出缓冲器进行 仿真。

当电源电压为 5 V、温度为 25 °C、输入电压为 1.2 V时,所设计的多值基准输出缓冲器的输出电 压上限的仿真曲线如图 5 所示。结合图 2,调节 $R_3 + R_4$ 的总电阻从 0 开始增大,当流过 M3 的电流 I_{D3} 大小开始减小,即 M3 开始退出饱和区进入线性 区,此时对应的 V_{reft} 为缓冲器输出电压上限,由图可 知约为 4.82 V。该值与理论输出电压上限值相符, 表明本文设计的多值基准输出缓冲器具有较高的输 出电压上限。

在电源电压为 5 V、温度为 25 °C下,所设计的 多值基准输出缓冲器在补偿电容 C_c = 3 pF 时的频 率特性仿真曲线如图 6 所示。可以看出,此时该缓 冲器具有 86°的相位裕度。这表明,当 C_c = 3 pF 时, 系统的稳定性较好。

所设计多值基准输出缓冲器在电源电压为5 V、 温度为 25 °C、 C_c =3 pF、输入电压 V_{ref} =1.2 V、输出 V_{refl} =4.5 V、输出电流扰动变化量 ΔI =100 nA 时 的瞬态响应仿真曲线如图 7 所示。可以看出,在输 出电流扰动增大瞬间, I_{Di} , I_{R5} 均减小, I_{D3} 增大,该现 象与 2.2 节中图 4 所示输出扰动时电路恢复稳定的 原理相符,表明电路的确是在两种调节机制的作用 下恢复稳定的,较传统 PMOS 输出结构,具有更快 的瞬态响应速度。在该仿真条件下,电路的瞬态响 应恢复时间(T_r)为 4 μs。



所设计的多值基准输出缓冲器的静态电流仅为 7 μA,静态功耗较低。在对系统响应速度要求严格 的应用场景下,可通过增加电流来获取更快的速度。 此外,还可根据 2.3 节所述,通过调节 C。大小来改 变系统带宽。所设计的新颖的多值基准输出缓冲器 速度可调,设计较为灵活。

4 结 论

本文提出了一种新颖的多值基准输出缓冲器结构,该结构结合了 PMOS 输出结构输出电压上限高和低输出阻抗结构响应速度快的优势,解决了传统结构无法兼具高输出与快响应的矛盾,且功耗低、易补偿。仿真结果表明,当电源电压为 5 V、温度为 25 ℃时,输出电压上限为 4.82 V,输出电压范围较大;当补偿电容取 3 pF 时,相位裕度为 86°,系统稳定性较好;当输入电压为 1.2 V、输出电压为 4.5 V、输出电流扰动为 100 nA 时,瞬态响应时间为 4 μ s;静态电流仅为 7 μ A,功耗较低。该缓冲器配合基准电路使用,可为系统中某些电路提供稳定、多值参考电压,如峰值检测电路、锂电池电量检测电路等。

参考文献:

[1] RAZAVI B. Design of analog CMOS integrated

(上接第51页)

- [4] HSU J D, TSAI C L, TZOU Y Y. Design and implementation of a voice-coil motor servo control IC for auto-focus mobile camera applications [C] // IEEE Power Elec Spec Conf. Orlando, FL, USA. 2007: 1357-1362.
- [5] CHANG Y H, LIU C S, CHEN I W, et al. Openloop control of voice coil motor with magnetic restoring force using high-low frequency composite signals [J].
 IEEE Access, 2019(7): 146258-146263.
- [6] WANG J, QIU K F, CHAO P. Control design and digital implementation of a fast 2-degree-of-freedom translational optical image stabilizer for image sensors in mobile camera phones [J]. Sensors, 2017, 17 (10): 2333.
- [7] 胡寿松. 自动控制原理 [M]. 第5版. 北京: 科学出

circuits [M]. New York: McGraw-Hill, 2001.

- [2] WEISS F G, BOWMAN T G. A 14-bit, 1 Gs/s DAC for direct digital synthesis applications [C] // Gallium Arsenide Integr Circ Symp. Monterey, CA, USA. 1991: 361-364.
- CAO H, YU Z, DENG H, et al. A reference voltage source and its output buffer for pipeline ADC [C] // Int Conf ASID. Macao, China. 2014: 1-5.
- [4] 陈闪闪.高性能高稳定多值输出基准电路设计 [D]. 南京:东南大学,2013.
- [5] THAM K M, NAGARAJ K. A low supply voltage high PSRR voltage reference in CMOS process [J].
 IEEE J Sol Sta Circ, 1995, 30(5): 586-590.
- [6] 陈磊,李萌,张润曦,等.一种带输出缓冲的低温度系数带隙基准电路[J]. 电子器件,2008,31(3): 820-823.
- [7] 张正旭,李少青,马卓,等. 多路 V/I 输出的高性能CMOS 带隙基准源 [J]. 微电子学,2009,39(4):503-507.
- [8] 贾鹏,丁召,杨发顺.带2阶温度补偿的多输出带隙 基准电压源[J].现代电子技术,2013,(24):166-169,173.
- [9] 蔡元,张涛. 低成本多路输出 CMOS 带隙基准电压源 设计 [J].现代电子技术,2012,35(16):130-133.
- [10] 杜滨媛, 陆建恩, 蒋政, 等. 一款带电流驱动能力的带 隙基准 [J]. 中国集成电路, 2019, 28(4): 49-54.

ℰℊℰℊℰⅆℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊℰℊ

版社,2007:76-80.

- [8] LI L Y, CHEN Q M, TAN G G, et al. High precision position control of voice coil motor based on single neuron PID [C] // 8th Int Symp Prec Engineer Measurem & Instrum. Chengdu, China. 2013: 8759-1 - 8759-8.
- [9] 冯晓梅,李立顺,李红勋,等. 直线音圈电机特性研究 [J]. 微特电机,2014,42(12):38-40.
- [10] HSIEH C L, LIU C S. Design of a voice coil motor actuator with L-shape coils for optical zooming smartphone cameras [J]. IEEE Access, 2020(8): 20884-20891.
- [11] CHANG Y H, HU C C, HSIEH C L, et al. Design of VCM actuator for optical zooming smartphone cameras
 [J]. Microsyst Technol, 2019, 25(1): 277-281.

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021 年 2 月	Microelectronics	Feb. 2021

具备谐波抑制的高阶有源 N 路径带通滤波器

李 捷,韦保林,岳宏卫,韦雪明,徐卫林,段吉海 (桂林电子科技大学 广西精密导航技术与应用重点实验室,广西 桂林 541004)

摘 要: 采用三级 2 阶 N 路径滤波单元设计了一种带谐波抑制功能的高阶有源 N 路径带通滤波器。在第二、三级之间插入负电阻和回转器,可提高滤波器的 Q 值、带宽和线性度;在末级的串联型 2 阶 N 路径滤波单元中采用有相位差的时钟信号进行控制,可有效地抑制三次谐波。基于0.18 μm CMOS 工艺仿真。结果表明,该滤波器的最高增益为 20.12 dB,中心频率调谐范围为0.1~1 GHz,带外抑制高达 50.2 dB@700 MHz,三次谐波抑制大于 40 dB,噪声系数为 4.71~6.9 dB,带外输入 3 阶交调点(IIP3)为 16.3 dBm@50 MHz。

关键词:带通滤波器;N路径滤波器;谐波抑制;可调谐
 中图分类号:TN713⁺.5;TN432
 文献标志码:A
 文章编号:1004-3365(2021)01-0057-07
 DOI:10.13911/j.cnki.1004-3365.200083

A High-Order Active N-Path Bandpass Filter with Harmonic-Rejecting

LI Jie, WEI Baolin, YUE Hongwei, WEI Xueming, XU Weilin, DUAN Jihai (Guangxi Key Lab. of Precision Naviga. Technol. and Applic., Guilin Univ. of Elec. Technol., Guilin, Guangxi 541004, P. R. China)

Abstract: A high-order active N-path bandpass filter with harmonic rejection was designed using a three-stage second-order N-path filter unit. By inserting a negative resistance and a gyrator between the second and third stages, the Q factor, bandwidth and linearity of the filter were improved. Two clock signal with $T_s/6$ phase offset were used to control the second-order N-path filter unit in the final stage, which could effectively reject the third-order harmonics. The filter was designed in a 0.18- μ m CMOS process. Simulation results showed that the maximum gain of the filter was 20.12 dB, the center frequency could be adjusted between 0.1 to 1 GHz, the out-of-band rejection was up to 50.2 dB@700 MHz, the third harmonic rejection was greater than 40 dB, the noise figure was in the rage of 4.71 dB to 6.9 dB, and the out-of-band input third-order intermodulation point (IIP3) was 16.3 dBm@50 MHz.

Key words: bandpass filter; N-path filter; harmonic rejection; tunable

0 引 言

随着移动通信设备需要支持的网络频段增多, 射频前端模块需要同时支持更多的频段。尤其是 5G 技术的出现会使移动通信设备需要支持的频段 数量翻番。射频前端模块处理单个频段的射频信号 至少需要 2 个滤波器,5G 时代频段数量的增长将使 射频前端所需的滤波器数量大幅增加。随着移动通 讯设备的小型化,射频前端电路正向着全集成的方

收稿日期:2020-02-28;定稿日期:2020-05-08

基金项目:国家自然科学基金资助项目(61861009);广西精密导航技术与应用重点实验室资助项目(DH201807);桂林电子科 技大学研究生科研创新项目(2018YJCX26)

作者简介:李 捷(1994—),女(汉族),广西玉林人,硕士研究生,主要从事集成电路研究工作。

韦保林(1974—),男(壮族),广西武鸣人,博士,教授,主要从事集成电路研究工作。通信作者,E-mail:guilinwxb@ 163.com。

向发展。

目前射频前端电路中,常用的滤波器有 SAW 滤波器、LC 滤波器和 G_m -C 滤波器。传统 SAW 滤 波器具有较好的滤波特性,但体积庞大而不能集成, 频带固定而不适用于便携式通讯设备。LC 滤波器 可集成在片上,但调谐范围较窄且 Q 值较低,电感 线圈的面积很大^[1]。采用 Q 值增强技术可提高滤 波器的 Q 值,但会导致线性度和噪声性能变差。 G_m -C 滤波器不含电感、便于集成,但线性度较差,需 要单独调谐的电路。

在 1960 年, L. E. Franks 和 I. W. Sandberg 等人首次提出采用周期性开关控制 *RC* 无源网络的 调制方法,命名为 *N* 路径滤波器^[2]。这种基于开关 电容的 *N* 路径滤波器具有 *Q* 值高、调谐范围宽、线 性度好等特点,且易于集成,能满足现代无线接收机 射频前端中可调谐滤波的需求。*N* 路滤波器的中 心频率仅由开关的时钟频率决定,中心频率易于 调整。

N 路滤波器也存在一些缺点。CMOS 开关的 导通电阻会削弱阻带抑制能力,控制时钟的有限下 降或上升时间会导致开关电容采样电路产生误差。 开关电路的采样还会引起谐波选择效应[3],导致信 号除了通过通带 f_s外,在整数倍 f_s处仍然有信号通 过。文献[4]采用基带重组谐波的方法,使滤波器输 出端在中频获得 70 dB 的谐波抑制比,但是带外 IIP3 仅有 8 dBm。文献[5]在 N 路径滤波器前串联 频率可调的窄带 LNA,可实现超过 54 dB 的三次谐 波抑制能力。但这种结构降低了接收机的带外线性 度。文献[6]提出了一种在控制信号中引入相位差 而叠加滤波器的方法,有效降低了三次谐波的选择 效应,但邻频选择性差,中心频率可调范围仅为20 ~560 MHz,噪声和功耗都比较大。由高阶滤波器 理论可知,与理想滤波器相比,在通带内,高阶滤波 器比低阶滤波器有更好的近似,在临界点处转换频 带窄,陡降效果好[7]。

本文提出一种基于 N 路滤波技术的高阶有源 滤波电路。该电路可用于射频前端较宽频率范围内 的滤波,具有频率可调、高 Q 值和高线性度等优点, 具有较好的三次谐波抑制特性。该滤波器覆盖 0.1 ~1 GHz,适用于目前应用较广的 LTE700、 GSM850和 GSM900等通信系统。

1 N路径滤波器原理与分析

转换来实现。图 1(a)、图 1(b)所示分别为串联、并 联开关 N 路径滤波器结构^[5]。



开关控制信号 $S_0 \sim S_3$ 由 4 路占空比为 25%的 时钟信号组成,该开关信号是非交叠的。当图1 (a)中的两组开关 $S_0 \sim S_3$ 和 $S_{P_0} \sim S_{P_3}$ 信号时钟的频 率和相位对应相同时,图1(a)和1(b)两个电路实 现的功能相同。图1(a)中,存在输出开关组,减小 了单个开关对于输出信号的限制,但两组开关会 增加滤波器通带内的损耗。图 1(b)中,输入射频 信号先通过开关再到电容。信号在传输过程中完 成了下变频和 RC 低通滤波。由于多路开关由占 空比为 25%时钟信号控制,且 S₀~S₃时钟互不交 叠,相当于是一个重采样过程。根据奈奎斯特采 样定理,采样在频域有频谱搬移的效果,滤波后的 信号会被重新变频到开关频率处^[6]。图 1(b)滤波 器在 LO 频率处可以提供高阻抗以及衰减带外信 号。通过图 1(a)中电路的阻抗转换, N 路滤波器 的阻抗为^[1]:

$$Z_{\rm in}(f) = Z_{\rm SW} + N \times \sum_{k=-\infty}^{\infty} |\alpha_k|^2 Z_{\rm BB}(f - kf_{\rm LO})$$
(1)

式中,*Z*_{sw}表示开关导通电阻,*Z*_{BB}表示基带阻抗,*α*_k 为 1/N 占空比时钟的傅里叶级数。

采用 N 路径滤波器的并联配置可等效为接地 的并联 RLC 谐振(如图 1(b)所示)。单端口四路 径滤波器及其等效 RLC 模型可由数学推导得 出^[1]。假设时钟的占空比是 D,在理想情况下,所 有的时钟都有一个 1/N 的占空比。又假设 RLC 谐振器和 N 路径开关电容谐振器的带宽相同,则 RLC 谐振器的 R_B , C_B 和 L_B 值可以使用状态空间分 析得到^[8]:

$$R_{\rm B} \approx \frac{N[1-\cos(2\pi D)]R_{\rm S}+2\pi^2 D[R_{\rm S}(1-N \bullet D)+2R_{\rm SW}]}{2\pi^2 D-N[1-\cos(2\pi D)]}$$

(2)

$$C_{\rm B} = \frac{ND\pi^2}{8N\sin^2(\pi D) + \pi^2 D(1 - ND)} C_{\rm BB}$$
(3)

$$L_{\rm B} = \frac{1}{C_{\rm BB} \left(2\pi f_s\right)^2} \tag{4}$$

2 高阶有源 N 路径带通滤波器

2.1 高阶滤波器原型

传统无源 2 阶 N 路径滤波虽然线性度较高,但 是它们具有一定的插入损耗,阻带区域的频率斜率 被限制在-20 dB/dec,这使得通频带附近的频率响 应较差,且不具备三次谐波抑制能力。高阶滤波器 比低阶滤波器在临界点处转换频带窄,陡降效果好, 在阻带内有更好的衰减。因此,将基于谐波抑制的 2 阶滤波电路通过级联的方法实现高阶有源滤波, 可以提高滤波器的选择性。

任何类型的滤波器都可以通过级联 RLC 谐振 电路来实现,将这种设计方法推广到 N 路径滤波器 存在两个挑战^[9]。第一个挑战是,传统 N 路径带通 滤波器的传输函数可用接近其中心频率的 LC 并联 逻辑电路等效,理论上可用 N 路径代替并联谐振电 路,但目前还没有直接等效于串联 LC 电路的 N 路 径滤波器结构。第二个挑战是,N 路径滤波器由于 其线性周期性时变(LPTV)特性而不能简单级联, 简单级联的 N 路径滤波器将导致开关电容之间的 相互作用(电荷共享)。

高阶无源滤波器原型如图 2 所示。LC 串联谐 振电路(L₂和C₂)可通过两个阻抗逆变器(J₁和J₂模 块)将并联 LC 谐振电路转换得到^[10]。阻抗逆变器 可以通过有源回转器来实现,有源回转器可以确保 电路在很宽的频率范围内实现阻抗倒置特性。将两 个跨导放大器的输入端与它们的输出端交叉相接, 便可构成一个回转器^[11]。但第一级回转器中的负 跨导会将噪声直接反馈到输入端口,导致滤波器 噪声系数的恶化,因此将第一个回转器 J₁替换为 单个跨导运算放大器。这样可以有效地将三极点 的带通滤波器原型转换为单极点滤波器与双极点 滤波器的级联,既能减小滤波器的噪声系数,又能 降低功耗。

回转器中的跨导放大器采用推挽反相放大器结构,并由电阻自偏置。这种结构有较高的增益和效率,电路结构简单。图 2 中接地的并联 *LC* 谐振可采用如图 1(b)所示的 *N* 路径滤波器的并联配置实现。



2.2 高阶有源 N 路径带通滤波器的分析与设计

通过对图 2 中 L₃和 C₃等效的 N 路滤波器进行 优化,本文提出了一种具备谐波抑制功能的高阶有 源 N 路径带通滤波器。该滤波器可以有效抑制三 次谐波,具有高滚降斜率和高线性度,且具备良好的 阻带抑制能力。

具备谐波抑制功能的高阶带通滤波器的结构框 图如图 3 所示。其核心包含三个中心频率相同的带 通谐振器 (BPF1、BPF2、BPF3)和两个耦合单元 (g_{m1},g_{m2},g_{m3}) 。高阶带通滤波器的带宽主要由耦 合单元和带通谐振器里的基带电容 (C_1, C_2, C_3) 决定。

跨导放大器 g_{ml} 不仅隔离了 BPF1 和 BPF2,降 低了两个 BPF 中电容之间的相互影响,使带通滤 波器过渡带的滚降特性仍然遵循三极点特性,而 且给滤波电路提供了较大的电压增益。BPF2 对 经由 BPF1 输出信号进一步处理,使其在通频带附 近有更好的频率响应和较高的阻带衰减。通过在 BPF2 与 BPF3 之间添加两个由反相器制成的负电 阻 g_{m5},可以控制滤波器内部节点的阻抗电平,提 高谐振器的品质因数。gm2和 gm3组成的回转器可 用于提高滤波器的带宽和线性度。随着 gm2、gm3 增益的增大,滤波器的带宽和线性度也增大,但功 耗和噪声系数随之增加。这两者要相互折中,本 文设计的 $g_{m2} = 19.4 \text{ mS}, g_{m3} = 4 \text{ mS}$ 。图 3 中的 BPF1 和 BPF2 带通谐振器如图 4(a) 所示, 是一种 差分四路径滤波器。BPF3 的电路结构如图 4(b) 所示。它由两路差分串联开关的四路径滤波器组 成,功能是抑制 BPF1 和 BPF2 输出信号的三次 谐波。



图 3 本文设计的高阶滤波器架构

图 3 所示差分结构可以消除所有偶数阶的谐波 效应,但差分结构不能消除奇数阶的谐波分量。输 入信号分别通过两组电路结构相同、控制信号有相 位差的滤波器后,再进行叠加,以消除奇数阶谐 波^[6]。串联 N 路径滤波结构需要更多的晶体管开 关,导致寄生电容的数量增多,影响电路的滤波性 能,但每条路径上都有两组开关,能很好地控制电容 的充放电。因此,高阶滤波器中的 BPF3 使用串联 开关滤波结构,能很好地抑制三次谐波。

在图 4(b) 所示的串联开关四路径滤波器中, $S_0 \sim S_3$ 依次控制 BPF3_1 中的输出开关, $L_0 \sim L_3$ 依 次控制 BPF3_2 中的输出开关,控制时钟 $L_0 \sim L_3$ 分 别比控制时钟 $S_0 \sim S_3$ 滞后 60 度。假设 BPF3_1 的 传输函数是 H_0 ($M \times f_s$),由于 BPF3_1 比 BPF3_2 中的输出开关滞后 $\pi/3$,因此 BPF3_2 的传输函数为 H_0 ($M \times f_s$)×e^{-i($M\pi/3$)},则 BPF3 的输出频谱为:

$$H(M \times f_s) = H_0(M \times f_s) + H_0(M \times f_s) \times e^{-i\frac{M\pi}{3}}$$
(5)

式中,*M* 表示 *f*_s的谐波次数。当 *M*=3 时,*H*₀(*M*× *f*_s)=0,式(5)的传输函数表明,本文提出的高阶滤 波器对三倍谐波有很好的抑制作用。本文电路采用 差分结构和叠加结构,既能消除偶次谐波,又能对三 次谐波有很好的抑制作用。

四路径滤波器中的 NMOS 开关由占空比为 25%的4相时钟驱动。滤波器的阻带抑制能力和开 关管的导通电阻值成反比,增大开关尺寸可降低开 关电阻,提高开关的线性度。但是,更大的开关尺寸 意味着更大的寄生电容,会影响频率范围,降低滤波 器的增益,消耗更多时钟功率来驱动开关,因此开关 管的宽长比需要折中考虑。滤波器每个开关都由 NMOS 管实现,开关管的宽长比为 $W/L=125 \mu m/$ 180 nm,其等效的开关导通电阻为 9 Ω 。图 4 中,电 容 $C_1=40$ pF, $C_2=10$ pF, $C_3=30$ pF。



时钟信号发生器的简化框图如图 5(a)所示^[12]。

它由 4 个以环状形式连接静态主从结构的 D 触发 器组成,这种触发器可以工作在较高的频率,且稳定 性较好。在启动时,第一个 D 触发器的输出端电压 被设置为电源电压 V_{DD} ,其它 3 个 D 触发器的输出 端与地相连。最后,4 个 D 触发器的 Q 端产生占空 比为 1/4 的 4 相不重叠的时钟信号,时钟波形如图 5(b)所示。CLK1 和 CLK2 的时钟周期相同,但 CLK2 比 CLK1 延迟 $\pi/3$ 。



0.1~1 GHz 调谐范围内,噪声系数为4.71~ 6.9 dB。在0.2~1 GHz频带内,HRR3 始终高于 40 dB。在0.5~1 GHz 频带内,HRR3 稳定在 50 dB附近,具有较好的三次谐波抑制能力。



图 6 传统高阶有源滤波器和本文滤波器的三次谐波抑制 能力对比

3 仿真结果

采用 TSMC 0.18 μm CMOS 工艺设计上述高 阶带通滤波器和时钟相位发生器,通过 Cadence Spectre RF 进行仿真分析。滤波器的电源电压为 1.8 V,功耗为 39.51 mW。

图 6 所示的两条曲线分别对应传统的没有谐波 抑制(No HR)的 6 阶有源滤波器结构和本文设计 的具备谐波抑制(with HR)功能的 N 路径带通滤 波器的三次谐波抑制能力。可以看出,传统高阶有 源滤波器在时钟的三次谐波附近仅有 19.5 dB 的抑 制能力,而本文的高阶有源滤波器在时钟信号的三 次谐波附近具备高达 52.7 dB 的抑制能力。这表 明,本文电路的差分特性完全抑制了偶次谐波,在开 关频率的奇次或偶次谐波附近具备较高的频率选 择性。

频率在 0.1~1 GHz 范围内以 200 MHz 的步 长调谐时,高阶滤波器的幅频特性曲线如图 7 所示。 可以看出,滤波器具有灵活的可调谐能力,增益大于 16.2 dB,3 dB 带宽为 17~18 MHz,过渡带滚降斜 率为 27.5 dB / 100 MHz。

本文滤波器的输入阻抗匹配仿真结果如图 8 所示。在 0.1~1 GHz 调谐范围内, S_{11} 参数均小于 -15 dB。噪声系数和滤波器的三次谐波抑制 (HRR3)与频率的关系如图 9 所示。可以看出,



图 7 本文带通滤波器的幅频特性曲线





图 9 噪声系数和 HRR3 与 LO 频率之间的关系

为了考查滤波器的线性度,加入双音信号对输入3阶交调点(IIP3)进行仿真,结果如图 10所示。 当f=500 MHz时(即 50 MHz频偏),带外 IIP3为 16.33 dBm。





本文滤波器版图如图 11 所示,面积为 1.04 mm²。当 f_s =500 MHz 时,不同工艺角下滤波器的 幅频特性曲线如图 12 所示。可以看出,本文滤波器 的增益下降了 4 dB,但三次谐波抑制能力都大于 50 dB,能有效抑制三次谐波。



图 11 具备谐波抑制的高阶有源 N 路径带通滤波器版图



图 12 不同工艺角下滤波器的幅频特性

本文与其他文献中滤波器的参数对比如表1所示。可以看出,本文滤波器具有较好的滚降特性和 三次谐波抑制能力,同时具有较好的带外线性度。 该滤波器以较低的功耗实现了较高的增益。

表	1	本文与其他文献中滤波器的参数对比

								_
参数	文献[1]	文献[10]	文献[13]	文献[14]	文献[15]	文献[16]	本文	
工艺/nm	65	65	65	45	180	65	180	
频率可调范围/GHz	0.1~1	0.6~0.85	0.2~1	0.9~1.1	0.05~0.4	0.5~1.1	0.1~1	
电压增益/dB	-2	$-4.7 \sim -6.2$	36	-	8.4~10.2	$-4.6 \sim -5.2$	16.2~20.12	
滚降斜率/dB@100 MHz	-	43	80	20	-	15	27.5	
-3 dB 带宽/MHz	35	$9 \sim 15$	2	$12\!\sim\!25$	$15 \sim 22$	30	$17 \sim \! 18$	

续表

参数	文献[1]	文献[10]	文献[13]	文献[14]	文献[15]	文献[16]	本文
带外抑制/dB	15	-	20	23	>10	>25	36.8~52
HR3/dB	10	-	>51	-	$<\!\!5$	-	>40
$IIP3_{OOB}/dBm$	-	17.5	9	-	10	26	16.3
噪声系数/dB	$3 \sim 5$	8.6	5.4~6	$4\!\sim\!5$	2.97~4.08	2.8~5.8	4.71~6.9
功耗/mW	$2 \sim 20$	75	$26 \sim 32$	6.18	52.2~248.4	$15\!\sim\!25$	39.5

4 结 论

本文基于 0.18 μ m CMOS 工艺,设计了一种具 有高次谐波抑制的高阶有源 N 路径滤波器,中心频 率可以在 0.1 ~ 1 GHz 范围内调谐,可满足 LTE700、GSM850和GSM900等通信标准的要求。 基于 N 路径滤波器与回转器相耦合的结构实现了 平坦的通带形状和高带外线性度,达到 36.8 ~ 52 dB的阻带抑制。本文设计的高阶滤波器明显提 高了谐波抑制能力,在整个频带中 HRR3 超过 40 dB。该滤波器的噪声系数为 4.71~6.9 dB,电压增 益为 16.2~20.12 dB。

参 考 文 献:

- [1] 高瑞平,曹良足.带宽恒定的电调带通滤波器 [J]. 压 电与声光,2020,42(1):12-15.
- [2] FRANKS L E, SANDBERG I W. An alternative approach to the realization of network transfer functions: the N-path filter [J]. Bell Syst Tech J, 1960, 39(5): 1321-1350.
- [3] DARVISHI M, RONAN V D Z, NAUTA B. Design of active N-path filters [J]. IEEE J Sol Sta Circ, 2013, 48(12): 2962-2976.
- [4] LIEMPD B V, BORREMANS J, CHA S, et al. IIP2 and HR calibration for an 8-phase harmonic recombination receiver in 28 nm [C] // Proceed IEEE CICC. San Jose, CA, USA. 2013: 1-4.
- [5] GUO Y, SHEN L, YANG F, et al. A 0.5-2 GHz high frequency selectivity RF front-end with series Npath filter [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 2217-2220.
- [6] 王吉轩.软件无线电中带通滤波器的分析与设计 [D].杭州:浙江大学,2015.
- [7] 张胜,刘硕,谢振江.基于扇形基片集成波导的三频

带通滤波器设计 [J]. 压电与声光, 2020, 42(6): 743-746.

- [8] HASAN M N, GU Q J, LIU X. Tunable blockertolerant on-chip radio-frequency front-end filter with dual adaptive transmission zeros for software-defined radio applications [J]. IEEE Trans Microwave Theory Tech, 2016, 64(12): 4419-4433.
- [9] HASAN M N, NAFE M, LIU X L. Design of all passive blocker-tolerant reconfigurable RF front-end filter [C] // IEEE 18th WAMICON. Cocoa Beach, FL, USA. 2017: 1-4.
- [10] REISKARIMIAN N, KRISHNASWAMY H. Design of all-passive higher-order CMOS N-path filters [C] // IEEE RFIC. Phoenix, AZ, USA. 2015: 83-86.
- [11] 林涛,林薇. 模拟电子技术基础 [M]. 北京:清华大 学出版社,2010.
- [12] GHAFFARI A, KLUMPERINK E A M, NAUTA B. Tunable N-path notch filters for blocker suppression: modeling and verification [J]. IEEE J Sol Sta Circ, 2013, 48(6): 1370-1382.
- [13] XU Y, ZHU J, KINGET P R. A blocker-tolerant RF front end with harmonic-rejecting N-path filter [J]. IEEE J Sol Sta Circ, 2018, 53(2): 327-339.
- [14] ALSHAMMARY H, HILL C, HAMZA A, et al. Code-pass and code-reject filters for simultaneous transmit and receive in 45-nm CMOS SOI [J]. IEEE Trans Microwave Theory Tech, 2019, 67 (7): 2730-2740.
- [15] BADIYARI K, NALLAM N, CHATTERJEE S. An N-path band-pass filter with parametric gain-boosting
 [J]. IEEE Trans Circ and Syst I: Regu Pap, 2019, 66 (10): 3700-3712.
- [16] CHEN R, HASHEMI H. Passive coupled-switched resonator-based reconfigurable RF front-end filters and duplexers [C] // IEEE RFIC. San Francisco, CA, USA. 2016: 138-141.

一种基于溢出值的局部拥塞消除技术

吴 伟, 邸志雄, 陈锦炜, 冯全源

(1. 西南交通大学 信息科学与技术学院,成都 611756; 2. 西南交通大学 微电子研究所,成都 611756)

摘 要: 随着芯片的集成度越来越高,物理设计布局阶段的拥塞问题越发严重。提出了一种基于溢出值的局部拥塞消除技术,根据溢出值选择出拥塞密度最高的拥塞区域,然后基于模拟退火 算法对该区域内的高引脚单元设置合适大小的隔离区域,以缓解局部拥塞。将提出的方法应用于 SMIC 180 nm 工艺的四万门设计和 SMIC 55 nm 工艺的七千门设计进行优化。相较于 Synopsys 的 ICC 工具的拥塞优化结果,提出的方法使设计规则违例下降 48%,短路违例下降 52%,总线长 缩短 5%,比现有文献的布线质量更好。

关键词: 设计自动化;物理设计;布局;拥塞;溢出;启发式算法
 中图分类号:TN929.5
 文献标志码:A
 文章编号:1004-3365(2021)01-0064-04
 DOI:10.13911/j.cnki.1004-3365.200087

An Overflow-Based Local Congestion Elimination Technique

WU Wei, DI Zhixiong, CHEN Jinwei, FENG Quanyuan

The School of Information Science and Technology, Southwest Jiaotong University, Chengdu 611756, P. R. China;
 Institute of Microelectronics, Southwest Jiaotong University, Chengdu 611756, P. R. China)

Abstract: With a significant increase in chip's integration, congestion in the placement stage of physical design had become growingly severe. Therefore, an overflow-based local congestion elimination technique was designed. Firstly, the congestion region with the highest congestion density was selected according to the overflow value. Then keepout margins of appropriate size were set for the high-pin cells in that region on the basis of simulated annealing algorithm to alleviate local congestion. The method was applied to a 40 000-gate design of the SMIC 180 nm process, and a 7 000-gate design of the SMIC 55 nm process. Compared with the optimization results of Synopsys's ICC software, the proposed method could reduce design rule violations by 48%, shorts by 52% and total wire length by 5%. It also achieved better routing quality than existing literatures.

Key words: design automation; physical design; placement; congestion; overflow; heuristic algorithm

0 引 言

随着芯片的集成度越来越高,布局阶段的拥塞 问题越发严重。在如今的超大规模集成电路的物理 设计中,可布线性已经成为比时序更加严峻的问题^[1-2]。因此,在物理设计的布局阶段,拥塞消除至 关重要。研究者提出了一些优化拥塞的方法。文献 [3]采用拥塞预测的方法来减少设计周期,但预测结 果和详细布线后的结果仍有一定差距。文献[4]应

收稿日期:2020-03-04;定稿日期:2020-04-26

基金项目:国家自然科学基金青年基金资助项目(61504110);国家自然科学基金面上项目(61831017);国家自然科学基金重点 资助项目(6153101);四川省科技支撑计划重点资助项目(2019YFG0092);四川省科技厅信息安全与集成电路重大 专项(2018GZDZX0001);四川省重大科技专项(2018GZDZX0038)

作者简介:吴 伟(1995—),男(汉族),四川资阳人,硕士研究生,研究方向为数字集成电路物理设计。 邸志雄(1984—),男(汉族),山西忻州人,博士,研究方向为数字集成电路设计。

用全局布线器,通过拆线重布的方法消除拥塞,效果显著,但大多布线算法核心是迷宫布线,效率不高。 近年机器学习技术被广泛应用于电子设计自动化 (EDA)中^[5]。文献[6-7]采用机器学习提高拥塞预 测的精确性,但加大了计算的复杂难度;文献[8]提 出一种步进的单元散步拥塞消除算法,能够与 EDA 软件相兼容,消除拥塞,但额外增加了运行时长。

为了缓解拥塞,最简单且广泛使用的策略是在 ICC工具下使用指令 place_opt-congestion 启动软 件内部的拥塞优化算法,以对整个设计实现拥塞优 化。虽然一定程度上缓解拥塞现象,但降低了整个 设计的单元密度,导致单元之间的距离远,使总线长 度增加,功耗更大,时序更差^[9]。另外一种方法是在 高度拥塞的区域附近放置局部布局障碍,相比前者, 该方法对设计性能影响更小。但是,它们优化的对 象并非实际引起拥塞的逻辑单元,可能会出现新的 拥塞情况^[9]。

本文提出一种基于溢出值的局部拥塞消除方法。该方法能够根据溢出值选择出拥塞密度最高的 拥塞区域,然后基于模拟退火算法对该区域内的高 引脚单元四周设置合适大小的隔离区域,以缓解局 部拥塞。

文章第1节详细阐述算法细节;第2节展示算 法的优化结果并对算法参数分析;第3节给出结论。

1 算法设计

拥塞现象易出现在高引脚单元附近,原因是高 引脚数意味着对布线资源的高需求。在芯片面积小 布线资源有限的情况下,高引脚单元周围拥塞严重。 在这些高引脚单元四周设置合适大小的隔离区域, 能有效缓解拥塞。

本文首先根据溢出值计算出拥塞密度 (Congestion Density,CD),筛选出拥塞最为严重的 拥塞区域。然后在该区域内选择引脚数最高的标准 单元作为待优化单元。最后基于模拟退火算法的机 制,搜寻出隔离区域的最佳宽度,并设置在高引脚单 元的周围,以降低拥塞。

1.1 高拥塞密度区域选择

在全局布线阶段,全局布线单元(Global Routing Cell,GRC)的溢出值能够评估拥塞的严重 程度。溢出值越高,拥塞越严重。因此,本文定义区 域拥塞密度 CD,即该区域内高溢出的全局布线单 元数量 N_{GRC}与区域面积 S_{region}之比:

$$CD = N_{\rm GRC} / S_{\rm region}$$
 (1)

拥塞区域的选择流程如图 1 所示。首先获得所 有全局布线单元的坐标和溢出值,记录溢出值高于 溢出阈值的全局布线单元,将它们所在的区域向四 周拓展后。若有重叠,则进行合并。若合并后的拥 塞密度相对合并前变低,则取消合并。最终将拥塞 密度最高的区域作为待优化的目标区域。值得注意 的是,溢出阈值的大小与布局的整体拥塞程度呈正 相关,通常取 10 左右。在本文的 2.3 节中,会对其 进行详细的分析。



图 1 拥塞区域的选择

1.2 隔离区域宽度的计算

若将附加在高引脚单元四周隔离区域的宽度设 置得太小,则不能有效缓解拥塞。相反,若设置得过 大,虽然能有效消除拥塞,但会过度占据相邻单元的 布局空间,反而造成更严重的拥塞。因此,设置一个 合适宽度的隔离区域是整个算法的核心。本文以模 拟退火算法来求解最佳的隔离区域宽度。算法流程 图如图 2 所示。

算法首先取得布局中的总溢出值,以单元行宽 作为初始隔离区域宽度,设置在选取好的高引脚单 元四周以对布局进行优化。如果优化后的总溢出值 减少,则保存该布局,并将隔离区域宽度 W 乘以系 数 *a* 进行调整:

$$W = W \times a$$
, $a \in (0, 1)$ (2)
相反 加里肖滋出值博加 刚计算概率 P.

$$P = \exp(\frac{O_1 - O_c}{k \times O_1}) \tag{3}$$

式中,O₁ 是上一次的总溢出值,O₆ 是当前的总溢出 值,k 是玻尔兹曼常数。当溢出值相对上一次增加 50%时,取概率为 50%,计算出 k 为 0.721 4。如果 概率 P 大于 0~1 的随机数 r,则保存这一次更差的 结果,并继续调整隔离区域宽度。否则结束调整,返回之前保存的最佳布局,此布局即为最终拥塞优化结果。



图 2 基于模拟退火的隔离区域宽度计算

2 实验结果

2.1 实验平台

本文分别选择 SMIC 180 nm 工艺下的四万门、 SMIC 55 nm 工艺下的七千门的数字芯片布局网表 作为实验对象。实验环境为 Linux 操作系统,硬件 配置为 Intel Xeon 处理器@2.4 GHz、64 GB 内存。 算法采用 TCL 和 Python 语言编程实现。

2.2 拥塞优化结果

180 nm 和 55 nm 下的全局布线拥塞图分别如 图 3 和图 4 所示,其中色块颜色越深表示拥塞越严 重。在图 3(a)中,存在红色色块,表示溢出值最高 的区域;经过 ICC 工具优化后,图 3(b)中左上角的 红色块得到优化,但其他位置出现了新的红色色块; 经过本文提出的算法优化以后,图 3(c)中红色色块 几乎完全消除。相比于图 3,图 4(a)的设计初始拥 塞更加严重,深色色块分布密集;经过 ICC 优化以 后,如图 4(b)所示,拥塞优化并不明显,甚至出现不 少新的分布密集的红色色块;经过本文提出的算法 优化后,图 4(c)中的蓝色色块的比例明显提升,拥 塞得到很大程度缓解。整体拥塞的优化结果如图 5 所示。可以看出,本文算法相比于 ICC,优化效果更 加显著。



图 5 整体拥塞消除结果

为了进一步对比详细布线后的性能参数,将本 文提出的方法与文献[8]对比,如图 6 所示。优化率 表示经过详细布线后,相对于 ICC 工具优化结果的 提升比率。与文献[8]方法相比,本文方法在设计规 则违例和短路数的优化效果有显著优势。虽然总线 长度会稍微增加,但布局的整体质量得到了大幅 提升。





2.3.1 溢出阈值

为了探究溢出阈值的影响,本文选择了常用的 5、10、15 三类溢出阈值进行分析。不同溢出阈值优 化结果对比如图 7 所示。可以看出,溢出阈值为 5、 10 时优化效果显著,而溢出阈值为 15 时优化效果 最差。原因是溢出阈值设置得很高,所选的拥塞区 域相对较小,不足以包含足够数量的高引脚单元,导 致优化效果受限。因此,溢出阈值不应该设置过高, 选取范围为 5~10。



2.3.2 拥塞区域数目

如果选择待优化的拥塞区域数目较少,那么不 能发挥算法的最大效率。相反,如果数目过多,不仅 浪费时间,还会因引入大量的隔离区域,额外占据布 局资源,造成新的拥塞。

不同优化区域数目对优化效果的影响曲线如图 8 所示。当拥塞区域数目为 3~7 的时候,优化效果 显著。为了更好地平衡优化效果和运行时长,选择 3 个拥塞区域进行优化,效果最佳。



图 8 不同优化区域数目对优化效果的影响

3 结 论

为了优化芯片物理设计布局阶段的拥塞,本文 提出一种基于溢出值的局部拥塞消除方法。首先计 算拥塞密度选择出最严重的拥塞区域。然后基于模 拟退火算法对该区域中的高引脚单元四周设置合适 的隔离区域。最后对影响算法优化效果的关键参数 分析。实验结果表明,在不同工艺节点的不同设计 下,相比 ICC 工具拥塞优化算法,本文提出的方法 能实现更佳的布局质量。相比文献[8],本文方法在 降低设计规则违例数、短路数方面有更显著的优势。

参 考 文 献:

- [1] ALPERT C J, LI Z, MOFFITT M D, et al. What makes a design difficult to route [C] // Proceed ACM ISPD. San Francisco, CA, USA. 2010: 7-12.
- [2] LI Z, ALPERT C J, NAM G J, et al. Guiding a physical design closure system to produce easier-toroute designs with more predictable timing [C] // Proceed DAC. San Francisco, CA, USA. 2012: 465-470.
- SHI D, DAVOODI A. TraPL: track planning of local congestion for global routing [C] // Proceed DAC. Austin, TX, USA. 2017: 1-6.
- [4] HAN Y, ANCAJAS D M, CHAKRABORTY K, et al. Exploring high-throughput computing paradigm for global rouing [J]. IEEE Trans Very Large Scale Integr Syst, 2014, 22(1): 155-167.
- [5] WANG L C. Experience of data analytics in EDA and test-principles, promises, and challendges [J]. IEEE Trans Comput-Aided Des Integr Circ Syst, 2017, 36 (6): 885-898.
- [6] TABRIZI A F, RAKAI L, DARAV N K, et al. A machine learning framework to identify detailed routing short violations from a placed netlist [C] // Proceed DAC. San Francisco, CA, USA. 2018; 1-6.
- [7] CHAN W T J, HO P H, KAHNG A B, et al. Routability optimization for industrial designs at sub-14 nm process nodes using machine learning [C] // Proceed ACM ISPD. Portland, OR, USA. 2017: 15-21.
- [8] 周庭旭,冯全源,邸志雄. 一种步进的单元散步拥塞消除算法 [J]. 微电子学, 2018, 48(6): 798-801.
- [9] BODINE F. Reducing cell placement congestion using targeted pattern halos [C] // Proceed SNUG. Boston, MA, USA. 2014: 23-26.

一种无均流外环并联 DC-DC 变换器的设计

郗登笛,代国定,武 强,陈宇峰,姚如雪 (西安电子科技大学超高速电路设计与电磁兼容教育部重点实验室,西安 710071)

摘 要: 设计了一种无均流外环并联 DC-DC 变换器,采用平均电流模式控制,通过控制最大编程 电感电流,实现并联变换器的精确均流。采用小信号模型分析了并联变换器的均流误差和稳定 性,电路实现了稳定的电流特性和快速的瞬态响应,具有优良的负载电流调节能力。仿真结果表 明,该电路的均流误差在 8‰以下,并联变换器在重载和轻载之间跳变时,1.5 ms 内可恢复均流平 衡,新插入变换器在 0.7 ms 时刻可重新建立均流平衡。

关键词: DC-DC 变换器;均流;并联

中图分类号:TN433; TN86

DOI:10.13911/j.cnki.1004-3365.200095

文献标志码:A

文章编号:1004-3365(2021)01-0068-05

Design of a Parallel DC-DC Converter Without Current Sharing Loop

XI Dengdi, DAI Guoding, WU Qiang, CHEN Yufeng, YAO Ruxue

(Key Laboratory of High-Speed Circuit and EMC of Ministry of Education, Xidian University, Xi'an 710071, P. R. China)

Abstract: A parallel DC-DC converter without current sharing outer loop was designed. The average current mode was adopted to control the maximum programmed inductor current to achieve accurate current sharing of the parallel converter. The small signal model was used to analyze the current-sharing error and stability of the parallel converter. The circuit had stable current characteristics and fast transient response. An excellent load current regulation ability were achieved. The simulation results showed that the current sharing error was below 8 $\%_0$. The current-sharing balance could be restored in 1.5 ms when the parallel converter had a load jump between heavy and light load, and could be re-established in 0.7 ms if a new converter was inserted.

Key words: DC-DC converter; current sharing; paralleled

0 引 言

随着变换器的不断发展,在模块化和大容量 需求下,为了提高变换器的输出功率,需要对变换 器进行并联操作。并联变换器的关键问题在于输 出电流均分的精度与并联系统的稳定性,重载时 尤其明显。

常用的电流均流方法有外特性下垂法^[1-2]、主从 设置法^[3]以及主动均流法。主动均流法主要分为最 大电流均流^[4-5]和平均电流均流^[6-9]。平均电流模控 制回路有电流滤波,对传导噪声不敏感,可以实现稳 定的电流特性。传统的平均电流均流通过均流外环 为每个模块的内部电流环路提供相同或成比例的参 考值来实现均流。该参考值通过均流母线得到,若 均流母线发生短路,会使变换器电压下降,损坏 电路^[10]。

本文采用优化的平均电流均流方法,通过输出 电压反馈控制,精确控制电感电流编程信号。由于 采用平均电流模控制,只需对并联变换器的平均电

收稿日期:2020-03-09;定稿日期:2020-05-09

基金项目:国家自然科学基金资助项目(61871453)

作者简介:郗登笛(1994—),男(汉族),云南曲靖人,硕士研究生,研究方向为开关电源集成电路设计。

代国定(1969-),男(汉族),陕西榆林人,副教授,硕士生导师,研究方向为数模混合集成电路设计。

感电流编程信号进行控制,不需要均流外环和采用 均流母线,即可实现输出电流均分。同时,对并联变 换器均流误差和稳定性进行分析。提出的方案具有 均流精度高、补偿简单、瞬态响应快以及负载电流调 节能力强的优点。

1 并联变换器结构设计

无均流外环的并联变换器结构如图1所示。电路包括输入、功率级以及控制电路。功率级包括功率管、电感、输出电容;控制电路包括电流误差放大器 CA、电压误差放大器 EA、PWM 比较器以及逻辑控制电路。R_s为电流检测电阻,实时检测电感电流; *I*_{ref}为编程电感电流,决定电感电流的平均值(等于输出电流);*V*_{etfl}为编程电感电流控制电压;*I*_{LMAX}为最大编程电感电流;*R*_{ave}为编程电感电流控制电阻。



图 1 无均流外环的并联变换器结构

电压 V_{etrl}控制最大编程电感电流,输出电压经 反馈后产生 V_{fb},并与基准电压 V_{ref}相比,经 EA 放大 后控制下拉电流 I_{sink}的大小。根据基尔霍夫电流定 律,有:

$$I_{\rm ref} = I_{\rm LMAX} - I_{\rm sink} \tag{1}$$

当电路正常工作时,根据 CA 两端电压相等,可 以得到电感电流平均值编程式:

$$I_{\rm L} = \frac{I_{\rm ref} R_{\rm ave}}{R_{\rm s}} \tag{2}$$

合理设置 V_{etrl}、R_{ave}、R_s即可编程电感电流平均 值。电感电流平均值等于输出电流,N 个相同的变 换器并联,便可得到 N 倍电感电流平均值大小均流 输出。以图 1 两个并联变换器为例,将电压环路的 同一反馈电压同时连接到 EA 的负向端,可以消除 电压外环引起的电压失调。

2 并联变换器结构分析

并联变换器的小信号框图如图 2 所示,单个变换器包括电压外环和电流内环。采用平均电流模控制,EA 连接相同输出反馈电压,获得相同的控制信号,无需均流外环就可以实现精确的均流。

图 2 中, Z。为电压外环未闭合时的开环输出阻抗, G_m为控制电压 V_{ett}到最大编程电感电流 I_{LMAX}的传递函数, G_{vi}为输出电压到输入电压的传递函数, G_{vd}为占空比到输出电压的传递函数, G_{id}为占空比到电感电流的传递函数, F_m为调制器的传递函数, G_{CA}为电流放大器的传递函数, G_{mEA}为误差放大器的跨导, H_u为电压外环的反馈系数, H_i为电感电流采样电阻的传递函数。



图 2 并联变换器的小信号框图

2.1 均流误差分析

对于图 2 所示并联变换器小信号框图,有:

$$Z_{\rm ol} = -\frac{v_{\rm ol}}{i_{\rm ol}} \tag{3}$$

$$Z_{o2} = -\frac{v_{o2}}{i_{o2}}$$
(4)

设电流内环和电压外环均闭合时的输出阻抗为 Z_{cv1}和 Z_{cv2},有:

$$Z_{\rm evl} = \frac{Z_{\rm oll}}{1 + T_{\rm vl}} \tag{5}$$

$$Z_{cv2} = \frac{Z_{ol2}}{1 + T_{v2}} \tag{6}$$

式中,*T*,为电压环路增益,*T*;为电流环路增益。根据图2可得:

$$T_{i} = G_{CA} F_{m} G_{id} H_{i} \tag{7}$$
可知,并联系统的均流误差与电压环路增益成 反比。当采用相同的变换器时,均流误差仅与工艺 造成的寄生参数误差有关。当忽略寄生参数误差 时,系统的均流误差为零。

2.2 稳定性分析

当并联变换器采用平均电流均流控制时,并联 变换器之间的差异是由组件的容差和寄生参数引起 的,这个细微差异可忽略。系统的稳定性主要由单 个变换器的稳定性决定^[11],因此,只需保证单个变 换器的稳定性即可保证并联系统的稳定性。如图 1 所示,V_{ett}对 I_{LMAX}进行控制,当均流值确定时,V_{ett} 随之确定,其小信号变化量 Ŷ_{ett}则可忽略不计。单 个变换器包括电流内环和电压外环两个环路,设计 时必须保证两个环路的稳定性。

2.2.1 电流环路的稳定性

电流环路中使用高增益电流误差放大器(CA), *R*_{ave}两端的电压代表电感电流编程电平,电流检测 电阻器 *R*_s两端的电压代表实际电感电流。带有锯 齿纹波分量的电感电流波形通过 CA 放大并反相, 与 PWM 比较器输入端的三角波进行比较。此过程 中,电感电流的下降斜率变为上升斜率。为避免亚 谐波振荡,CA 输出斜率不能超过三角波的上升 斜率:

$$(V_{o}/L)R_{s}G_{CA} \leqslant V_{pp}f_{s}$$
(10)

式(10)决定了开关频率处电流放大器的中频增 益上限,因此首先考虑电流环路的稳定性。

电流放大器中频增益的最大值为:

$$G_{\rm CAmax} = \frac{v_{\rm C}}{v_{\rm RS}} = \frac{V_{\rm pp} f_{\rm s} L}{V_{\rm o} R_{\rm s}}$$
(11)

式中, V_{PP} 为 PWM 输入端三角波的峰峰值, V_{o} 为输 出电压, f_{s} 为开关频率,L为电感值。因此,工作在 开关频率 f_{s} 时,CA 中频增益的大小不能超过式 (11)的限制。

2.2.2 电压环路的稳定性

图 3 所示为电压环路的小信号框图。 电压环路增益可表示为:

$$T_{\rm v} = \frac{G_{\rm mEA}R_{\rm ave}G_{\rm CA}F_{\rm m}G_{\rm vd}H_{\rm u}}{1 + G_{\rm CA}F_{\rm m}G_{\rm id}H_{\rm i}}$$
(12)



图 3 电压环路的小信号框图

当忽略电感的寄生电阻和电容的寄生电阻时, $G_{id} \cap G_{vd}$ 为:

$$G_{\rm id}(s) = \frac{V_{\circ}}{R_{\rm L}} \frac{1 + sR_{\rm L}C}{1 + s\frac{L}{R_{\rm L}} + s^2 LC}$$
(13)

$$G_{\rm vd}(s) = V_{\rm in} \frac{1}{1 + s \frac{L}{R_{\rm L}} + s^2 LC}$$
(14)

式中,*R*_L为负载电阻,将式(13)和式(14)代入式(12),化简后有:

$$T_{v} = \frac{G_{mEA}R_{ave}G_{CA}F_{m}V_{in}H_{u}}{s^{2}LC + s\left(\frac{L}{R_{L}} + C_{out}G_{CA}F_{m}V_{o}H_{i}\right) + \left(1 + G_{CA}F_{m}\frac{V_{o}}{R_{L}}H_{i}\right)}$$
(15)

可得其阻尼系数 ζ : $\zeta = \frac{1}{2} \sqrt{\frac{R_L + G_{CA} F_m V_o H_i}{R_L L C}} \left(\frac{L}{R_L} + C_{out} G_{CA} F_m V_o H_i\right)$ (16)

ζ>1,电压环的两个极点为不相等的负实数极点,其决定的两个振荡周期相差较大,电压外环可以等效为一个单极点系统,因此可以使用单极点单零点补偿结构,如图4所示:



图 4 补偿网络结构

则电压环路增益表示为:

$$T_{v} = \frac{G_{\text{mEA}}R_{\text{ave}}F_{\text{m}}V_{\text{in}}H_{u}G_{\text{MCA}}R_{\text{out}}\left(1+sR_{c}C_{c}\right)}{\left(1+\frac{s}{p'}\right)\left(1+sR_{\text{out}}C_{c}\right)} \quad (17)$$

式中, *p* 为电压外环等效极点, *G*_{MCA}为 CA 的跨导, *R*_{out}为 CA 的输出阻抗, *C*_c为补偿电容, *R*_c为补偿电 阻。CA 的低频增益很大, 可提供较大的环路增益, 实现良好的负载调整率。补偿网络产生了一个位于 1/(*R_eC_e*)的零点,抵消等效极点*p*。同时,产生一个 位于 1/(*R_{out}C_e*)的低频极点,作为环路新的主极点, 保证电流环路的中频增益不要超过限定值。合理地 设置 *R_e*和 *C_e*,使环路保持稳定。

3 仿真验证

采用 Matlab/Simmulink 对图 1 所示的无均流 外环并联变换器进行仿真验证,电路参数设置如表 1 所示。

参数	数值	参数	数值			
$V_{ m in}/{ m V}$	10	$i_{ m o}/ m A$	10			
V_{\circ}/V	2.5	$R_{ m s}/\Omega$	0.01			
$L/\mu{ m H}$	2.2	$R_{ m ave}/\Omega$	3 000			
$C_{ m out}/\mu{ m F}$	250	$f_{ m s}/{ m kHz}$	450			

表1 仿真使用的电路参数

将表1数据代入式(11),可得电流放大器的最 大中频增益为39.6。分别设置中频增益为40和 30,得到的仿真结果如图5和图6所示。当电流放 大器的增益设为临界值时,V。的上升斜率与三角波 V_{ramp}相等,引起V_p信号误翻,电流环路不稳定。当 减小电流放大器的中频增益时,电流环路稳定。







图 6 中频增益为 30 时的关键变量波形

单个变换器不同负载时电压环路的波特图如图 7 所示,电压环在1A到5A的负载范围内都有足够的相位裕度,电压环路稳定。



图 7 不同负载下的电压环路波特图

并联变换器的启动波形如图 8 所示。输出电压为 5 V,输出电流为 10 A,每个变换器均分 5 A, i_{ol} =4.996 A, i_{o2} =5.004 A,并联变换器的最大均流误差为 8‰,输出在 2 ms内建立并保持稳定。



负载由 2 A 到 10 A 的跳变波形如图 9 所示,并 联系统在 1.1 ms 后恢复新的均流状态。负载由 10 A 到 2 A 的跳变波形如图 10 所示,并联系统在 1.5 ms 后恢复新的均流状态。





新插入变换器的瞬态响应如图 11 所示。两个 并联变换器均分9 A 负载,在4 ms 时刻插入第三个 变换器,在0.7 ms 时刻三个变换器均分负载,达到 了新的均流状态。



4 结 论

本文提出了一种无均流外环并联 DC-DC 变换器。对系统均流误差和环路稳定性的小信号进行分析,均流误差与电压环路增益成反比,当采用相同的 变换器时,均流误差仅与由工艺造成的寄生参数误差 有关。电流环路的稳定条件是电流误差放大器中频 增益小于临界值,电压环路的稳定性通过增加一对零 极点进行频率补偿实现。将两个并联变换器进行仿 真,验证了变换器两个环路的稳定性条件,并联变换 器可以实现轻载到重载范围内的稳定。该并联系统 的均流精度高,负载跳变和插件瞬态响应良好。

参考文献:

- [1] IRVING B T, JOVANOVIC M M. Analysis, design and performance evaluation of droop current- sharing method [C] // IEEE APEC. New Orleans, LA, USA. 2000: 235-241.
- [2] YAO W, CHEN M, MATASET J, et al. Design and analysis of the droop control method for parallel inverters considering the impact of the complex impedance on the power sharing [J]. IEEE Trans Indust Elec, 2011, 58(2): 576-588.
- [3] RAJAGOPALAN J, XING K, GUO Y, et al. Modeling and dynamic analysis of paralleled dc/dc converter with master-slave current sharing control [C] // IEEE APEC. San Jose, CA, USA. 1996: 678-684.
- [4] 张强,姚绪梁,张敬南.大功率直流电源并联运行的 均流控制[J].电力电子技术,2011,45(3):73-75.
- [5] 高玉峰,胡旭杰,陈涛,等.开关电源模块并联均流系统的研究[J]. 电源技术,2011,35(2):210-212.
- [6] 符赞宣, 瞿文龙, 张旭. 平均电流模式 DC/DC 变换器
 均流控制方法 [J]. 清华大学学报, 2003, 43(3):
 337-340.
- [7] CHEN Y K, WU Y E, WU T F, et al. ACSS for paralleled multi-inverter systems with DSP-based robust controls [J]. IEEE Trans Aerospace Elec Syst, 2003, 39(3): 1002-1015.
- [8] XIAO W, ZHANG B, QIU D. Analysis and design of an automatic-current-sharing control based on averagecurrent mode for parallel boost converters [C] // CES/IEEE IPEMC. Shanghai, China. 2006: 1-5.
- [9] PANOV Y, JOVANOVICM M. Loop gain measurement of paralleled DC-DC converters with average-current-sharing control [J]. IEEE Trans Power Elec, 2008, 23(6): 2942-2948.
- [10] BERBEL N, GUERRERO J, MATAS J, et al. Feedback linearization control with average current sharing for multiphase synchronous buck converter [C] // Europ Conf Power Elec Appl. Dresden, Germany. 2005: 11-14.
- [11] CHENG P, DING G, SONG C, et al. Stability analysis of identical paralleled DC-DC converters with average current sharing [C] // IEEE APEEC. Chengdu, China. 2019: 60-64.

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021年2月	Microelectronics	Feb. 2021

一种基于 BCD 工艺的宽压-宽温电流基准电路

邵 刚,刘敏侠,田 泽

(1.集成电路与微系统设计航空科技重点实验室,西安 710065;2.中国航空工业集团公司 西安航空计算技术研究所,西安 710065)

摘 要: 设计了一种基于 BCD 工艺的宽压-宽温电流基准电路。利用片上多晶硅电阻的温度系数受工艺影响较小的特点,选定其为基准电流定义单元。分析片上电阻温度特性,并设计与其温度系数相等的参考电压,加载到电阻上,从而实现了温度系数很低的基准电流。分析了高温下三极管寄生元件漏电现象,通过添加补偿管,提高了基准电流在高温下的稳定性。电流基准基于0.35 μm BCD 工艺设计。仿真结果表明,在6.5~36 V 电源电压、-55 ℃~125 ℃内,输出电流为250 μA,温度系数为9.3×10⁻⁶/℃,受电源变化导致的电流变化量小于 62 nA。

关键词: 电流基准;片上电阻;宽压;漏电补偿
 中图分类号:TN432
 文献标志码:A
 DOI:10.13911/j.cnki.1004-3365.200117

A Wide Voltage-Wide Temperature Range Current Reference Circuit Based on BCD Process

SHAO Gang, LIU Minxia, TIAN Ze

Aviation Key Laboratory of Science and Technology on Integrated Circuit and Micro-System Design, Xi'an 710065, P. R. China;
 AVIC Xian Aeronautics Computing Technique Research Institute, Xi'an 710065, P. R. China)

Abstract: This paper presented a current reference in wide voltage and temperature range based on BCD technology. Based on the feature that the TC of the on-chip poly-silicon resistor was process-insensitive, the on-chip resistor was set as the reference current defining element. First, the temperature characteristic of the on-chip resistor was analyzed, and a reference voltage whose TC was equal to the resistor's was designed and applied on the resistor. Then, a reference current with a very low TC could be achieved. The leakage phenomenon of the parasitic element of the triode under high temperature was analyzed, and the stability of the reference current under high temperature was improved by adding a compensation transistor. This CS was based on 0.35 μ m BCD process. Simulation results showed that the output current was 250 μ A and the TC was 9.3×10⁻⁶/°C within 6.5~36 V supply voltage and -55 °C~125 °C. The amount of current change caused by the power supply was less than 62 nA.

Key words: current reference; on-chip resistor; wide voltage range; leakage compensation

0 引 言

电流基准广泛用于模拟、混合和射频集成电路,

为许多关键模块,如放大器、振荡器、滤波器、数模/ 模数转换器、单片传感器等,提供静态偏置,因此要 求其具有良好的性能,如较好的温度稳定性、较高的 电源抑制比等。基于成本考虑,要求修调尽量少。

文章编号:1004-3365(2021)01-0073-06

基金项目:国家自然科学基金资助项目(61631002)

作者简介:邵 刚(1978--),男(汉族),陕西西安人,高级工程师,研究方向为模拟集成电路设计。

收稿日期:2020-03-18;定稿日期:2020-04-10

目前已有许多文献发表的电流基准。一类产生 零温度系数电流的方法是,将与温度成正比 (PTAT)的电流与温度成反比(CTAT)的电流叠 加^[1-2]。这种方法很适合低压电路,输出电流可低至 纳安级,但温度系数属于中等水平,多为几百 10⁻⁶/℃^[3-5]。这类方法需要进行多个修调才能获得 较好的温度系数和精确的电流值^[6]。

邵

另一类电流基准基于 β 乘法器^[7-8]。β 乘法器产 生一个与温度相关的电压,将该电压加到一个与其 温度系数相同的电阻上获得零温度系数电流。该方 法设计简单,但为了获得较好的温度系数,对电路改 进时会导致工艺敏感性更高^[9]。采用工作在线性区 的 MOS 管替代该电路中的电阻,但为提高温度稳 定性,需引人复杂电路或其它器件如厚栅 MOS 管^[10]。

第三类电流基准基于电压基准产生,通过片外 高性能电阻如薄膜电阻实现电压-电流转换。为降 低成本、减小体积,目前该类电流基准的转换电阻主 要通过片上实现。文献[6]提出了基于该结构的电 流基准,实现了在0℃~100℃范围内低至2.49× 10⁻⁵/℃的温度系数,然而该设计额外要求一个高精 度稳定电压源,限制了其应用范围。

本文基于第三类电流基准结构,采用温度系数 对工艺角不敏感的片上电阻作为电流定义单元。通 过设计与电阻温度系数相等的参考电压,实现对电 阻温度系数的抵消,从而输出稳定的电流基准。本 文电路基于 0.35 μ m BCD 工艺进行了设计和验证。 结果表明,在-55 ℃~125 ℃温度和 6.5~36 V 电 源电压范围内,实现了温度系数为 9.3×10⁻⁶/℃的 250 μ A 电流输出。

1 提出的电流基准

1.1 原理分析

本文提出的电流基准核心原理如图1所示。电 阻 R 为片上电阻,假设该电阻的阻值随温度线性变 化,阻值可表示为:

$$R = R_0 (1 + \alpha_R \Delta T) \tag{1}$$

式中, R_0 是 R 在参考温度 T_0 时的电阻值, α_R 是电阻 R 的温度系数, ΔT 是偏离参考温度 T₀的值。 V_{REF} 为加载到电阻 R 两端的参考电压,设该电压也随温度线性变化,表示为:

$$V_{\text{REF}} = V_{\text{REF0}} (1 + \alpha_{\text{REF}} \Delta T)$$
(2)
式中、 V_{REF0} 是在参考温度 T_0 时的参考电压值、 α_{REF0}

是参考电压的温度系数。由式(1)和(2)可得得,流过电阻 R的电流,即 I_{REF} 为:

$$I_{\text{REF}} = \frac{V_{\text{REF}}}{R} = \frac{V_{\text{REF0}} \left(1 + \alpha_{\text{REF}} \Delta T\right)}{R_0 \left(1 + \alpha_{\text{R}} \Delta T\right)}$$
(3)

由式(3)可得,若参考电压的温度系数 a_{REF} 设计 为与电阻温度系数 a_R 相等的值,则 I_{REF} 理论上与温 度无关,是一个零温度系数电流值。电阻的温度系 数 a_R 取决于其构成材料,不同工艺角下变化不大, 因此可看作一个稳定值^[6]。因此,只要将参考电压 的温度系数调整到 a_R ,就可获得温度无关的 I_{REF} ,与 V_{REF} 和 R 的绝对值无关。R 的温度系数与其阻值无 关,后续修调 I_{REF} 绝对值时,只需改变 R 大小即可, 不会破坏电流的温度系数。因此,本文基准电流产 生方案可以实现电流温度系数和电流绝对值的独立 调整,即分别调整参考电压温度系数和 R 阻值,降 低了后续修调工作量和难度。



图 1 电流基准原理示意图

1.2 片上电阻特性分析

本电路基于华宏 0.35 μ m BCD 工艺设计,选用 了阻值随温度变化线性度较好的低阻 n 型多晶硅电 阻作为电流产生电阻,其方块电阻值约为 9 Ω 。该 电阻在不同工艺角下扫描温度得到的电阻变化情况 如图 2 所示。在 25 ℃的典型工艺角下,电阻值为 10 k Ω ;不同工艺角下电阻值变化很大,约为 ± 20%。该电阻在不同工艺角下的温度系数如图 3 所 示,均约为 6×10⁻⁴/℃,几乎没有变化。



图 2 选用的电阻不同工艺角下随温度变化曲线



结合图 2 和图 3,并由式(2)可知,不同工艺角 对电阻值 R₀影响较大,然而电阻的温度系数 a_R 却 相对稳定,这使得基准电流的温度特性不易受工艺 变化的影响。

1.3 参考电压产生电路

提出的电流基准整体电路如图 4 所示,由启动 电路、参考电压产生电路和电流输出电路三部分 组成。



在参考电压产生电路中,M3~M6 管构成共源 共栅电流镜,保证两条支路电流相等。M7 和 M8 管 保证 Q1 和 Q2 的集电极在电源电压变化下保持相 对稳定。M9 为 Q1 和 Q2 提供基极偏置,实现 β 助 手(β -helper)的功能,避免基极电流导致 Q1 和 Q2 集电极电流偏差。Q1 和 Q2 的尺寸比设为 N:1, 以在电阻 R_1 两端产生随温度成正比的电压 $V_{T} \ln N_{\circ}$ 由于流过 Q1 和 Q2 的电流相等,因此 M11 管流过 的电流 I_{PTAT} 为 Q1 的 2 倍,即 $2V_T \ln N/R_1$,该电流 被 M12 镜像并流过 Q3 和电阻 R_2 的串联组合,产 生参考电压 V_{REF} 。设三极管 Q3 的基极-发射极电 压为 V_{BE3} ,则 V_{REF} 可表达为:

$$V_{\text{REF}} = V_{\text{BE3}} + I_{\text{PTAT}}R_2 =$$

$$V_{\text{g00}} - \lambda T + c(T) + \frac{2\ln N}{R_1} \times V_T \times R_2 \approx$$

$$V_{\text{g00}} + (\frac{2R_2\ln N}{R_1} \times \frac{k}{q} - \lambda) \times T =$$

$$V_{\text{g00}} + (\frac{2R_2\ln N}{R_1} \times \frac{k}{q} - \lambda) \times (T_0 + \Delta T) =$$

$$V_{\text{REF}} (1 + \alpha_{\text{REF}} \Delta T) \qquad (4)$$

式中, V_{g00} 是 V_{BE3} 在参考温度下的切线外延至绝对 零度时的电压值, λ 和 c(T)分别是 V_{BE3} 的温度系数 和非线性项。热电势 $V_{T} = kT/q$,k为波尔兹曼常 数,T为温度,q为电子电荷量。另外:

$$V_{\text{REF0}} = V_{g00} + \left(\frac{2R_2 \ln Nk}{R_1 q} - \lambda\right) T_0$$
(5)

$$\alpha_{\text{REF}} = \left(\frac{2R_2 \ln Nk}{R_1 q} - \lambda\right) / V_{\text{REF0}} \tag{6}$$

由式(4)可知,欲获得与 $\alpha_{\rm R}$ 一致的电压温度系数 $\alpha_{\rm REF}$,只需调整 R_2 与 R_1 的比值。由式(5)和(6), 调整 $\alpha_{\rm REF}$ 时会影响电压参考值 $V_{\rm REF0}$,从而影响电流 绝对值。因此本文设计首先根据 $\alpha_{\rm R}$,调整 R_2 值,使 $\alpha_{\rm REF}$ 与 $\alpha_{\rm R}$ 相等。由式(4)可得,此时已可获得一个与 温度无关的电流。进一步调整 R_3 值,使得输出参考 电流 $I_{\rm REF}$ 达到目标值。上述两步调整是独立的,不 会相互影响,简化了后续修调。

在图 4 中,添加三极管 QDUM 以补偿高温下衬底 漏电流导致的 Q1 和 Q2 电流失衡。NPN 管的剖面 图如图 5(a)所示。可以看到,集电极与衬底间存在 一个寄生二极管,使得晶体管等效电路如图 5(b)所 示。正常工作情况下,该二极管处于反偏状态,存在 反向饱和电流流过。低温下,该反向饱和电流很小, 与 NPN 管集电极电流相比可忽略。然而,该电流 会随着温度升高呈指数增长,在高温下该电流可能 升高到影响流过集电极的电流,导致在 R_1 上的 PTAT电压偏离预期值。寄生二极管的反向饱和 电流与其面积成正比,因此,从 Q1 管泄漏的电流是 Q2 管的 N 倍。为补偿失衡,在 Q2 管的集电极处连 接了一个与其面积比为(N-1):N的 Q_{DUM}管,这样 从 Q2 管集电极处泄漏的电流将与 Q1 管相等。另 外,在Q3管和 R_2 的串联组合中,Q3必须在 R_2 上。 原因是若 Q3 在下,则电流 I_{PTAT} 在高温时会有一部 分从 Q3 的集电极处寄生二极管泄漏,导致最终流 过 R₂ 的电流小于 I_{PTAT}。



(a) NPN 管剖面图





1.4 电流输出电路

电流输出电路是一个以运算放大器 A1 为核心的深度负反馈环路,箝制电阻 R₃ 两端电压等于 V_{REF}。A1 的电路如图 6 所示,是一个典型的两级运 算放大器。



图 4 中电阻 R₅ 起到降低运算放大器输入管直 流电压的作用,保证输入管偏置在一个合适的区域。 由于最终的 I_{REF}等于流过电阻 R₃ 的电流,因此 I_{REF} 可表示为:

$$I_{\text{REF}} = \frac{V_{\text{REF}}}{R_3} = \frac{V_{\text{REF}0} \left(1 + \alpha_{\text{REF}} \Delta T\right)}{R_3}$$
(7)

由式(7)可知,若期望的 I_{REF} 值较小,则要求 R_3 具有较大的电阻值。由于 R_3 是方块电阻为 9 Ω 的 低阻型多晶硅电阻,因此电流 I_{REF} 很小,导致电阻面 积很大。为缓解这一情况,可将电流输出电路改进 为图 7 所示结构。





根据该图,可计算出新的基准电流为:

$$I_{\text{REF}} = \frac{R_6}{R_6 + R_7} \times \frac{V_{\text{REF}}}{R_3} = \frac{R_6}{R_6 + R_7} \times \frac{V_{\text{REF0}} \left(1 + \alpha_{\text{REF}} \Delta T\right)}{R_{30} \left(1 + \alpha_{\text{REF}} \Delta T\right)}$$
(8)

由式(8)可得,为获得相同的基准电流输出,新 结构使得 R_3 值只需等于之前的 $R_6/(R_6+R_7)$ 即可, 调整 R_6 和 R_7 的值,可有效减小 R_3 。

由运放构成的深度负反馈使得该电流基准输出 阻抗很大,具有很好的负载调整率。

针对放大器输入失调电压对输出的影响,采取 了两方面措施:一是采用较大尺寸的对管,通过蒙特 卡洛分析来优化尺寸;二是通过版图优化,提高输入 对管的对称性和匹配度,从而降低失调电压。

2 仿真结果与讨论

提出的电流基准基于华宏 0.35 μ m BCD 工艺 进行设计,并采用 Cadence Spectre 工具进行仿真验 证。电路如图 4 所示,其中 MOS 管均为 LDMOS, 以保证高压耐受;J1 为 N 沟道 JFET,与电阻 R_4 构 成了自偏置电流源,与 M1 及 M2 一起为电路提供 上电启动功能。电路中所有电阻,除 R_3 采用低阻 率电阻外,其余电阻均采用方块值为 240 Ω 的多 晶硅电阻。仿真时,电源范围为 6.5~36 V,温度 为-55~125 \mathbb{C} , I_{REF} 目标值为 250 μ A。此外,在 I_{REF} 输出端串接了一个电压源模拟负载,该电压值 设为 0。

在有、无高温漏电流补偿管 Q_{DUM}两种情况下, 在典型工艺角下仿真得到的 I_{REF} 仿真结果如图 8 所 示。可以看到,没有 Q_{DUM}时,在温度超过 90 ℃后, *I*_{REF}迅速上升,电流最大最小差值约为 1.1 μA。添 加 Q_{DUM}后,高温段 *I*_{REF}上升趋势被明显抑制,电流 差值下降至 0.24 μA。



图 8 有、无漏电补偿管时的基准电流

在电源电压 15 V时,输出基准电流分别在典型、快和慢三个工艺角下随温度变化的曲线如图 9 所示。电流变化量分别为 242 nA、264 nA、539 nA,对应温度系数为 5.4 × 10⁻⁶/ \mathbb{C} 、7.8 × 10⁻⁶/ \mathbb{C} 、9.3×10⁻⁶/ \mathbb{C} 。该基准电流在不同工艺角下均表现出优异的温度稳定性。但电流值离散性较大,需对 R_3 进行修调,可采用电阻阵列熔丝修调或激光修调等。





输出基准电流分别在典型、快和慢三个工艺角 下随电源电压变化的曲线如图 10 所示,电压扫描范 围为 0~36 V。最差情况下,基准电路从 6.5 V开 始可正常工作。在 6.5~36 V正常电压区间内,不 同工艺角输出的基准电流变化量分别为 16 nA、 15 nA和 62 nA,显示出良好的线性调整率。



图 10 不同工艺角下的基准电流随电源变化情况

本文提出的电流基准性能与其它文献中的电流 基准的对比如表 1 所示。可以看到,本文提出的电 流基准,在宽温(-55 ℃~125 ℃)和宽电源电压 (6.5 ~ 36 V)下,实现了最低的温度系数, 为9.3×10⁻⁶/℃。

表 1 本文与其它文献的比较

参数	文献[2]	文献[12]	文献[13]	本文
标称电流/μA	10	1.83	14.18	250
温度系数/ (10 ⁻⁶ ・℃ ⁻¹)	130	35	45	9.3
温度范围/℃	$-40 \sim 80$	$-40 \sim 125$	$-25 \sim 125$	$-55 \sim 125$
电源电压/V	2.4~3	1.8~5	5.8	6.5~36
电流随电 源变化量/μA	0.03	0.019	-	0.062
工艺	0.18 μm CMOS	0.5 μm CMOS	0.5 μm BiCMOS	0.35 μm BCD

3 结 论

本文分析了片上电阻的性能,其温度系数受 工艺角影响很小。通过设计与电阻温度系数相等 的参考电压,并加载到电阻上,实现了温度性能良 好的电流基准。添加高温漏电补偿晶体管,使得 基准电流在高温段依然保持很好的温度稳定性。 为缓解低阻率电阻占用面积过大的情况,提出了 一种参考电压比例缩小电路。该电流基准基于 0.35 μ m BCD 工艺设计,在 6.5~36 V 电源电压、 -55 °C~125 °C内,输出电流为 250 μ A,温度系数 为 9.3×10⁻⁶/℃,受电源影响的电流变化量小于 62 nA。

参考文献:

- [1] VAN KESSEL, H J. A new bipolar reference current source [J]. IEEE J Sol Sta Circ, 1986, 21 (4): 561-567.
- [2] WU C, GOH W, KOK C, et al. A low TC, supply independent and process compensated current reference [C] // Proceed IEEE CICC. San Jose, CA, USA. 2015: 1-4.
- [3] YANG B D, SHIN Y K, LEE J S, et al. An accurate current reference using temperature and process compensation current mirror [C] // Proceed ASSCC. Taipei, Taiwan. 2009: 241-244.
- [4] LIU W, KHALIL W, ISMAIL M, et al. A resistorfree temperature-compensated CMOS current reference [C] // Proceed IEEE ISCAS. Paris, France. 2010: 845-848.
- [5] HIROSE T, OSAKI Y, KUROKI N, et al. A nanoampere current reference circuit and its temperature dependence control by using temperature characteristics of carrier mobilities [C] // Proceed ESSCIRC. Seville, Spain. 2010: 114-117.
- [6] LEE J, CHO S H. A 1.4- μ W 24.9-ppm/°C current

reference with process-insensitive temperature compensation in 0. 18-µm CMOS [J]. IEEE J Sol Sta Circ, 2012, 47(10): 2527-2533.

- [7] SANSEN W M, EYNDE F O T, STEYAERT M. A CMOS temperature-compensated current reference
 [J]. IEEE J Sol Sta Circ, 1988, 23(3): 821-824.
- [8] OSIPOV D, PAUL S. Compact extended industrial range CMOS current references [J]. IEEE Trans Circ Syst I: Regu Pap, 2019, 66(6): 1998-2006.
- [9] FIORI F, CROVETTI P S. A new compact temperature-compensated CMOS current reference [J]. IEEE Trans Circ Syst II: Expr Bri, 2005, 52 (11): 724-728.
- [10] GEORGIOU J, TOUMAZOU C. A resistorless low current reference circuit for implantable devices[C] // Proceed IEEE ISCAS. Phoenix-Scottsdale, AZ, USA. 2002: 1-4.
- [11] LIU K, SHEN Y, YE Y, et al. A current reference based on bandgap technology with wide input voltage range by using 0.18 μm BCD Process [C] // Proceed IEEE EDSSC. Bangkok, Thailand. 2012; 1-4.
- [12] 曲玲玲, 来新泉, 金杰, 等. 一种新颖的快速启动零温 度系数电流基准[J]. 微电子学, 2009, 39(1): 18-22.
- [13] 易生勇. 一种带低温段线性补偿的电流基准设计 [J]. 科学技术与工程, 2012, 12(34): 9358-9361.

一种低延迟极化码串行抵消译码器设计

王晓蕾,林 青,戴吴骏

(合肥工业大学 微电子设计研究所 教育部 IC 网上合作研究中心,合肥 230601)

摘 要: 为了克服 5G 移动通信系统中极化码串行抵消(SC)译码算法延迟高、计算复杂度高、硬件结构复杂度高等问题,基于冻结比特、冻结比特对和冻结区间等方式,提出了冻结比特设计模式。该设计模式包含基于冻结比特对的译码延迟和计算复杂度的分析方法。通过优先剪枝冻结比特结点的方式,进一步化简 SC 译码树,提高了搜索译码树的速度。码长为1024的改进流水线树型 SC 译码器基于 FPGA 平台实现。实验结果表明,译码延迟为 2.35 μs,数据吞吐率为 435 Mbit/s。与现有译码器相比,该译码器的译码延迟、数据吞吐率分别优化了 9.6%、10.4%。

关键词: 极化码;串行抵消;冻结比特;低延迟
 中图分类号:TN47
 文献标志码:A
 文章编号:1004-3365(2021)01-0079-06
 DOL:10.13911/j.cnki.1004-3365.200102

Design of a Low-Latency Polar Code Successive Cancellation Decoder

WANG Xiaolei, LIN Qing, DAI Wujun

(IC Design Web-Cooperation Research Center of MOE, Institute of VLSI Design, Hefei Univ. of Technol., Hefei 230601, P. R. China)

Abstract: In order to overcome the problems of high latency, high computational complexity and high hardware structure complexity of successive cancellation (SC) decoding algorithm in 5G mobile communication systems, the freezing bit design pattern was proposed based on frozen bit, frozen bit pair and frozen interval. The design pattern included the analysis method of decoding latency and calculation complexity. The SC decoding tree was further simplified by preferentially pruning frozen bit nodes, thereby speeding up the search decoding tree. An improved pipelined tree SC decoder with N = 1.024 was implemented based on the FPGA platform. Experimental results showed that the decoding latency was 2.35 μ s and the data throughput was 435 Mbit/s. Compared with the existing decoder, the decoding latency and data throughput of the decoder were optimized by 9.6% and 10.4%, respectively.

Key words: polar code; successive cancellation; frozen bit; low latency

0 引 言

极化码是基于信道极化效应而提出的新一代信 道编码算法。在理论上,二进制输入离散无记忆信 道(B-DMC)下的极化信道被证明可以达到香农极 限^[1]。在极化码构造方法确定的前提下,如何降低 译码器的译码延迟一直被作为研究的重点^[2-3]。文 献[1]在提出极化码构造理论的同时提出了串行抵 消(SC)译码算法。SC译码算法的串行译码存在延 迟高、计算复杂度高等问题^[45]。为了使极化码更完 美地适用于超低延迟5G移动通信应用,低延迟的 SC译码算法仍是重要的研究方向。

为进一步简化 SC 译码算法,利用冻结比特的 特殊性,文献[6]提出了简化的串行抵消(SSC)译码 算法。SSC 译码算法初步化简 SC 译码树,定义了

收稿日期:2020-03-11;定稿日期:2020-05-22

基金项目:国家重点研发计划项目(2018YFB2202604);安徽高校协同创新项目(GXXT-2019-030)

作者简介:王晓蕾(1978—),女(汉族),安徽合肥人,副教授,从事集成电路设计理论研究。

译码树上叶子结点全为冻结比特的结点为 rate0 结 点,叶子结点全为信息比特的结点为 ratel 结点。 在译码搜索过程中遇到这两种结点时,可直接采用 硬判决的方式, 这加快了译码树的搜索速度。传统 SC 译码器采用蝶形译码结构,造成了过多的资源浪 费,如需要计算内核激活数量的电路和控制逻辑电 路[7-8]。文献[2]采用复用蝶形译码电路中计算结点 的方式,提出了流水线树型译码结构,将蝶形结构的 译码周期从 2(N-1)个缩减至 N-1个。文献[3] 进一步优化了 SC 译码算法与流水线树型译码结 构,减小了译码周期。文献[4]提出了信息比特与冻 结比特交换(IFE)方法,以损失较少译码性能的代 价获得了更快的译码速度,译码周期数比文献[3]减 少了约1/3。文献[3-4]都是从单个冻结比特角度简 化 SC 译码算法的复杂度,造成额外的译码周期,不 适用于全部的译码器。

为了进一步发掘冻结比特在降低译码延迟方面 的作用,本文基于单个冻结比特、冻结比特对和冻结 区间提出了冻结比特设计模式,提高了译码速度。 本文作了以下创新工作:1)基于冻结比特对(FBP) 提出了降低译码延迟的分析方法,提出了基于 SC 译码算法的冻结比特设计模式;2)将冻结比特设计 模式映射至流水线树型译码结构,基于 FPGA 平台 设计并实现了简化的低延迟流水线树型 SC 译 码器。

1 极化码基本原理

本节介绍极化码构造的基本原理,包括信道极 化效应、极化信道的可靠性估计、编码原理和 SC 译 码算法原理。

1.1 信道极化效应

信道极化思想最早由文献[1]提出。极化操作 是将 N 个完全相同的独立二进制对称输入离散无 记忆信道(B-DMC)经过递归运算,使 N 个信道变换 成彼此关联且信道容量有明显差异的一组信道。理 论上,当 N→∞时,出现信道完全极化现象:一部分 极化信道容量为1,另一部分信道容量为0。信道极 化可分为信道合并和信道分裂两个阶段。

N=2 时的合并极化信道 W_2 如图 1 所示。N=4 时的合并极化信道 W_4 如图 2 所示。任意码长 N 的合并极化信道 W_N 如图 3 所示。

为了确定合并信道 W_N 输出序列与输入序列之间的关系,采用数学方法表示信道分裂的过程,分裂

极化子信道 W⁽ⁱ⁾ 的转移概率为:

$$W_{N}^{(i)}(y_{1}^{N},u_{1}^{i-1} \mid u_{i}) = \sum_{u_{i+1}^{N} \in X^{N-i}} \frac{1}{2^{N-1}} W_{N}(y_{1}^{N} \mid u_{1}^{N}) \quad (1)$$



图 1 N=2 时的合并极化信道



图 2 N=4时的合并信极化道



图 3 任意码长 N 的合并极化信道

1.2 极化信道可靠性估计

巴氏参数方法常用于二进制删除信道(BEC) 的极化信道的可靠性估计。巴氏参数表示信道 W 传输时最大似然(ML)译码错误概率的上界。在 B-DMC 信道,巴氏参数与信道容量呈负相关性,若 $Z(W) \approx 0$,则 $I(W) \approx 1$;若 $Z(W) \approx 1$,则 $I(W) \approx 0$ 。 分裂信道的巴氏参数的递归运算式为:

$$Z(W_{N}^{(2i-1)}) \leqslant 2Z(W_{\underline{N}}^{(i)}) - Z(W_{\underline{N}}^{(i)})^{2}$$
(2)

$$Z(W_{N}^{(2i)}) = Z(W_{N}^{(i)})^{2}$$
(3)

若给定 BEC 的删除概率为 ε,则式(2)中的等号 成立,且初始递归运算条件为 ε。

1.3 编码原理

极化码构造的核心思想是信道极化,即通过信

道合并与信道分裂两个阶段,使 N 个原始信道 W 不断进行递归操作,分裂而成的子信道容量 *I*(*W*⁽ⁱ⁾)则向两个极端分化。

信道可靠性估计方法对极化信道的可靠性进行 排序,可靠性高的 K 个信道可用于传输信息比特, 其他可靠性低的 N-K 个信道则用于传输冻结比 特。因此,信息发送端与信息接收端均预先设定,码 率为 R = K/N。生成矩阵 G_N 是极化码构造的数学 形式的核心表达,无比特翻转编码的生成矩阵 $G_N =$ F^{\otimes_n} 。其中, F^{\otimes_n} 为矩阵 $F = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$ 的 n 阶克罗内 克积。

生成矩阵 G_N 的结构如图 4 所示^[8]。无比特翻转极化码编码的结构如图 5 所示。



1.4 SC 译码算法

极化码译码器接收信息 y_1^N ,通过转移概率的递 归运算操作,得到发送比特序列 u_1^N 的估计比特序列 \hat{u}_1^N 。引入极化码陪集码(N, K, A, u_{A^c}),信息比特索 引集合为 A,冻结比特索引集合为 A^c 。通过转移概 率的比值来定义对数似然值(LLR),计算式为:

$$L_{N}^{(i)}(y_{1}^{N}, u_{1}^{i-1}) = \log_{2} \frac{W_{N}^{i}(y_{1}^{N}, \hat{u}_{1}^{i-1}|0)}{W_{N}^{i}(y_{1}^{N}, \hat{u}_{1}^{i-1}|1)}$$
(5)

式中, (y_1^N, \hat{u}_1^{i-1}) 表示接收到的信息。根据转移概率

的比值判定发送的比特值,判决式为:

$$\hat{u}_{i} = \begin{cases} 0, & \text{if } L_{N}^{(i)}(y_{1}^{N}, u_{1}^{i-1}) \\ 1, & \text{otherwise} \end{cases}$$
(6)

如果 *i*∈A,待判决比特为信息比特,采用式(6) 进行判决;如果 *i*∈A^c,待判决比特为冻结比特,则 直接采用硬判决。

给定极化码(N,K),则可构建最大深度为 log₂N的满二叉树,译码树上每层结点的子码长度 为 Nv=2^{dv}。其中,dv为译码树上当前译码结点的 深度。极化码的 SC 译码树如图 6 所示。



对于译码树中的任意结点 v,首先从其父节点 接收维度为 Nv 的 LLR 向量 α ,计算完成后,输出维 度为 $N_v/2$ 的 LLR 向量 α' 到其左边的孩子结点 v_i 。 α' 的计算式为:

$$\boldsymbol{\alpha}[i] = f(\boldsymbol{\alpha}[i], \boldsymbol{\alpha}[i + \frac{N_v}{2}]) = \operatorname{sign}(\boldsymbol{\alpha}[i]) \operatorname{sign}(\boldsymbol{\alpha}[i + \frac{N_v}{2}]) \times \min(|\boldsymbol{\alpha}[i]|, \boldsymbol{\alpha}[i + \frac{N_v}{2}])$$
(7)

当结点 v 接收到 v_1 返回的估计比特构成的维 度为 $N_v/2$ 的向量 β' 时,结点 v 则传递维度为 $N_v/2$ 的 LLR 向量 α' 至其右边的孩子结点 v_r 。 α' 的计算 式为:

$$\boldsymbol{\alpha}^{r}[i] = g(\boldsymbol{\alpha}[i], \boldsymbol{\alpha}[i + \frac{N_{v}}{2}]) =$$

$$(1 - 2\boldsymbol{\beta}^{i}[i])\boldsymbol{\alpha}[i] + \boldsymbol{\alpha}[i + \frac{N_{v}}{2}]$$
(8)

当结点 v 接收到 v_r 返回的估计比特构成、维度 为 $N_v/2$ 的向量 β 时,结点则计算返回的估计比特 构成、维度为 N_v 的向量 β ,计算式为:

$$\boldsymbol{\beta}[i] = \begin{cases} \boldsymbol{\beta}'[i] \oplus \boldsymbol{\beta}'[i], & \text{if } i < \frac{N_v}{2} \\ \boldsymbol{\beta}'[i - \frac{N_v}{2}], & \text{otherwise} \end{cases}$$
(9)

2 冻结比特设计模式

本节介绍冻结比特设计模式,分析其对蝶形译

码器结构和流水线树型译码结构的计算复杂度和译 码延迟的影响。

2.1 冻结比特对与冻结区间

给定 2 个冻结比特 \hat{u}_{2i} 和 \hat{u}_{2i+1} ,构建深度为 2 的 译码树。位置关系满足 $\{2i,2i+1\}$ 的 2 个冻结比特 称为冻结比特对(FBP)。通过第 1 节分析可知,单 个 FBP 可以减少 3 个译码周期,满足条件的连续相 邻 FBP 越多,完全服务于冻结比特译码的中间结点 则越多,这样可节省大量的计算结点,减小译码周 期、降低计算复杂度。若存在更多连续、冻结比特位 置关系满足 $\{2^{k+1}i,2^{k+1}i+1,\dots,2^{k+1}(i+1)-1\}$ 的 区间(k 为自然数),若 $2^{k+1}(i+1) \leq N$,则该区间为 2^{k} 个连续相邻 FBP 所构成的冻结区间。

极化码(8,3)蝶形译码的结构如图7所示。



图 7 极化码(8,3)蝶形 SC 译码器

图中, û[®] 表示冻结比特, 其中 û[®] 是相邻的两个 FPB, 构成维度为 2 的冻结区间。图中的浅色部分 表示估计比特为冻结比特的译码路径。每个结点表 示一次递归运算且在一个时钟周期内完成操作。蝶 形结构图中的浅色部分参与冻结比特的最终判决操 作, 因此浅色部分的递归运算是可以省略的。

每 2^{k} 个连续相邻 FBP 可以减少的计算节点数 目为 $(k+2)2^{k+1}$ 。f计算单元、g计算单元的数量分 别为 $(k+1)2^{k}$ 、 $(k+3)2^{k}$,或分别为 $(k+3)2^{k}$ 和 $(k+1)2^{k}$ 。减少的计算周期数量为 $2^{k+2}-1$ 。蝶形结构 的 SC 译码结构的理论周期为 2(N-1),计算复杂 度为 $Nlog_2N$ 。因此,优化蝶形结构的 SC 译码器的 计算复杂度 Q_{but} 、理论译码周期 T_{but} 分别为:

$$O_{but} = N\log(N) - \sum_{k=0}^{n} (k+2) \cdot 2^{k+1} \cdot a_{k} \quad (10)$$
$$T_{but} = 2(N-1) - \sum_{k=0}^{n} (2^{k+2}-1) \cdot a_{k} - p \quad (11)$$

式中,n=log₂N;a_k 表示相同维度下冻结区间的数 量(冻结区间以最大维度为准,不包含同一维度下的 子区间);p 表示单个冻结比特的数量。可知,冻结 区间越大且数量越多,译码器的计算复杂度、译码周 期数量则降低越多。

2.2 流水线树型译码器结构

如图 8 所示,为了降低硬件资源消耗,可通过将 蝶形结构中的 f 结点与g 结点合并为一个 PE^[2],实 现每个译码阶段复用 PE 的流水线树型译码结构。



图 8 PE 计算单元

文献[3]对该译码器进一步优化,使译码周期进 一步降低。码长 N=8 的 SC 流水线树型译码器如 图 9 所示,展示了流水线树型译码器结构与冻结比 特设计模式相结合的优势。图 10 所示为部分和项 (PSG)更新的结构。



码长 N=8时,流水线树型 SC 译码器的译码流 程如表1所示,控制状态跳转流程如表2所示,部分 和项更新流程如表3所示。



图 10 部分和项更新结构

表 1	码长 N=8	的流水线树型译码器的译码流程
-----	--------	----------------

Clock cycle	Stage2	Stage1	Stage0	\hat{u}_i
1	4PE	-	-	-
2	-	2PE	-	-
3	-	-	PE	$\hat{\pmb{u}}_0^1$
4	-	-	PE	\hat{u}_2^3
5	-	2PE	-	-
6	-	-	PE	$\widehat{oldsymbol{u}}_4^5$
7	-	-	PE	\hat{u}_6^7

表 2 码长 N=8 的控制状态跳转流程

State	m_2	m_1	\hat{u}_i
State0	0	0	\hat{u}_0^1
State1	-	1	\hat{u}_2^3
State2	1	-	\hat{u}_4^5
State3	-	1	\hat{u}_6^7

表	3	码长	N = 8	的部分	和项更	新流程
\sim	0	~~ ~~	11 0	H J HP /J		39 0L 1X

State	S_1	S_2
State0	$S_{1,0} S_{1,1}$	-
State1	-	$S_{2,0}S_{2,1}$ $S_{2,2}$ $S_{2,3}$
State2	$S_{1,2} S_{1,3}$	-

理论上,译码完成所有的估计比特共需要 7 个 周期,码长 N=8 蝶形译码的 SC 译码器则需要 14 个译码周期。依次递推。若给定码长 N,则流水线 树型 SC 译码器的理论译码周期为 N-1,PE 单元 数量为 N-1,每个 PE 单元需要 3 个存储输出数据 的寄存器,因此,寄存器的总数量为 3(N-1)。相邻 的两个估计比特 \hat{u}_{2i} 、 \hat{u}_{2i+1} 是同时译出的。在译码过 程中映射至流水线树型译码器的硬件架构,遇到 FBP 时可以直接跳过,即提前截止递归运算操作。 译码周期为:

$$T_{p} = (N-1) - \sum_{k=0}^{n} (2^{k+1} - 1) \cdot a_{k}$$
(12)

由式(12)可知,冻结区间的维度越大且数量越 多,译码周期数量的减少则越多。以极化码(8,3)的 流水线树型结构的 SC 译码器为例,如表 4 所示,译 码周期数量则减少至 $T_p=7-(2^{1+1}-1)=4$;如表 5 所示,控制状态的数量简化为 2 个。在低码率极化 码的条件下,FBP 的数量更多,译码延迟的降低更 显著。

表 4 极化码(8,3)的流水线树型译码器的译码流程

Clock cycle	Stage2	Stage1	Stage0	\hat{u}_i	
1	4PE	-	-	-	
2	-	2PE	-	-	
3	-	-	PE	\hat{u}_{5}	
4	-	-	PE	\hat{u}_6^7	

表 5 极化码(8,3)的控制状态跳转流程

State	m_2	m_1	\hat{u}_i
State0	1	-	\hat{u}_5
State1	-	1	\hat{u}_6^7

3 译码器硬件实现与结果分析

极化码(1024,385)的流水线树型 SC 译码器的 硬件架构如图 11 所示,主要包括 PE 计算网络、部 分和项计算、控制器和信道信息 LLRs RAM 等 模块。



图 11 流水线树型 SC 译码器的硬件架构

控制器通过状态跳转实现对其他模块的控制。 每个控制状态对应 1 种译码状态,控制模块输出数 据的二进制位宽为 *n*-1,即 *m*₁,*m*₂,...,*m*_{n-1}。其中, *m*_i控制第*i*阶段的计算内核 PE 的输出。部分和项 计算模块接收每个控制状态下的最终译码结果û_{2i}、 û_{2i+1},将更新计算之后的译码结果反馈至 PE 计算 网络模块。PE 计算网络模块接收信道 LLRs、部分 和项计算模块的反馈结果,完成当前控制状态的迭 代运算操作。所有控制状态跳转完成后,译码结束, 得到所有信息比特的估计值。

在极化码构造条件基本保持不变的情况下,本 文方法可以得到最低 395 个译码周期。部分文献的 资源使用和译码器延迟的对比如表 6 所示。本文设 计的流水线树型 SC 译码器基于 Xlinx Artix-7 平 台实现。部分文献的 FPGA 综合资源使用和译码 延迟的对比如表 7 所示。

表 6 部分2	文献的资源(吏用和译和	马延迟的对比
---------	--------	-------	--------

参数	文献[3]	文献[4]	文献[5]	本文
信息位/kbit	512	408	512	385
PE 数量	1 023	682	1 022	1 023
延迟(周期)	866	511	511	395

表 7 部分文献的 FPGA 综合资源使用和译码延迟的对比

参数	文献[5]	本文	优化值
寄存器数目	86 619	49 152	43.3%
LUT 数目	283 841	257 442	9.3%
$f_{ m max}/{ m MHz}$	200	168	-16%
译码延迟/μs	2.6	2.35	9.6%
数据吞吐率/(Mbit • s ⁻¹)	394	435	10.4%

可以看出,相比于文献[5],本文方法的寄存器 消耗降低了43.3%,LUT消耗降低了9.3%。本文 方法的译码延迟、数据吞吐率分别提升了9.6%和 10.4%。本文的实验结果与理论分析结果接近。这 表明,本文通过冻结比特设计模式与流水线树型译 码器相结合的方法,实现了译码延迟的显著降低。

4 结 论

本文针对 SC 译码算法存在的延迟高、硬件实

现复杂度高等问题,提出了冻结比特设计模式,并将 该冻结比特设计模式与流水线树型译码器相结合, 在硬件上实现了低延迟的 SC 译码器。在保证极化 码构造性能的前提下,与现有译码器相比,本文译码 器的译码延迟、数据吞吐率分别提升了 9.6% 和 10.4%,符合理论分析的结果。

参考文献:

- [1] ARIKAN E. Channel polarization: a method for constructing capacity-achieving codes for symmetric binary-input memoryless channels [J]. IEEE Trans Inform Theo, 2009, 55(7): 3051-3073.
- [2] LEROUX C, TAL L, VARDY A, et al. Hardware architectures for successive cancellation decoding of polar codes [C] // IEEE ICASSP. Prague, Czech Republic. 2011: 1665-1668.
- [3] ZHANG C, PARHI K K. Latency analysis and architecture design of simplified SC polar decoders
 [J]. IEEE TCAS-II, 2014, 61(2): 115-119.
- [4] PIAO Z Y, KIM Y J, CHUNG J G. Efficient successive cancellation decoder for polar codes based on frozen bits [C] // IEEE APCCAS. Jeju, South Korea. 2016: 585-587.
- [5] BIAN X, DAI J C, NIU K, et al. A low-latency SC polar decoder based on the sequential logic optimization
 [C] // IEEE ISWCS. Lisbon, Portugal. 2018: 1-5.
- [6] ALAMDAR-YAZDI A, KSCHISCHANG F R. A simplified successive-cancellation decoder for polar codes [J]. IEEE Commun Lett, 2011, 15 (12): 1378-1380.
- YUAN B, PARHI K. Successive cancellation decoding of polar codes using stochastic computing [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 3040-3043.
- [8] BERHAULT G, LEROUX C. Partial sums computation in polar codes decoding [C] // IEEE ISCAS. Lisbon, Portugal. 2015: 826-829.

第 51 卷 第 1 期	微 电 子 学	Vol. 51, No. 1
2021年2月	Microelectronics	Feb. 2021

基于差分编码技术的 12.5 Gbit/s 高速 SerDes 发射机

彭嘉豪^{1,2},李儒章²,付东兵²,丁一²,杨虹¹

(1. 重庆邮电大学 光电工程学院, 重庆 400065; 2. 模拟集成电路国家重点实验室, 重庆 400060)

摘 要:研究并设计了一种基于差分编码技术的 12.5 Gbit/s 高速 SerDes发射机。该电路由并 串转换模块、去加重控制模块和驱动模块组成。驱动模块采用电流模逻辑异或门结构,动态负载 的加入可以在降低功耗的同时实现与传输线的阻抗匹配。首次提出在并串转换模块中加入差分 编码电路的解决方案,以保证原码输出,从而使数据在发射机内完成差分编解码的过程。后仿真 结果表明,发射机数据传输速度达到 12.5 Gbit/s。此时发射机整体功耗为 39 mW,输出总抖动为 0.05 UI,远小于 JESD204B 标准所要求的 0.3 UI。

关键词: 差分编码;高速 SerDes;电流模逻辑异或门;动态负载
 中图分类号:TN432
 文献标志码:A
 文章编号:1004-3365(2021)01-0085-06
 DOI:10.13911/j.cnki.1004-3365.200059

A 12. 5 Gbit/s High Speed SerDes Transmitter Based on Differential Encoding Technology

PENG Jiahao^{1,2}, LI Ruzhang², FU Dongbing², DING Yi², YANG Hong¹

College of Optoelectronic Engineering, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R. China;
 Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China)

Abstract: A 12.5 Gbit/s high speed SerDes transmitter based on differential encoding technology was researched and designed. This circuit was mainly composed of a parallel-serial conversion module, a de-emphasis control module and a drive module. The driving module adopted a current mode logic XOR gate structure, and the addition of dynamic load could reduce the power consumption and achieve impedance matching with the transmission line. In order to ensure the original code output, a solution for adding a differential encoding circuit to the parallel-serial conversion module was proposed for the first time, so that the process of differential encoding and decoding with the data could be completed in the transmitter. The post simulation results showed that the data transmission speed of the transmitter reached 12.5 Gbit/s. Meanwhile, the overall power consumption of the transmitter was 39 mW, and the total output jitter was 0.05 UI, which was far less than the 0.3 UI required by the JESD204B standard. **Key words:** differential encoding; high speed SerDes; current mode logic XOR gate; dynamic load

0 引 言

在高速数据传输系统中,传统的并行传输技术

因其时序同步困难、抗干扰能力弱等因素的限制,已 不能满足系统对数据传输速率的要求。为了提升数 据的传输速率,高速 SerDes 技术(Serializer/ Deserializer)应运而生。其主要功能为:在发送端,

作者简介:彭嘉豪(1996一),男(汉族),湖南邵东人,硕士研究生,研究方向为模拟集成电路设计。

收稿日期:2020-02-17;定稿日期:2020-03-27

基金项目:模拟集成电路国家重点实验室基金资助项目(614280205020417)

将多路并行的低速信号转换成一路串行的高速信 号,经传输信道送达接收端后,再重新将数据恢复成 原先的并行低速信号[1]。不同于并行传输技术, SerDes 在传输过程中不需要传输同步时钟,且差分 信号的引入也在提升数据传输速率的同时增强了信 号的抗干扰和抗噪声能力[2]。基于以上优势, SerDes 技术逐渐取代并行传输技术,成为主流的高 速接口技术^[3]。

在此背景下,本文对目前较流行的高速 SerDes 发射机电路进行了深入研究。首先,针对数据合成 时钟在工艺角、电源电压和温度(Process corner, Voltage and Temperature, PVT) 变化时所引起的 输出误码问题,提出了采用电流模逻辑(Current Mode Logic, CML)异或门驱动器来完成最后一级 并串转换和数据输出的解决方案。其次,在系统中 加入差分编码电路,使数据在发射机内完成差分编 解码,从而达到原码输出的目的;最后,考虑高速低 功耗和阻抗匹配,对驱动器进行了一定程度上的优 化和改进,发射机最终实现 12.5 Gbit/s 的数据 输出。

发射机电路架构 1

发射机电路主要由 40:2 并串转换模块、去加 重控制模块、驱动模块和偏置电路模块组成。40:2 并串转换模块将输入的 40 路 312.5 Mbit/s 单端信 号转换为两路 6.25 Gbit/s 的差分信号,该模块所需 的时钟信号由锁相环 PLL 提供。去加重模块通过 控制产生正向数据和反相延时数据的驱动器个数来 调整流经负载的电流大小,从而控制输出电压的去 加重程度。驱动模块实现驱动功能。



发射机整体电路设计 2

2.1 40:2 并串转换电路设计

并串转换电路的主要功能是将低速的并行数据

转换成高速的串行数据。通过对锁相环 PLL 提供 的 6.25 GHz 差分时钟信号进行多次分频,可以得 到二分频时钟(3.125 GHz)、四分频时钟(1.562 5 GHz)和占空比为 20% 的二十分频时钟(312.5 MHz)。在时钟的作用下,输入的40路312.5 Mbit/s 单端并行信号经过 5:1,2:1,2:1 三级结 构不同的 MUX 电路,转换为两路 6.25 Gbit/s 的差 分信号。40:2并串转换电路架构如图2所示。



2.2 差分编码电路设计

差分编码是用相邻码元的跳变和不跳变来表示 消息代码,与码元本身的电位或极性无关。本文通 过引入差分编码电路,使数据在发射机内实现差分 编解码,从而达到原码输出的目的。其编码规则 如下:

$$Q_n = D_n \bigoplus Q_{n-1},$$

$$Q_n = D_n \qquad (1)$$

式中,D"为原始数据,Q"为经差分编码后的数据。 为节省芯片面积与降低设计难度,在数据完成第一 级 MUX 5:1 并串转换后,对 40 位数据顺次进行 异或操作,从而实现数据编码。



电路中 Q_7^{n-1} 初值为 0, $D_0 \sim D_7$ 为 8 路传输速度 为1.5625 Gbit/s 的单端并行数据,当输入的8位 并行数据为"11001011"时,经差分编码后的数据应 变为"10001101",如图 4 所示。仿真结果与分析结 果一致。

2.3 去加重控制电路设计

当高速信号在信道上传输时,由于信道的非理

想性,信号中的高频成分会被衰减,从而产生严重的 码间干扰现象^[4]。为避免出现这种问题,本文采用 二阶去加重技术来补偿信道中的高频损失^[5]。其实 现方法如图 5 所示。



图 5 二阶去加重原理图

驱动器输出信号 Post-cursor Signal 是主输出 信号 Main Signal 经反相延时 1 bit 后的信号。控制 信 S_i 通过控制不同权重的 Post-cursor Signal 与 Main Signal 进行耦合,实现对主输出信号 Main Signal 的高频跳变沿的加强或者连续"0"和连续"1" 的削弱。当驱动器输出信号为"01000"时,负载上第 一个"1"出现时对应的等效电流为 $I_{Main} + I_{Post}$;而第 二个"0"出现时负载对应的等效电流为一($I_{Main} + I_{Post}$),这样便加重了"1"到"0"的跳变沿。最后两个 "0"为连续出现的"0",负载上对应的等效电流为 $I_{Main} - I_{Post}$,这样便降低了连续输出的低频分量的摆 幅。在电路设计中,主驱动器由 20 个子驱动器并联 组成,其中 12 个子驱动器固定输出 Main Signal,去 加重控制信号 S_i 按照二进制关系控制另 8 个子驱动 器,电路最高可实现一4.5 dB 的去加重控制。

本文设计的驱动器采用异或门输出,且需要实现解码功能,因此需对驱动器的输入信号进行一定的调整。由式(1)可推出原码 $D_n = Q_n \oplus Q_{n-1}$,因此可将异或门驱动器的输入信号分为奇偶两组信号(即奇信号 Q_{n-1} 与偶信号 Q_n ,相差半个周期)进行异或操作,从而实现原码输出。其时序图如图 6 所示。

当控制信号 $S_i = 0$ 时,异或门驱动器的输入信号为 $Q_n = Q_{n-1}$ 。此时 Q_{n-1} 的上半周期对应 Q_n 的下半周期,根据解码规则,驱动器输出原码 D_n 。同时,

 Q_{n-1} 的下半周期对应 Q_{n-2} 的上半周期,二者进行异 或操作后驱动器输出原码 D_{n-1} 。在一个 Q_{n-1} 的周 期内,驱动器可输出两位原码 $(D_n 与 D_{n-1})$,从而完 成解码功能。同理,当控制信号 $S_i = 1$ 时,输入信号 为整体延时半周期的信号 $\overline{Q_n}$ 与 Q_{n-1} ,在一个 Q_{n-1} 的 周期内,驱动器输出反相延时信号 $\overline{D_n}$ 与 $\overline{D_{n-1}}$ 。这样 就能通过控制产生主信号与反相延时信号的驱动器 个数来调整流经负载的电流大小,从而控制输出电 压的去加重程度。



2.4 CML 异或门驱动电路设计

在传统发射机电路中,通常采用高频时钟来完成最后一级 MUX 2:1 功能。但在 PVT 变化的情况下,数据合成时钟的抖动将会对数据的时序关系产生严重干扰,从而产生误码^[6]。为避免 PVT 波动时的时序变化对输出数据的影响,本文采用 CML 异或门驱动器来完成最后一级并串转换和数据输出。传统的 CML 异或门驱动器结构如图 7 所示。 恒定电流源 M₁为电路提供偏置电流,输入的差分信号 A、B 通过控制 MOS 管的导通或截止,在实现异 或功能的同时使输出电压幅度在 V_{DD} 与(V_{DD} – *I_{ss}R*)之间浮动。上拉电阻 *R* 一般为 50 Ω,用以实现与传输线的阻抗匹配。





2.4.1 低功耗型 CML 异或门驱动器 传统的 CML 异或门驱动器具有驱动能力强、

传输速率快、抗干扰能力强等优点,但通过负载的电流仅为驱动器输出总电流的1/4,因此功耗很高^[7]。 出于低功耗设计考虑,本文对该驱动器进行了优化和改进,其结构如图8所示。 $M_1 与 M_{26}$ 为恒定电流源, $M_2 \sim M_{25}$ 在差分信号A与B的控制下导通或截止,实现异或功能。当A="0"、B="1"时, V_P 端输出为高电平, V_N 端输出为低电平,电流源提供的电流全部从 V_P 端经过负载 R_L 流向 V_N 端,大大降低了驱动器的功耗。此时可以得到负载两端的电压差:

$$|V_{\rm P} - V_{\rm N}| = V_{\rm dd} - (V_{\rm ds26} + 2V_{\rm dsN} + 2|V_{\rm dsP}| + |V_{\rm ds1}|)$$
(2)

式中, V_{dsN} 为处于深线性区的导通 NMOS 管 $M_{15,21,22,25}$ 的漏源电压差, V_{dsP} 为同样处于深线性区 的导通 PMOS 管 $M_{2,5,6,12}$ 的漏源电压差。



图 8 低功耗型 CML 异或门驱动器结构示意图

2.4.2 阻抗匹配电路设计

为实现该低功耗型驱动器与传输线之间的阻抗 匹配,常用的方法是在驱动器的输出端 V_P 与 V_N 之 间串联一个阻值为100 Ω 的电阻^[8]。但串联电阻会 导致驱动器的功耗增加近一倍(负载 R_L =100 Ω)。 因此,本文在主驱动器电路中加入动态负载,以实现 阻抗匹配。阻抗匹配电路结构如图 9 所示。其中, 驱动器 II 为动态负载提供输入,不参与 2.3 节所述 的去加重控制过程。



图 9 阻抗匹配电路结构

由于传输线的特征阻抗 Z₀等于 50 Ω,根据阻 抗匹配原理,驱动器的单端输出电阻也应为 50 Ω。驱动器输出端电路中的整体驱动器的输出电 阻主要由动态负载决定,其等效电路模型如图 10 (a)所示。该电路是由反相器与电阻并联构成的 电压并联负反馈放大电路^[7],其闭环输出电 阻为:

$$R_{\rm of} = \frac{R_{\rm open}}{1 + |A_{\rm V} \star F|} \tag{3}$$

式中, R_{open}为开环输出电阻, A_v为开环时电路增益, F为闭环时反馈系数。



(a) 动态负载等效电路模型(b) 开环时输出电阻计算图 10 动态负载的等效电路模型与输出电阻

当两个 MOS 管均处于饱和状态时,可由图 10 (b)所示电路计算动态负载的输出电阻。考虑沟道 长度调制效应,可得开环输出电阻:

$$R_{\text{open}} = R_2 \parallel r_{\text{ol}} \parallel r_{\text{o2}} \tag{4}$$

此时有开环增益:

$$A_{\rm v} = -(g_{\rm m1} + g_{\rm m2}) R_{\rm open}$$
(5)
闭环时反馈系数为.

$$F = \frac{R_1}{R_1 + R_2} \tag{6}$$

将式(4)~(6)代入式(3),可得:

$$R_{of} = \frac{R_{open}}{1 + |A_{V} * F|} = \frac{R_{2} ||r_{o1}||r_{o2}}{1 + (g_{m1} + g_{m2})(R_{2} ||r_{o1}||r_{o2})\frac{R_{1}}{R_{1} + R_{2}}}$$
(7)

式中, $g_{m1,2}$ 与 $r_{o1,2}$ 为场效应管 $M_{1,2}$ 的跨导和沟道 长度调制效应等效电阻。通过合理设置放大系 数 A_v 与负反馈电阻 R_2 的值,可实现 50 Ω 的阻抗 匹配。阻抗校正后 S_{11} 仿真曲线如图 11 所示。 通过对驱动器进行 S参数仿真,可知,即使当发 射机传输数据频率达到 12.5 GHz,共模回波损 耗($|S_{11}|$)仍大于 JESD204B 协议^[9]所要求的 6 dB。



3 发射机整体电路仿真结果

3.1 发射机电路的前仿真结果

1) 验证发射机电路输出数据的正确性。当去 加重程度为0dB时,设置仿真工艺角为TT,仿真温 度为27℃,发射机选择输入40位并行数据: 11001011,0010100,010101,10110011, 01101100,此时发射机负载一端的输出波形如图12 所示。





可以看出,输入的 40 位数据从 7.6 ns 开始输出,输出数据与输入数据一致且数据传输速率达到了 12.5 Gbit/s。这表明数据在发射机内成功完成 差分编解码的过程。此时输出数据的眼图如图 13 所示。可以看出,眼幅为 598.9 mV,总抖动^[10]为 0.011 UI。



2) 验证发射机电路去加重实现情况。相同数

据进行 8 种不同程度去加重配置后的仿真波形叠加 图如图 14 所示。可以看出,去加重程度每上升一 级,连续输出的低频分量的摆幅约下降 34 mV。



图 14 TT, 27 ℃, 8 种程度去加重配置后的波形叠加图

3) 验证发射机电路整体性能。对发射机进行 PVT 仿真。工艺角分别为 TT、FF、SS,电源电压波 动为±10%,温度分别为-55 ℃,27 ℃,125 ℃。其 中,输出信号眼图质量在典型、最好和最差时对应的 条件如表1 所示。

表 1 PVT 参数仿真结果

眼图质量	对应条件	眼幅/mV	抖动(UI)
典型	TT, 1.25 V, 27 °C	598.9	0.011
最好	FF, 1.375 V, −55 °C	761.4	0.006
最差	SS, 1.125 V, 125 °C	468.6	0.040

3.2 发射机电路的后仿真结果

在前仿结果达到预期目标后,本文采用 65 nm CMOS 工艺,完成了对版图的绘制,如图 15 所示。



图 15 发射机电路版图

在完成 DRC 与 LVS 验证后,通过提取寄生参

数进行后仿真。设置仿真工艺角为 TT,仿真温度 [2] 为 27 ℃,去加重程度为 0 dB,此时发射机输出眼图

如图 16 所示。可以看出,后仿真结果大致与前仿真相同,此时发射机抖动为 0.05 UI,整体功耗为 39 mW。



4 结 论

介绍了一种基于差分编码技术的 12.5 Gbit/s 高速 SerDes 发射机电路。驱动器采用电流模逻辑 异或门结构,解决了数据合成在 PVT 变化时所引起 的输出误码问题。同时,首次提出在并串转换模块 中加入差分编码电路的方法,以保证原码输出。后 仿真测试结果显示,发射机数据传输速率达到了 12.5 Gbit/s。此时发射机整体功耗为 39 mW,输出 抖动为 0.05 UI,符合 JESD204B 协议小于 0.3 UI 的要求。

参 考 文 献:

HARWOOD M, NIELSEN S, SZCZEPANEK A, et al. A 225 mW 28 Gb/s SerDes in 40 nm CMOS with 13 dB of analog equalization for 100GBASE-LR4 and optical transport lane 4.4 applications [C] // IEEE ISSCC. San Francisco, CA, USA. 2012; 326-327.

- [2] CHEN M S, SHIH Y N, LIN C L, et al. A fullyintegrated 40-Gb/s transceiver in 65-nm CMOS technology [J]. IEEE J Sol Sta Circ, 2012, 47(3): 627-640.
- [3] NAVID R, CHEN E H, HOSSAIN M, et al. A 40 Gb/s serial link transceiver in 28 nm CMOS technology
 [J]. IEEE J Sol Sta Circ, 2015, 50(4): 814-827.
- KIM T, JANG S, KIM S, et al. A four-channel 32-Gb/s transceiver with current-recycling output driver and on-chip AC coupling in 65-nm CMOS process [J].
 IEEE Trans Circ Syst II Expr Brie, 2014, 61 (5): 304-308.
- YOU L, FENG Z, LV J, et al. A 5 Gb/s multi-mode transmitter with de-emphasis for PCI Express 2.0/ USB 3.0 [J]. Analog Integr Circ Signal Process, 2014, 81(2): 503-513.
- [6] CHOI K W, BLACKSHEAR E, TREMBLE E, et al. Hybrid prepreg conventional build-up laminate for 112 Gbit/s SerDes [C] // IEEE 69th ECTC. Las Vegas, NV, USA. 2019, 1179-1187.
- [7] PANDEY N, GUPTA K, BHATIA G, et al. MOS current mode logic exclusive-OR gate using multithreshold triple-tail cells [J]. Microelec J, 2016, 57 (C): 13-20.
- [8] FUKUDA K, YAMASHITA H, ONO G, et al. A 12. 3-mW 12. 5-Gb/s complete transceiver in 65-nm CMOS process [J]. IEEE J Sol Sta Circ, 2010, 45 (12): 2838-2849.
- [9] JEDEC Solid State Technology Association. JEDEC Standard JESD204B [EB/OL]. https://www.jedec. org, 2011.
- [10] BIDAJ K, BEGUERET J B, DEROO J. Jitter definition, measurement, generation, analysis, and decomposition [J]. Int J Circ Theory Appl, 2018, 46 (12): 2171-2188.

・动态与综述・

硅基自旋量子比特技术研究进展

戴永红¹,赖 凡¹,刘荣贵² (1. 中国电子科技集团公司 第二十四研究所,重庆 400060; 2. 中国电子科技集团公司 第二十六研究所,重庆 400060)

摘 要: 量子芯片是运用量子力学基本原理构建实用化计算机的基础。各国研究团队通过近几 年的卓越研究工作,将硅基量子比特芯片技术发展成量子计算的核心方向之一。文章重点归纳了 Si自旋量子比特的主要类型,分析了可靠量子计算实现所要求的高保真度、长程耦合等指标的关 键技术。这些技术的研究表明,硅是一个能实现全面量子计算发展的可行平台。

关键词: 量子计算;自旋量子比特;硅;芯片

中图分类号:TN304.1⁺2;O413 文献标志码:A 文章编号:1004-3365(2021)01-0091-05 DOI:10.13911/j.cnki.1004-3365.200480

Research Progress of Spin Qubits Technology Based on Silicon

DAI Yonghong¹, LAI Fan¹, LIU Ronggui²

(1. The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China;

2. The 26th Institute of China Electronic Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: Quantum chip is the basis of constructing practical computer based on the basic principle of quantum mechanics. Through the excellent research work in recent years, research teams of various countries had developed the Si based qubit chip technology into one of the core directions of quantum computing. In this paper, the main types of Si spin qubits were summarized, and the key technologies of high fidelity, long-range coupling and other indexes required for reliable quantum computing were analyzed. Research of these technologies showed that Si was a feasible platform for the development of comprehensive quantum computing.

Key words: quantum computing; spin qubit; Si; chip

0 引 言

量子芯片由量子比特和典型控制器组成,是一 种利用叠加、纠缠等量子力学原理、通过操纵量子比 特来实现并应用于量子计算机的器件。量子芯片技 术发展的趋势是固态化、芯片化,它们是具有挑战 性、影响深远的技术之一。目前,超导系统、半导体 量子点系统、微纳光子学系统、原子/离子系统等量 子计算系统的研究均为固态化、芯片化的发展趋势。 超导量子计算是通过采用超导电子电路实现的 量子计算机完成。Google 公司、IBM 公司、Intel 公 司和欧洲微电子研究中心(IMEC)均开展了超导量 子计算研究。2016年,文献[1]报道了一个具有多 达9个完全可控的量子比特的1D阵列。文献[2] 报道了一个具有16个量子比特的2D阵列。2019 年,报道了一个54个 transmon量子比特组成的2D 阵列,矩形晶格中的每个量子比特均可被耦合到4 个最近的量子比特。该阵列在200 s内完成了在当 今最大超级计算机 Summit 上需要10000年才能

收稿日期:2020-10-15;定稿日期:2020-11-14

作者简介:戴永红(1967—),女(汉族),四川内江人,高级工程师,长期从事模拟集成电路技术情报及专利分析工作。

赖 凡(1963—),男(汉族),重庆北碚人,研究员,长期从事模拟集成电路技术研究工作。

完成的运算量。基于超导系统的量子计算走在了基 于其他物理系统的量子计算前列^[3]。

基于 Si 量子点的量子芯片主要采用 IV 族 Si / SiGe 异质结材料和 Si 基 MOS 材料。自旋量子比 特因超长量子退相干时间、半导体工艺兼容性等特 点而成为量子计算研究的核心方向之一。新南威尔 十大学(UNSW)团队、Intel公司、IMEC、法国原子 能委员会电子与信息技术实验室(CEA-Leti)等积 极开展了量子芯片研究,取得了一些成果。如,Si 基 MOS 和 SiGe 异质结构成的自旋量子比特,其弛 豫时间超过数百毫秒,量子退相干时间超过数百微 秒^[4];同位素丰富的 Si 材料制作的量子芯片,其单 量子比特门控保真度超过 99.9%[5-6];双量子比特 达到 98%[7],与可行量子容错计算的要求非常接 近。目前的研究重点为多比特逻辑门操作和 Si 基 量子点量子比特的大规模制造技术。Intel 公司、 CEA-Leti、IMEC 等已在半导体工艺线上开展 Si 基 量子芯片的研制。

1 Si 量子比特技术

1.1 概述

基于 Si 量子点的量子芯片采用 IV 族 Si /SiGe 异质结材料和 Si 基 MOS 材料。工作原理是,通过 对材料上的电极施加电场来囚禁量子点,通过量子 点中不同电子自由度来编码量子比特。硅量子比特 的类型有单电子自旋编码量子比特、空穴编码量子 比特、电荷量子比特、自旋单态-三重态量子比特、交 换量子比特等。关于自旋量子比特的技术研究较 多,其关键技术有:获得满足容错计算要求的量子比 特门操作的高保真度;多量子比特的长程耦合及扩 展;高温量子比特操作;与 Si-CMOS 的兼容集成性。

1.2 Si 自旋量子比特的类型

先进的 Si 量子比特技术可归纳为五种类型, 叙述如下。1)栅极定义 MOS 自旋量子比特。在 硅晶圆片上制作 MOS 栅结构,电学上只吸引栅极 下的一个电子,利用其单电子自旋的两个能级作 为量子比特^[8•9]。2)栅极定义 Si/SiGe 自旋量子比 特。在 SiGe 虚拟衬底上利用晶格失配生长应变硅 层,利用栅偏压限制的单电子自旋作为量子比 特^[10-11]。3)栅极定义的 Si/SiGe 单态-三重态量子 比特。利用两个或三个量子点和两个或三个自旋 的两个集合态构成一个量子,即利用一对栅定义 的 Si/SiGe 量子点中的两个或三个电子构成量子 比特^[12-14]。4) MOSFET 转换的自旋量子比特。通 过冷却 MOSFET,将单个电子限制在通道区的特 定位置,利用它们的自旋作为量子比特^[15-17]。5) 施主量子比特。硅外延生长后,通过离子注入或 扫描隧道显微镜将单个 P施主放置于表面,小于 5 K 温度时,受制于 P施主的一个单自旋电子作为 量子比特^[18-20]。

1.3 衬底材料

天然可用 Si 由 92.2%²⁸Si、4.7%²⁹Si 和 3.1% ³⁰Si 组成。其中,仅有²⁹Si 具有核自旋,该波动是量 子比特退相干(信息损失)的主要来源。目前,该高 质量 300 mm 硅外延²⁹Si 核自旋耗尽层的制作技术 正在研制中^[21-22],抑制退相干是主要目的。研究已 证明,在 SiGe 上生长的纯同位素²⁸Si 应变层有助于 降低信息损失^[23]。

1.4 长程耦合

将量子信息从一个量子比特传输到有一定距离 的另一个量子比特是一个巨大的挑战。少量(约 20 个)量子比特可以制成 1D 或 2D 阵列,实现从一个 量子比特传输到另一个量子比特的顺次、最近的信 息交换。若距离较长,则需将电子自旋量子比特信 息传输到另一种移动量子比特(如微波光子)^[24-25]。 微波光子量子比特的传输可通过芯片上的波导来 实现。

1.5 与 Si-CMOS 集成

量子芯片与 Si-CMOS 的集成技术可充分利用 Si 半导体领先的技术成果和成熟的产业体系,这 也是 Si 量子计算体系的重要优势。有文献报道了 量子比特、读出元件(量子比特或单电子晶体管)、 逻辑运算的量子比特操纵器(微波天线)、门电极、 波导和与典型 Si-CMOS 元件兼容等各类电路 布局^[26-28]。

2 研究团队的技术进展

2.1 UNSW 团队

2020年,UNSW 团队展示了一个被限制于 1.5K量子点中的两个量子比特的可扩展 Si 量子 处理器的晶胞操作^[29]。工作原理是,将量子点从 电子库中隔离出来,经过初始化,通过两个量子点 之间的电子隧道单独进行量子比特的读取^[30-31]。 采用电驱动的自旋谐振方式,在同位素富集²⁸ Si 中 一致地控制量子比特,在"热"操作期间,获得 98.6%的单量子比特门保真度和 2 μ s 的相干时 间,这与天然 Si 中 mK 温度下的自旋量子比特相 当。这证明了晶胞可以在低于 0.1 T 磁场下工作, 对应于 3.5 GHz 的量子比特控制频率。晶胞构成 了完整的 Si 量子计算机的核心部分,且满足纠错 架构所需的布局约束。该项研究表明,基于自旋 的量子计算机在一个简单泵 He 系统^[32](该系统 的冷却能力比稀释制冷机高 1 个数量级)中可以 运行于更高温度。因此,有可能实现电子器件与 量子比特阵列的集成。

2.2 Intel 公司

Intel 公司积极开展 Si 自旋量子比特技术研究。 2020年, Intel 公司与荷兰 Delft 理工大学共同研 究,基于 Intel 22 nm FFL CMOS 工艺,将 1 个控制 器集成于 BAG 封装的新型低温量子控制芯片 (Horse Ridge)^[33]。该芯片用于控制 1 K 温度下工 作的硅自旋量子比特。这种将硅自旋量子比特器件 与全新低温量子控制芯片集成的方式,迈出了实现 商用计算机的重要一步^[34]。

2.3 法国 CEA-Leti

2020年,CEA-Leti 展示了世界第一个量子集 成电路,这表明了在 CMOS 芯片上集成传统电子器 件与量子点的可能性^[35]。该量子集成电路由指令 控制器、DDS 和模拟/混合信号前端组成。采用 32 个频率分辨率为 0.2 kHz 的数控振荡器对 32 个量 子比特进行相干控制,将双量子点(QDUT)偏置、信 号产生和读出等功能集成于单个芯片上,增加了误 差校正带宽和自旋读出灵敏度。该量子集成电路采 用 28 nm FD-SOI 工艺制作。

2.4 中国科技大学团队

国内各大学正在开展硅基量子计算的研究。中 国科技大学郭国平团队取得了多项具有国际影响力 的研究成果。在芯片制作方面发现,高真空退火可 以将器件的电子迁移率提高2倍^[36]。在量子态操 控方面发现,在特定条件下可将电子自旋寿命提高 100倍以上^[37]。

3 挑战与解决方案

3.1 达到可靠计算的保真度

硅基量子点中天然存在谷能级,某些情况下自 旋与谷能级会发生相互混合,限制自旋量子比特的 操控保真度。为了消除自旋-谷混合对自旋量子比 特的不利影响,达到可靠计算所要求的保真度,可采 取如下措施:1)增加硅量子点中的谷能级劈裂大小; 2)调节自旋-谷混合的强度;3)制作高质量的 Si MOS量子点,实现自旋量子比特的单发读出。

3.2 控制量子比特的传输变化

将量子信息从一个量子比特传输到另一个量子 比特是一个巨大挑战。文献[28]使用浮动门来补偿 量子比特到量子比特的传输变化,采用集成交叉技 术来有效处理大量子比特阵列的布局。该系统可应 用于基于 Si/SiO₂异质结、Si/SiGe 异质结的自旋量 子比特。该系统可进行本地交换交互,也可以被纳 入更大的体系中,如将其用于互连量子结构的远程 量子比特耦合。

3.3 突破极低温要求的制约

为获得真正实用化的量子计算机,需要能工作 于1K以上温度的高温量子比特。硅自旋量子比特 可以在5K以下温度下工作^[38-39],较超导量子比特 的工作温度(低于0.1K)更有优势。近年来的研究 成果有:UNSW团队在纯化Si单量子比特上实现 了1.5K下的98.6%保真度^[40];荷兰Delft大学团 队在1.1K温度下通过可调的交换交互,实现了两 个量子比特的相干翻转,单比特保真度提高到 99.3%^[41],这证明了Si基量子比特体系在1K以上 温度下的通用量子门操作是可行的。

4 结束语

Intel 公司研制了低温量子控制、Si CMOS 工艺 的 Horse Ridge 控制芯片,解决了构建量子系统的 一系列技术,表明了可靠量子计算所要求的高保真 度、长程耦合、可扩展性、灵活性等指标的可实用性。 CEA-Leti 研制了世界第一个量子集成电路。Delft 团队在高温量子比特上实现了两个量子比特的相干 翻转,并与 CEA-Leti 合作研究了用于量子计算的 低温控制电路。UNSW 团队研制的 Si 量子处理器 获得了接近满足量子容错计算的保真度。这些研究 预示硅基自旋量子比特技术具有进一步改进主要指 标的可能性,是一个能实现全面、容错的量子计算发 展的可行平台。

参 考 文 献:

[1] KELLY J, BARENDS R, FOWLER A G, et al. State

preservation by repetitive error detection in a superconducting quantum circuit [J]. Nature, 2014, 519(7541): 66-69.

- [2] IBM makes quantum computing available on IBM cloud [EB/OL]. http:// www-03.ibm.com, 2016.
- [3] ARUTE F, ARYA K, BABBUSH R, et al. Quantum supremacy using a programmable superconducting processor [J]. Nature, 2019, 574(7779): 505-510.
- [4] 郭国平. 硅基自旋量子比特研究获进展 [EB/OL].
 http://paper. sciencenet. cn/htmlpaper/2020/7/
 202071111119557314. shtm ?id=57314, 2020-06-29.
- [5] ITOH K M, WATANABE H. Isotope engineering of silicon and diamond for quantum computing and sensing applications [J]. MRS Commun, 2014, 4(4): 143-157.
- [6] LADD T D, CARROLL M S. Silicon qubits [R]. Encyclopedia Modern Optics, 2018: 467-477.
- [7] YANG C H, CHAN K W, HARPER R, et al. Silicon qubit fidelities approaching incoherent noise limits via pulse engineering [J]. Nature Elec, 2019, 2 (4): 151-158.
- [8] VELDHORST M, YANG C H, HWANG J C C, et al. A two qubit logic gate in silicon [J]. Nature, 2015, 526(7573): 410-414.
- [9] HUANG W, YANG C H, CHAN K W, et al. Fidelity benchmarks for two-qubit gates in silicon [J]. Nature, 2019, 569(7757): 532-536.
- [10] PATERAS A, PARK J, AHN Y, et al. A programmable two-qubit quantum processor in silicon [J]. Nature, 2018, 555(8690): 633-637.
- [11] YONEDA J, TAKEDA K, OTSUKA T, et al. A quantum-dot spin qubit with coherence limited by charge noise and fidelity higher than 99.9% [J]. Nature Nanotechnol, 2018, 13(2): 102-106.
- [12] AKEDA K, NOIRI A, YONEDA J, et al. Resonantly driven singlet-triplet spin qubit in silicon [J]. Phys Rev Lett, 2020, 124(11): 7701.
- [13] ANDREWS R W, JONES C, REED M D, et al. Quantifying error and leakage in an encoded Si/SiGe triple-dot qubit [J]. Nature Nanotechnol, 2019, 7 (14): 747-750.
- [14] PETTA J R, JOHNSON A C, TAYLOR J M, et al. Coherent manipulation of coupled electron spins in semiconductor quantum dots [J]. Sci, 2005, 309 (5744): 2180-2184.
- [15] ONO K, MORI T, MORIYAMA S. Hightemperature operation of a silicon qubit [J]. Scientif

Rep, 2019, 9(1): 469.

- [16] URDAMPILLETA M, NIEGEMANN D J, CHANRION E, et al. Gate-based high fidelity spin readout in a CMOS device [J]. Nature Nanotechnol, 2019, 14(8): 737-741.
- [17] MAURAND R, JEHL X, KOTEKAR-PATIL D, et al. A CMOS silicon spin qubit [J]. Nature Commun, 2016, 7: 13575.
- [18] TENBERG S B, ASAAD S, MADZIK M T, et al. Electron spin relaxation of single phosphorus donors in metal-oxide-semiconductor nanoscale devices [J]. Phys Rev B, 2019, 205306.
- [19] HE Y, GORMAN S K, KEITH D, et al. A two-qubit gate between phosphorus donor electrons in silicon
 [J]. Nature , 2019, 571(7765): 371-375.
- [20] MUHONEN J T, LAUCHT A, SIMMONS S, et al. Quantifying the quantum gate fidelity of single-atom spin qubits in silicon by randomized benchmarking [J]. J Phys Conden Matt, 2015, 27(15): 154205.
- [21] SABBAGH D, THOMAS N, TORRES J, et al.
 Quantum transport properties of industrial ²⁸ Si/²⁸ SiO₂
 [J]. Phys Rev Appl, 2019, 12: 014013.
- [22] MAZZOCCHI V, SENNIKOV P G, BULANOV A D, et al. 99.992% ²⁸Si CVD-grown epilayer on 300 mm substrates for large scale integration of silicon spin qubits [J]. J Cryst Growth, 2019, 509: 1-7.
- [23] SIGILLITO A J, LOY J C, ZAJAC D M, et al. Site-selective quantum control in an isotopically enriched
 ²⁸Si/Si_{0.7}Ge_{0.3} quadruple quantum dot [J]. Phys Rev Appl, 2019, 11: 061006.
- [24] MI X, BENITO M, PUTZ S, et al. A coherent spinphoton interface in silicon [J]. Nature, 2018, 555 (7698): 599-603.
- [25] SAMKHARADZE N, ZHENG G, KALHOR N, et al. Strong spin-photon coupling in silicon [J]. Sci, 2018, 359(6380); 1123-1127.
- [26] LI R, PETIT L, FRANKE D P, et al. A crossbar network for silicon quantum dot qubits [J]. Sci Advan, 2018, 4(7): 3960.
- [27] VANDERSYPEN L M K, BLUHM H, CLARKE J S, et al. Interfacing spin qubits in quantum dots and donors - hot, dense and coherent [J]. NPJ Quant Inform, 2017, 3(1): 34.
- [28] VELDHORST M, EENINK H G J, YANG C H, et al. Silicon CMOS architecture for a spin-based quantum computer [J]. Nature Commun, 2017, 8 (1): 1766.

- [29] YANG C H, LEON R C C, HWANG J C C, et al. Operation of a silicon quantum processor unit cell above one kelvin. [J]. Nature, 2020, 580(7803): 350-354.
- [30] BERTRAND B, FLENTJE H, TAKADA S, et al. Quantum manipulation of two-electron spin states in isolated double quantum dots [J]. Phys Rev Lett, 2015, 115: 096801.
- [31] EZZOUCH R, APRA A, AMISSE A, et al. Gatereflectometry dispersive readout and coherent control of a spin qubit in silicon [J]. Nature Commun, 2019, 10: 2776.
- [32] DEVORET M H, WALLRAFF A, MARTINIS J M. Superconducting qubits: a short review [EB/OL]. https://arxiv.org/abs/cond-mat/0411174, 2004.
- [33] PATRA B, VAN DIJK J P G, SUBRAMANIAN S, et al. A scalable cryo-CMOS 2-to-20 GHz digitally intensive controller for 4 × 32 frequency multiplexed spin qubits/transmons in 22 nm FinFET technology for quantum computers [C] // IEEE ISSCC. San Francisco, CA, USA. 2020; 9063109.
- [34] CLARKE J. What it will take to make quantum computers practical [EB/OL]. https://newsroom. intel. com/editorials/ what-it-will-take-make-quantumcomputers-practical/ #gs. gz0ibg, 2019.
- [35] GUEVEL L L, CEA-LETI M, CEA I. A 110 mK 295

 μ W 28 nm FDSOI CMOS quantum integrated circuit with a 2.8 GHz excitation and nA current sensing of an on-chip double quantum dot [C] // IEEE ISSCC. San Francisco, CA, USA. 2020; 9063090.

- [36] WANG K, LI H O, LUO G, et al. Improving mobility of silicon metal-oxide-semiconductor devices for quantum dots by high vacuum activation annealing [J]. Euro Phys Lett, 2020, 130(2): 27001.
- [37] ZHANG X, HU R Z, LI H O, et al. Giant anisotropy of spin relaxation and spin-valley mixing in a silicon quantum dot [J]. Phys Rev Lett, 2020, 6: 257701.
- [38] ONO K, MORI T, MORIYAMA S. Hightemperature operation of a silicon qubit [J]. Scientif Rep, 2019, 9: 469
- [39] PETIT L, BOTER J M, EENINK H G J, et al. Spin lifetime and charge noise in hot silicon quantum dot qubits [J]. Phys Rev Lett, 2018, 121(7): 076801.
- [40] YANG C H, LEON R C C, HWANG J C C, et al. Operation of a silicon quantum processor unit cell above one Kelvin [J]. Nature, 2020, 580 (7803): 250-354.
- [41] PETIT L.EENINK H G J.RUSS M, et al. Universal quantum logic in hot silicon qubits [J]. Nature, 2020, 580 (7803): 355-359.

·半导体器件与工艺 ·

新型阶梯变掺杂 SiC 漂移阶跃恢复二极管

進彬,陈万军,高吴昊,夏 云,张柯楠,孙瑞泽(电子科技大学电子薄膜与集成器件国家重点实验室,成都 610054)

摘 要: 漂移阶跃恢复二极管(DSRD)一般应用于超宽带脉冲信号源,可以将纳秒级高压脉冲换 向负载,这对于输出脉冲的上升前沿有很高的要求。文章提出了一种具有基区变掺杂的新型宽禁 带材料漂移阶跃恢复二极管,将传统的基区掺杂变为阶梯式的浓度分布,基区内形成由浓度差导 致的内建电场,该内建电场在 DSRD 放电回路反向泵浦阶段调节载流子分布,并加速载流子抽取。 利用 Sentaurus TCAD 进行了器件电路联合仿真。结果表明,在具有相同峰值的电压情况下,新结 构器件的正向注入结束时空穴最大速度较传统结构提升了 29%,电压上升率为 19.7 kV/ns,较传 统结构(15.8 kV/ns)提升了 25%。新结构使反向泵浦阶段的时间降低,输出的电压脉冲前沿的上 升率更大,且工艺流程只需调节外延时的气体剂量,工艺上可实现。 关键词: 漂移阶跃恢复二极管;泵浦电路;碳化硅;内建电场;变掺杂

中图分类号:TN313⁺.7 文献标志码:A 文章编号:1004-3365(2021)01-0096-05 DOI:10.13911/j.cnki.1004-3365.200043

A Novel Silicon Carbide DSRD with Variable Doping in Base Region

QIAO Bin, CHEN Wanjun, GAO Wuhao, XIA Yun, ZHANG Kenan, SUN Ruize (State Key Lab. of Elec. Thin Films and Integr. Dev., Univ. of Elec. Sci. and Technol. of China, Chengdu 610054, P. R. China)

Abstract: Drift step recovery diodes (DSRD) are generally used in ultra-wideband pulse signal sources, which can reverse nanosecond-level high-voltage pulse to the load. However, DSRD have high requirements for the rising front edge of the output pulse. A novel wide band gap material step recovery diode with variable doping in the base region was proposed in this paper, in which the doping of the traditional base region would be changed into a stepwise concentration distribution. Built-in electric field was formed by concentration gradient in base region, which would adjust the carrier distribution during the reverse pumping phase of the DSRD discharge circuit and accelerate the carrier extraction. The joint simulation of the device-circuit was performed by Sentaurus TCAD. The results showed that the maximum structure hole velocity at the end of forward injection was increased by 29% compared with the traditional structure, and the voltage rise rate was 19.7 kV/ns, which was 25% higher than the traditional structure (15.8 kV/ns). The proposed structure reduced the time of the reverse pumping stage, and the voltage rise rate of the rising front edge of the output voltage pulse was larger, while the time was shorter. As for the process, only the gas dose of the epitaxial process needed to be changed, which could be realized.

Key words: drift step recovery diode; pump circuit; silicon carbide; built-in electric field; variable doping

收稿日期:2020-01-18; 定稿日期:2020-03-25

基金项目:四川省青年科技基金资助项目(2017JQ0020);中央高校基本科研业务费专项资金资助项目(ZYGX2016Z006) 作者简介:進 彬(1995—),男(汉族),陕西汉中人,硕士研究生,研究方向为脉冲功率器件。

0 引 言

漂移阶跃恢复二极管(Drift Step Recovery Diodes, DSRD)是一种新型高功率半导体开关器件,由 I. V. Grekhov 等人基于半导体离化波理论发明^[1],一般应用 于超宽带(Ultra-Wide Band,UWB)脉冲信号源,用于产 生高电压幅值、高瞬态功率及短脉冲前沿的电压脉冲 信号,脉冲信号能达到纳秒甚至皮秒级开关时间^[2]。 基于 DSRD 的脉冲功率源输出波形功率可达到几百兆 瓦,器件具有高效率、高可靠性、结构紧凑和重量轻等 特点,且脉冲输出重复频率可提高至几兆赫兹,因此在 多种脉冲信号源中被作为关键器件使用^[3]。

当前的脉冲功率技术向高功率、高重复频率、高 转换效率发展[4]。在几千伏甚至几十千伏的纳秒级 脉冲系统中,因单个高压硅基 DSRD 器件基区厚度 过大,单个硅基 DSRD 器件已无法满足脉冲前沿的 时间要求,需要将多个电压更低的硅基 DSRD 器件 串联使用,这极大增大了系统的体积。第一代、第二 代材料在半导体器件上的应用已经成熟,目前传统 材料在高温、高频、高压等方面遇到了瓶颈^[4]。第三 代半导体新型材料的应用是 DSRD 器件性能提高 的一个重要方向。宽禁带半导体碳化硅材料具有比 硅材料更大的禁带宽度和临界击穿电场、更高的饱 和载流子速度和热导率,使得碳化硅 DSRD 器件的 性能大大优于硅 DSRD。因此,在同等电压等级及 脉冲时间要求的脉冲系统中,碳化硅 DSRD 的串联 数量远小于硅 DSRD,极大地节省了系统的体积,使 器件能在更高频率下工作。

在碳化硅 DSRD 领域,俄罗斯的 loffe 研究所进 行了大量的工作。I. V. Grekhov 在 2003 年已经实 现了 400 V(前沿 4 ns)的脉冲^[5],之后 A. V. Afanasyev 成功实现了 1.7 kV(前沿 500 ps)的 SiC DSRD 器件^[6],V. A. Ilvin 等采用碳化硅 DSRD 器 件堆叠串联的方式先后实现了 10 kV(前沿 900 ps) 和 30 kV(前沿 1.6 ns)的脉冲^[7-8],P·A·Ivanov 通过商用外延工艺制备了碳化硅 DSRD 器件,并测 试分析了它的反向恢复特性及各种参数变化对脉冲 特性的影响^[9],还有国外学者研究分析了温度和注 入水平对非平衡载流子寿命的影响^[10]等。国内对 这方面的研究尚有一定的欠缺,目前仅中国电子科 技集团第十三研究所、西北核技术研究所、中国工程 物理研究院和华中科技大学等单位开展了相关研 究^[11],且大部分为硅基 DSRD,对碳化硅 DSRD 器 件的研究尚有欠缺。在相关器件的实际研究中需要 注意,受目前工艺水平的限制,碳化硅材料的载流子 迁移率和寿命较低^[12],使得常规碳化硅 DSRD 器件 在脉冲放电反向泵浦阶段的漂移速度为非饱和,少 数载流子空穴的抽取速度较慢,从而带来电压脉冲 前沿时间长、电压脉冲峰值低的问题,难以充分发挥 碳化硅材料的优势,在一定程度上限制了器件性能。 因此,需要提高少数载流子空穴的抽取速度,充分发 挥其材料优势,获得更好的性能。

1 阶梯变掺杂 SiC DSRD

SiC DSRD 器件是一种 P⁺ PNN⁺ 型的二极管, 其基本结构如图 1(a)所示。中间的 P 和 N 型薄掺 杂区用于存储电荷和反向耐压,首先向基区注入大 量非平衡载流子并形成等离子区,再在短时间内快 速抽取,使其空间电荷区快速扩展来快速关断,并在 器件两端形成一个电压尖峰。其中,少数载流子的 抽取速度决定了脉冲系统输出的电压脉冲前沿的脉 冲前沿时间、电压上升率。



受目前工艺水平的限制,碳化硅材料的载流子 迁移率和载流子寿命较低,且载流子在反向泵浦阶 段的漂移速度未达到饱和,存储的少数载流子空穴 的抽取速度较慢。因此,少数载流子空穴的抽取时 间是影响脉冲前沿时间的主要因素之一,若能更快 速地抽取少数载流子,就可以获得更窄的脉冲前沿 和更快的电压上升率。基于上述原因,提出了一种 基区变掺杂的 SiC DSRD,其结构类型如图 1(b)所 示。本文新结构对传统 SiC DSRD 的基区进行了改 造,引入了N型阶梯式变掺杂基区,其掺杂浓度在P 到 N 区方向上逐渐增大,同时可以采用更多的变掺 杂基区来实现这一结构,其掺杂浓度分布如图 1(c) 所示,主要目的是在 N 型基区内引入自上而下的内 建电场。在脉冲放电的反向泵浦阶段,N型基区内 的少数载流子空穴能被更快抽取,且更早被加速至 饱和速度,从而降低反向泵浦阶段的时间,使脉冲放 电回路中负载上形成的电压脉冲前沿的电压变化率 更大、时间更短。

2 器件电路联合仿真对比

2.1 DSRD 泵浦电路工作原理

DSRD 器件依靠外部的泵浦电路来产生高幅值 的窄脉冲。常规 DSRD 的驱动泵浦电路如图 2 所 示^[13]。其主要工作原理为:首先在正向注入阶段依 靠高速射频 MOS 开关 S_1 的短暂开启,电容 C_2 通 过 L_2 、 Q_1 和 DSRD 回路进行放电,使 DSRD 器件处 于正向导通区,向 DSRD 的基区注入大量少数载流 子,同时电感 L_1 也快速充电。当电流降为 0 时, S_1 恰好关断,电感 L_1 放电,与 L_2 、 C_2 和 DSRD 形成回 路,反向泵浦 DSRD,对 L_2 反向充电,此时器件仍处 于正向导通状态。当正向注入的电荷被消耗完时, DSRD 快速断开,通过 L_2 的电流切换至电容 C_3 和 负载 R_1 ,并瞬间产生一个高压脉冲^[14]。在此过程 中,当空间电荷区边界的移动速度达到饱和时, DSRD 将会超快速关断。

对于输出 10 kV 的 DSRD 泵浦电路,其主要的 仿真参数如表 1 所示。

2.2 SiC DSRD 瞬态特性

为了验证新结构的工作效果,根据相对于传统 碳化硅 DSRD 性能的提升程度,选择相同耐压均为 12 kV 的新型碳化硅 DSRD 器件与常规的碳化硅 DSRD 器件进行仿真对比。传统碳化硅 DSRD 器件 采用的基区掺杂浓度为 8e14 cm⁻³,厚度为 80 μm。 提出的新器件 N 型阶梯式变掺杂基区层数取 n=3, 基区的掺杂浓度自上而下分别为 1.5e15 cm⁻³、 1e15 cm⁻³和 2e14 cm⁻³,厚度对应为 30 μ m、30 μ m 和 20 μ m。载流子寿命取最大为 2 μ s^[15],两个器件 除了基区掺杂方式不同之外,器件尺寸和耐压值等 其他参数均相同,仿真采用的泵浦电路的参数也 一致。



图 2 常规 DSRD 泵浦驱动电路

表 1 泵浦电路仿真参数值

元件参数	数值	元件参数	数值	
L_1/nH	50	$R_{ m L}/\Omega$	100	
L_2/nH	40	$R_{ m bias}/{ m k}\Omega$	6.3	
C_1/nF	50	$V_{ m drian}/{ m V}$	600	
$C_2/\mu { m F}$	13.2	${V}_{ m bias}/{ m V}$	324	
$C_3/\mu { m F}$	6	$\Delta T/\mathrm{ns}$	55	

传统 SiC DSRD 器件应用在泵浦电路的仿真结 果如图 3 所示,反映了 SiC DSRD 器件在工作时内 部的电流变化及负载上电压变化。从图中可以看 出,整个器件的工作过程分为三个部分。在正向注 入后的 T一时间段内,随着时间的增大,注入的少数 载流子电子浓度随着时间逐渐下降,中性平衡状态 不能被维持,形成空间电荷区,并向器件阴极移动, 移动的速度受附近的等离子体密度和多数载流子速 度的影响,同时在 NN+边界处会出现双极漂移波, 快速向 PN 结处移动,其移动速度与等离子体的浓 度成反比。空间电荷区的边界与漂移波相遇时,电 子空穴发生碰撞,N-区均匀分布的载流子消失,空 间电荷区的电流中断,DSRD 超快速关断^[15]。此时 迅速形成了器件耗尽区,脉冲前沿 Δt 约 1 ns。



该器件在基区主要通过阶梯式变掺杂方式来改 变基区电场的分布,在提高基区的掺杂浓度的同时, 保证了器件的阻断电压。仿真对比了器件的静态耐 压,器件在耐压状态下的电场分布如图4所示。可 以看出,传统 DSRD 器件在耐压下为普通的三角分 布;而变掺杂结构通过提高靠近阴极区域掺杂区域 的浓度,使电场下降速度更快。



图 4 两种 DSRD 在耐压下的电场分布对比

器件在初始状态下(正向注入结束时)的内部载 流子速度分布如图 5 所示。可以看出,在同一时刻, 提出的新型碳化硅 DSRD 器件的 N 型基区内部靠 近 PN 结一侧的少数载流子空穴速度要大于常规器 件,远离 PN 结一侧的空穴速度虽然有所降低,但是 远离 PN 结一侧的空穴经过内建电场加速后,其被 抽取的速度更快。初始状态下的空穴浓度分布如图 6 所示。可以看出,由于掺杂浓度的提高,靠近 PN 结一侧的空穴数量有所下降,在不影响脉冲峰值的 情况下,抽取的载流子数量会更少。这使得总体的 少数载流子空穴能够被更快地抽取,从而降低了电 压脉冲前沿时间。



2.3 SiC DSRD 脉冲输出特性

为了分析最终的输出结果,仿真了器件的动态 特性,仿真的负载输出电压结果如图7所示。可以 看出,在耐压和输出电压相同的情况下,由于基区变 掺杂碳化硅 DSRD 的空穴速度可以被更快地加速 至其饱和速度,因此相对于传统碳化硅 DSRD 器 件,基区变掺杂碳化硅 DSRD 器件的电压脉冲前沿 时间更短,从而使对应的脉冲放电回路负载上形成 的电压脉冲前沿的电压变化率更大、时间更短。



图 7 两种 DSRD 的负载输出电压对比图

提出的新结构器件在正向注入结束时的空穴最 大速度较传统结构提升了 29%,其脉冲前沿约在 450 ps 左右,电压上升率为 19.7 kV/ns,相较于传 统的碳化硅 DSRD 器件提升了约 25%,器件能够更 快达到所设计的峰值电压。

3 结 论

本文主要提出了一种基区阶梯变掺杂的新型碳 化硅 DSRD 器件,并通过 Sentaurus TCAD 进行了 仿真验证。该器件通过外延条件的调整,把基区掺 杂变为阶梯式的浓度分布,器件基区内形成由浓度 差导致的内建电场,该内建电场可在 DSRD 放电回 路反向泵浦阶段调节载流子分布,并且加速载流子 被抽取,使反向泵浦阶段的时间降低,从而使得脉冲 放电回路中负载上形成的电压脉冲前沿的电压变化 率更大、时间更短。本文提出的 N 型阶梯式变掺杂 基区结构可以使用碳化硅外延工艺,改变传统碳化 硅 DSRD 外延时 N 型基区的气体剂量,工艺上可以 实现。

参 考 文 献:

- GREKHOV I V, MESYATS G A. Physical basis for high-power semiconductor nanosecond opening switches [J]. IEEE Trans Plasma Sci, 2000, 28(5): 1540-1544.
- [2] KESAR A S. A compact, 10-kV, 2-ns risetime pulsed-power circuit based on off-the-shelf components
 [J]. IEEE Trans Plasma Sci, 2018, 46(3): 594-597.
- [3] ARISTOV Y V, VORONKOV V B, GREKHOV I V, et al. Semiconductor formers of high-voltage pulses of nanosecond duration [J]. Instrum Exp Tech, 2007, 50(3): 350-352.
- [4] 张琦,金晓,宋法伦.漂移阶跃恢复二极管研究进展[J].真空电子技术,2019,339(2):12-17.
- [5] GREKHOV I V, IVANOV P A, KHRISTYUK D V, et al. Sub-nanosecond semiconductor opening switches

based on 4H-SiC $p^+ \, p_0 \, n^+$ -diodes [J]. Sol Sta Elec, 2003, 47(10): 1769-1774.

- [6] AFANASYEV A V, IVANOV B V, ILYIN V A, et al. Superfast drift step recovery diodes (DSRDs) and vacuum field emission diodes based on 4H-SiC [J]. Mater Sci Forum, 2013, 740-742: 1010-1013.
- [7] ILYIN V A, AFANASYEV A V, IVANOV B V, et al. High-voltage ultra-fast pulse diode stack based on 4H-SiC [J]. Mater Sci Forum, 2016, 858; 786-789.
- [8] ILYIN V A, AFANASYEV A V, DEMIN Y S, et al. 30 kV pulse diode stack based on 4H-SiC [J]. Mater Sci Forum, 2018, 924; 841-844.
- [9] IVANOV P A, KON'KOV O, SAMSONOVA T, et al. Electrical performance of 4H-SiC based drift step recovery diodes [J]. Mater Sci Forum, 2016, 858: 761-764.
- [10] AFANASYEV A V, IVANOV B V, ILYIN V A, et al. Temperature dependence of minority carrier lifetime in epitaxially grown p+-p--n+ 4H-SiC drift step recovery diodes [J]. Mater Sci Forum, 2015, 821: 632-635.
- [11] 王淦平,李飞,金晓,等.快速关断半导体开关工作特 性及实验研究 [J].强激光与粒子束,2020,32(2): 76-80.
- [12] 沈洪洋. SiC MOSFET 沟道电子迁移率的 Monte Carlo 模拟研究 [D]. 大连: 大连理工大学, 2009.
- [13] MERENSKY L M, KARDO-SYSOEV A F, SHMILOVITZ D, et al. Efficiency study of a 2.2 kV, 1 ns, 1 MHz pulsed power generator based on a driftstep-recovery diode [J]. IEEE Trans Plasma Sci, 2013, 41(11): 3138-3142.
- [14] 王亚杰,何鹏军,荆晓鹏,等. 基于 DSRD 陡前沿固态 脉冲源研制 [J]. 火控雷达技术,2017(3):53-57.
- [15] DAS M K, SUMAKERIS J J, HULL B A, et al. Evolution of drift-free, high power 4H-SiC PiN diodes
 [J]. Mater Sci Forum, 2006, 527: 1329-1334.
- [16] 黄志远. 基于固态开关器件的纳秒脉冲源设计 [D]. 成都: 电子科技大学, 2015.

一种抗总剂量辐照的新型 PD SOI 器件

李孟窈, 刘云涛, 蒋忠林

(哈尔滨工程大学信息与通信工程学院,哈尔滨150001)

摘 要: 提出了一种具有叠层埋氧层的新栅型绝缘体上硅(SOI)器件。针对 SOI 器件的抗总电 离剂量(TID)加固方案,对绝缘埋氧层(BOX)采用了叠层埋氧方案,对浅沟槽隔离(STI)层采用了 特殊 S 栅方案。利用 Sentaurus TCAD 软件,采用 Insulator Fixed Charge 模型设置固定电荷密 度,基于 0.18 µm CMOS 工艺对部分耗尽(PD)SOI NMOS 进行了 TID 效应仿真,建立了条栅、H 栅、S 栅三种 PD SOI NMOS 器件的仿真模型。对比三种器件辐照前后的转移特性曲线、阈值电压 漂移量、跨导退化量,验证了该器件的抗 TID 辐照性能。仿真结果表明,有 S 栅的器件可以抗 kink 效应,该 PD SOI NMOS 器件的抗 TID 辐照剂量能力可达 5 kGy。 关键词: STI; PD SOI NMOS; 总剂量辐照; S 栅体接触; kink 效应

 中图分类号:TN386
 文献标志码:A
 文章编号:1004-3365(2021)01-0101-05

 DOI:10.13911/j.cnki.1004-3365.200092

A PD SOI Device for Anti-Total Dose Irradiation

LI Mengyao, LIU Yuntao, JIANG Zhonglin

(The School of Information and Communication Engineering, Harbin Engineering University, Harbin 150001, P. R. China)

Abstract: A new gate type silicon on insulator (SOI) device with a laminated embedded oxygen layer was proposed. In the anti-total ionization dose (TID) reinforcement scheme for SOI devices, the buried oxygen scheme for buried oxide (BOX), and the special S-gate scheme for STI layer were adopted. Based on Sentaurus TCAD software and Insulator Fixed Charge model, the fixed charge density was set. Base on a 0.18 μ m CMOS process, the TID effect simulation of the PD SOI NMOS was proposed, and three kinds of PD SOI NMOS simulation models of strip-gate, H-gate and S-gate was established. By comparing the transfer characteristic curves, the threshold voltage drift and the transconductance degradation before and after irradiation of three devices, the anti-TID irradiation performance of the device were verified. The simulation results showed that the device with S-gate could resist kink effect, and anti-TID radiation dose of the PD SOI NMOS devices could reach 5 kGy.

Key words: STI; PD SOI NMOS; total dose irradiation; S-gate contact; kink effect

0 引 言

SOI MOS 器件采用了全介质隔离方式,避免了 PN 结隔离引起的高温泄漏电流、高隔离区比例等 问题,降低了泄漏电流随温度的漂移^[1]。MOS 管的 源漏结面积很小,可完全消除体硅器件中的寄生闩 锁效应,在抗单粒子效应和抗剂量率方面具有优 势^[2]。SOI器件还具有功耗低、速度高、制作简单等 优点,特别适用于低压、低功耗、短沟道器件领域^[3]。 SOI器件的独特优势使其在抗 TID 辐照加固方面 受到关注^[4]。

收稿日期:2020-03-06;定稿日期:2020-04-24

基金项目:黑龙江省自然科学基金资助项目(JJ2018ZR1021)

作者简介:李孟窈(1996—),女(汉族),山东潍坊人,硕士研究生,研究方向为抗辐射模拟集成电路设计。

刘云涛(1980—),男(汉族),黑龙江哈尔滨人,博士,副教授,研究方向为模拟/数模混合集成电路设计。

TID 效应对半导体器件的损害机理是在氧化物 P. 中形成氧化物陷阱电荷,从而形成界面陷阱电荷。 P. 氧化物与半导体材料界面处的正电荷增加,导致漏电流增大、阈值电压漂移和跨导退化等^[5]。SOI 器件包含栅氧层、STI 层和 BOX 层等氧化层,这些氧化层一定程度上均会受 TID 辐照的影响^[6]。在 0.25 μm

及以下节点工艺中,栅氧层的厚度小于 10 nm,辐照对 阈值电压漂移量的影响很小,TID 辐照所致的栅氧 层陷阱电荷对性能的影响可忽略不计^[7]。因此, STI 层和 BOX 层厚度缩减有限成为了器件受 TID 辐照退化的主要原因。

本文针对 SOI 器件的 BOX 层、STI 层进行了 抗 TID 辐照加固,提出了一种具有叠层埋氧层的新 栅型(称为 S 栅) SOI NMOS 器件。该 S 栅器件可 抗高剂量的 TID 辐照,避免了宽长比设计限制(传 统环栅)、版图面积过大(H 栅)等缺点。利用器件 仿真软件 Sentaurus TCAD 对基于 0.18 µm CMOS 工艺的条栅、H 栅、S 栅三种 PD SOI 器件进行了 TID 效应仿真,对比了辐照前后的电特性,给出了 H 栅、S 栅的抗 TID 辐照机理解释,验证了 S 栅器 件的抗 kink 效应性能。

1 器件仿真

通过 Synopsys Sentaurus TCAD 器件仿真软件,构建 3D 物理仿真器件模型。器件建模的仿真 参数如表1所示。

参数	数值					
	条栅	Η 栅	S 栅			
沟道长度/µm	0.18	0.18	0.18			
沟道宽度/ μ m	0.36	0.36	0.36			
多晶硅厚度/μm	0.1	0.1	0.1			
栅氧厚度/ μ m	0.005	0.005	0.005			
硅膜厚度/ μ m	0.16	0.16	0.16			
牺牲层厚度/ μ m	-	0.01	0.01			
BOX 层厚度/µm	0.06	0.06	0.06			
源/漏掺杂浓度/cm ³	1×10^{20}	1×10^{20}	1×10^{20}			
衬底掺杂浓度/cm ³	4×10^{17}	4×10^{17}	4×10^{17}			

表1 器件建模的仿真参数

三种器件的关键参数相同。模拟仿真中,添加 的物理模型有:载流子速度饱和效应模型、肖特莱产 生-复合模型、载流子迁移率模型、禁带变窄效应模 型、绝缘体固定电荷模型。利用绝缘体固定电荷模 型,采用固定电荷密度的方式模拟 TID 效应在 SOI NMOS 器件中的作用^[8]。条栅、H 栅、S 栅 SOI NMOS 的 3D 结构分别如图 1、2 和 3 所示。



图 1 条栅 SOI NMOS 的 3D 结构



图 2 H 栅 SOI NMOS 的 3D 结构



图 3 S 栅 SOI NMOS 的 3D 结构

2 仿真结果与分析

将 3D 物理模型中的栅氧层、STI 层、BOX 层定 义为 Sentaurus TCAD 中的"Oxide"材料,则可将绝 缘体固定电荷模型应用于氧化层与半导体材料界面 处。分别设置 8 个不同的正固定电荷密度 Q 来模 拟仿真 0~5 kGy 的辐射剂量。定义条件 1~8 对应 的 Q 值分别为 3.5×10^{10} , 0.5×10^{12} , 1.0×10^{12} , 1.5×10^{12} , 2.0×10^{12} , 2.5×10^{12} , 3.0×10^{12} , 3.5×10^{12} cm⁻²。条件 1 等同于无辐射环境, 3.26×10^{12} cm⁻² 对应的 Q 值等同于 5 kGy 的伽马射线^[9]。为了更 好地证明新型 PD SOI NMOS 器件的抗 TID 辐照 特性,仿真所设置的最高正固定电荷密度为 3.5×10^{12} cm⁻²,即条件 8。

2.1 BOX 层加固

针对 BOX 层采用叠层埋氧加固方案,即在埋氧 层与硅膜层之间增加一个牺牲层。BOX 层的加固 结构如图 4 所示。辐照后,牺牲层内会产生大量的 负电荷,它们与辐照后的埋氧层中的固定正电荷相 互抵消,减弱了辐照后的阈值电压漂移量,改善了亚 阈值斜率,减小了关态泄漏电流,达到抗 TID 效应 的目的^[10]。



图 4 BOX 层的加固结构

仿真时,构建无 STI 的条栅 SOI NMOS3D 模型,设置栅氧层厚度为5 nm。通过在不同位置设置 不同的固定电荷密度,以模拟 TID 的辐照作用。无 STI 的条栅 SOI NMOS 辐射前后的特性转移曲线 如图 5 所示。

可以看出,辐照前后的特性转移曲线基本重合, 没有影响。因此,可以忽略 TID 效应对栅氧层、 BOX 层的影响,而主要考虑 TID 效应对 STI 层的 影响。

2.2 STI 加固

为更好说明新型 S 栅的抗辐照性能,增加了传统 H 栅 SOI NMOS 器件作对比。漏极电压为 5 V, 栅极偏置电压为-1~5 V。



图 5 无 STI 的条栅 SOI NMOS 辐射前后的转移特性曲线

2.2.1 漏电流的分析

不同固定电荷密度下条栅 SOI NMOS 的转移

特性曲线如图 6 所示。可以看出,条栅 SOI NMOS 的关态漏电流随固定电荷密度的增大而迅速增大, 在条件 8 时,关态漏电流几乎等于开态电流。这说 明,随着辐照剂量增大,传统条栅 SOI NMOS 不能 完全关闭,导致器件失效。开态漏电流随着固定电 荷密度的增大而稍有上升。因此,TID 效应对传统 条栅 SOI NMOS 漏电流的影响较大。



图 6 不同固定电荷密度下条栅 SOI NMOS 的转移特性曲线

不同固定电荷密度下 H 栅 SOI NMOS 的转移 特性曲线如图 7 所示。可以看出,H 栅 SOI NMOS 的转移特性曲线几乎重合,即在条件 8 时,仍没有对 器件产生影响,器件内没有产生寄生漏电路径。原 因是,H 栅 SOI NMOS 额外引入了两条长栅,将 STI 与通电路径完全隔离,使有源区间的电流只能 从超薄栅氧层流过。因此,该器件具有很强的抗 TID 性能^[11]。



图 7 不同固定电荷密度下 H 栅 SOI NMOS 的转移特性 曲线

不同固定电荷密度下 S 栅 SOI NMOS 的转移 特性曲线如图 8 所示。



图 8 不同固定电荷密度下 S 栅 SOI NMOS 的转移特性 曲线

可以看出,S栅 SOI NMOS 在条件 8 时的关态 漏电流稍有上升,开态电流基本无变化。这表明,S 栅 SOI NMOS 可达到的抗 TID 辐照剂量为5 kGy。 对比图 7 和图 8 可知,S栅 SOI NMOS 的抗 TID 效 应能力不如传统 H 栅强,但 H 栅 SOI NMOS 的版 图面积大。因此,在非超高辐照环境下,S栅 SOI NMOS 具有更好的抗 TID 性能。 2.2.2 阈值电压和跨导的提取和分析

利用 Synopsys Sentaurus TCAD 中的 Inspect 工具,分别对三种 SOI NMOS 在不同固定电荷密度 下提取了阈值电压和跨导。三种器件不同固定电荷 密度下辐照前后的阈值电压漂移量、阈值电压漂移 量百分比、跨导漂移量、跨导漂移量百分比分别如表 2~表5 所示。

可以看出,随着固定正电荷密度的逐步增加,三种器件的阈值电压和跨导均负向漂移。在条件8时,条栅器件的阈值电压漂移量百分比为50.467%,误差大;H栅器件的阈值电压漂移量百分比为50.467%,误差大;H栅器件的阈值电压漂移量仅为9.423%,跨导漂移量仅为7.453%,误差很小。这表明,TID效应对传统条栅器件的阈值电压、跨导的影响很大,对H栅器件和S栅器件的阈值电压、跨导的影响很大,对H栅器件和S栅器件的阈值电压、跨导的影响很大,对H栅器件和S栅器件的阈值电压、跨导的影响很大,对H栅器件和5栅器件的阈值电压、跨导的影响均很小。新型S栅 SOI NMOS 器件的抗 TID 辐照剂量能力为5 kGy。

表 2 不同固定电荷密度下辐照前后的阈值电压漂移量

器件结构	阈值电压漂移量/V							
	条件 1	条件 2	条件 3	条件 4	条件 5	条件 6	条件 7	条件 8
条栅 PD SOI	1.135	0.959	0.763	0.559	0.510	0.422	0.379	0.330
H 栅 PD SOI	1.179	1.177	1.173	1.172	1.171	1.168	1.167	1.167
S 栅 PD SOI	1.178	1.109	1.107	1.105	1.102	1.100	1.090	1.067

表 3 不同固定电荷密度下辐照前后的阈值电压漂移量百分比

器件结构	阈值电压漂移量百分比/%							
	条件 1	条件 2	条件 3	条件 4	条件 5	条件 6	条件 7	条件 8
条栅 PD SOI	0	15.507	32.778	50.749	55.066	62.819	66.607	70.925
H 栅 PD SOI	0	0.001	0.005	0.006	0.006	0.009	0.010	0.010
S 栅 PD SOI	0	5.857	6.027	6.197	6.452	6.621	7.470	9.423

表 4 不同固定电荷密度下辐照前后的跨导漂移量

器件结构		跨导漂移量/mS						
	条件1	条件 2	条件 3	条件 4	条件 5	条件 6	条件 7	条件 8
条栅 PD SOI	0.000 535	0.000 417	0.000 292	0.000 288	0.000 284	0.000 282	0.000 270	0.000 265
H 栅 PD SOI	0.000 311	0.000 304	0.000 301	0.000 300	0.000 298	0.000 297	0.000 292	0.000 288
S 栅 PD SOI	0.000 322	0.000 314	0.000 308	0.000 307	0.000 307	0.000 306	0.000 300	0.000 298

表 5 不同固定电荷密度下辐照前后的跨导漂移量百分比

器件结构		跨导漂移量百分比/%						
	条件 1	条件 2	条件 3	条件 4	条件 5	条件 6	条件 7	条件 8
条栅 PD SOI	0	22.056	45.420	46.168	46.916	47.290	49.533	50.467
H 栅 PD SOI	0	2.251	3.215	3.537	4.180	4.502	6.109	7.395
S 栅 PD SOI	0	2.484	4.348	4.658	4.658	4.968	6.832	7.453

2.3 kink 效应

本文所用仿真模型的沟道浓度为 4×10^{17} cm⁻³, 栅下最大耗尽区的宽度则为 0.05 μ m,本文所用 SOI 器件为部分耗尽(PD)SOI 器件。PD SOI 器件 在栅压较低时会出现 I_d -V_d 曲线末端翘曲现象,即 kink 效应,导致漏跨导、漏极电流增大,从而降低增 益,严重影响器件性能。S 栅结构通过将体引出端 的 p⁺区接地,使碰撞电离产生的空穴不在中性体区 积累而由体引出端引走,有效消除了 kink 效应。

 $V_{g} = 2$ V 时 SOI NMOS 器件在有、无 S 栅时的 I_{d} - V_{d} 曲线如图 9 所示。可以看出,未加 S 栅结构 时,曲线末端明显有翘曲现象,呈现 kink 效应,而 S 栅栅结构则有效抑制了 kink 效应。



图 9 SOI NMOS 器件在有、无 S 栅时的 Id-Vd 曲线

3 结 论

本文提出了一种具有叠层埋氧层的抗总剂量辐 照加固 S 栅 PD SOI NMOS 器件。在 BOX 层与硅 膜层之间叠加牺牲层,利用牺牲层产生的负电荷抵 消 BOX 层产生的固定正电荷,达到加固的目的;利 用 S 栅的超薄栅氧层隔离 STI 层与有源区,实现对 STI 层的加固。结果表明,具有叠层埋氧层的 S 栅 PD SOI NMOS 通过对 STI 层和 BOX 层的加固设 计,使泄漏电流、阈值电压和跨导等参数的漂移量均 很小,器件抗 TID 辐照剂量的能力达 5 kGy。S 栅 器件与 H 栅器件相比,抗 TID 辐照的能力稍弱。但 是,S 栅器件的版图面积更小,器件宽长比的设计不 受限,且能有效抑制 kink 效应。因此,本文的 S 栅 PD SOI NMOS 的抗辐照性能优良,具有良好的应

用前景。

参 考 文 献:

- [1] 徐海铭,洪根深,吴建伟,等.抗辐射高压 SOI 埋氧
 总剂量效应研究 [J]. 电子与封装,2019,19(1):
 43-45.
- [2] SIMOEN E, GAILLARDIN M, PAILLET P, et al. Radiation effects in advanced multiple gate and siliconon-insulator transistors [J]. IEEE Trans Nucl Sci, 2013, 60(3): 1970-1991.
- [3] 文林,李豫东,郭旗,等. 深亚微米 N 沟道 MOS 晶体管的总剂量效应[J]. 微电子学,2015,45(5):666-669.
- [4] ROH Y T, LEE H C. Layout modification of a PD-SOI n-MOSFET for total ionizing dose effect hardening
 [J]. IEEE Trans Elec Dev, 2019, 66(1): 308-315.
- [5] LI C, MIKHAILOV M M, NESHCHIMENKO V V. Radiation stability of SiO₂ micro-and nanopowders under electron and proton exposure [J]. Nucl Instrum & Method Phys Res Sect B: Beam Interact Mater & Atom, 2014, 319(15): 123-127.
- [6] ESQUEDA I S, BARNABY H J, HOLBERT K E, et al. Modeling of ionizing radiation-induced degradation in multiple gate field effect transistors [J]. IEEE Trans Nucl Sci, 2011, 58(2): 499-505.
- [7] BARNABY H J. Total-ionizing-dose effects in modern CMOS technologies [J]. IEEE Trans Nucl Sci, 2006, 53(6): 3103-3121.
- [8] 彭超,雷志锋,张战刚,等.基于 TCAD 的绝缘体上 硅器件总剂量效应仿真技术研究 [J].电子学报, 2019,47(8):1755-1761.
- [9] LEE M S, LEE H C. Dummy gate-assisted n-MOSFET layout for a radiation-tolerant integrated circuit [J]. IEEE Trans Nucl Sci, 2014, 60 (4): 3084-3091.
- [10] 刘文, 郝志华, 黄如. 一种抗总剂量辐照的 SOI 器件 及其制造方法 [P]. CN101859783A, 2012-05-30.
- [11] WANG Q Q, LIU H X, WANG S L, et al. Total ionizing dose effect of gamma rays on H-gate PDSOI MOS devices at different dose rates [J]. Nucl Sci &. Techniq, 2017, 28(10): 151-155.
基于 RF MEMS 开关的交指型可切换 带通滤波器设计

韩路路^{1,2,3,4}, 吴倩楠^{1,3,4,5}, 王姗姗^{1,2,3,4}, 范丽娜^{1,3,4,6}, 李孟委^{1,2,3,4}
(1. 中北大学 南通智能光机电研究院, 江苏 南通 226000; 2. 中北大学 仪器与电子学院, 太原 030051;
3. 中北大学 前沿交叉科学研究院, 太原 030051; 4. 中北大学 微系统集成研究中心, 太原 030051;
5. 中北大学 理学院, 太原 030051; 6. 中北大学 信息与通信工程学院, 太原 030051)

摘 要: 为了有效解决信号/频谱分析仪等微波测试仪器尺寸较大、信号损耗高、选通切换效率 差等问题,将射频 MEMS 开关引入交指型可切换滤波器结构中。通过 MEMS 四掷开关选择具有 不同中心频率的交指型谐振器,实现在 6~14 GHz 内四个频率的射频信号切换过滤。利用 HFSS 电磁波仿真软件对滤波结构的几何参数进行优化计算,得到四个可切换频率的插入损耗,分别为 1.26 dB @6.86 GHz、1.03 dB @9.16 GHz、1.23 dB @11.78 GHz、1.07 dB @12.26 GHz,整体面 积约为 7.95 mm³。与其他可切换滤波器相比,该可切换滤波器将 MEMS 四掷开关与交指型谐振 器集成到一起,具有低插损、小尺寸、高集成度等优点。

关键词: 微机电系统开关;可切换滤波器;交指型谐振器;带通滤波器
 中图分类号:TN713.5
 文献标志码:A
 文章编号:1004-3365(2021)01-0106-06
 DOI:10.13911/j.cnki.1004-3365.200228

Design of an Interdigital Switchable Bandpass Filter Based on RF MEMS Switch

HAN Lulu^{1,2,3,4}, WU Qiannan^{1,3,4,5}, WANG Shanshan^{1,2,3,4}, FAN Lina^{1,3,4,6}, LI Mengwei^{1,2,3,4}
(1. Nantong Institute of Intelligent Opto-Mechatronics, North Univ. of China, Nantong, Jiangsu 226000, P. R. China; 2. School of Instrum. and Elec., North Univ. of China, Taiyuan 030051, P. R. China; 3. Academy for Advanced Interdisciplinary Res., North Univ. of China, Taiyuan 030051, P. R. China; 4. Center for Microsystem Intergration, North Univ. of China, Taiyuan 030051, P. R. China; 5. School of Science, North Univ. of China, Taiyuan 030051, P. R. China; 6. School of Inform. and Commun. Engineer, North Univ. of China, Taiyuan 030051, P. R. China)

Abstract: In order to effectively solve the problems of large size, high signal loss and poor switching efficiency of microwave test instruments such as signal or spectrum analyzer, RF MEMS switches were applied to optimize the structure of MEMS interdigital switchable filter. The interdigital resonators with different center frequencies were selected through MEMS four-throw switches to realize the switching of four frequencies in the range of 6 to 14 GHz. The insertion loss of the four switchable frequencies obtained by optimizing calculation which used to calculate the geomemtric parameters of the filtering structure through HFSS were 1.26 dB @6.86 GHz, 1.03 dB @9.16 GHz, 1.23 dB @11.78 GHz and 1.07 dB @12.26 GHz respectively. The overall area was about 7.95 mm³. Compared with other switchable filters, this filter integrated MEMS four-throw switches with interdigital resonators, and had the advantages of low insertion loss, small size, and high integration.

Key words: MEMS switch; switchable filter; interdigital resonator; bandpass filter

作者简介:韩路路(1995—),女(汉族),河北石家庄人,硕士研究生,从事射频器件设计和测试研究工作。 李孟委(1975—),男(汉族),陕西西安人,教授,主要从事 MEMS 技术等方面的研究工作。通信作者。

收稿日期:2020-05-24;定稿日期:2020-06-17

基金项目:国家自然科学基金资助项目(61705200);新品项目(2018NW0026);中北大学青年学术带头人资助项目 (QX201905);双百工艺攻关资助项目(JCKY2018408B006)

0 引 言

带通滤波器(BPF)是一类允许所需微波信号通 过而抑制其他杂波干扰的电子元器件^[1]。传统带通 滤波器的参数具有优异的性能^[2-3]。随着通信系统 的飞速发展,传统带通滤波器已不能适应多频段复 杂通信系统的需求^[4]。可切换带通滤波器因能任意 选择过滤杂散或无用信号而大幅降低了系统尺寸和 复杂性,适用于多通信协议的复用要求^[5-6]。

常见的可切换滤波器 [^{9-12]}等。传统可切换滤波器 [^{7-8]}、MEMS 可切换滤波器 [^{9-12]}等。传统可切换滤波器的研究 [^{7-13]}虽相对成熟,但存在结构尺寸大、结构复杂、损耗高、集成度低等缺点。文献 [7]提出一种小型化基于 MEMS 技术的片上集成开关滤波技术,滤波器的可切换中心频率分别为 7.00 GHz、 8.00 GHz、9.00 GHz,但尺寸较大、集成度低、插损大。文献 [9]研制了一种基于射频 MEMS 开关的开环型可切换滤波器,可切换频段分别为 7.81 GHz、 8.35 GHz,但尺寸较大、插损大。

针对插损大、尺寸大的问题,本文设计了一种体积小、插损低的可切换带通滤波器。

1 交指型可切换滤波器设计

1.1 MEMS 四掷开关设计

本文设计的可切换滤波器通过 MEMS 四掷开 关,实现中心频率的切换。MEMS 四掷开关由 MEMS 开关、功分器组成。本文 MEMS 四掷开关 采用欧姆接触式 MEMS 开关^[14],其等效电路如图 1 所示。*Z*_{epw}为共面波导(CPW)等效阻抗,*R*_s 为开关 闭合时的电阻,*C*_s 为开关断开时悬臂梁与 CPW 信 号线形成的耦合电容。



采用直板结构作为 MEMS 四掷开关的悬臂梁, 直板状悬臂梁具有结构简单、易加工的特点。为了 便于释放牺牲层和减小 MEMS 四掷开关的导通电 压,在悬臂梁设计了若干释放孔。本文采用星型功 分器与 MEMS 开关结合的方法,实现输出信号的选 择。MEMS 四掷开关的结构图和 HFSS 仿真曲线 如图 2 所示。



图 2 MEMS 四掷开关的结构图和仿真曲线

1.2 交指型谐振器设计

将阶跃阻抗谐振器(SIR)应用到交指型谐振器 中,作为基于 MEMS 开关的交指型可切换滤波器的 谐振单元。SIR 交指型可切换滤波器的 HFSS 仿真 曲线如图 3 所示。



图 3 SIR 交指型谐振器的 HFSS 仿真曲线

SIR 分为 $\lambda_g/4$ 型 $\lambda_g/2$ 型 λ_g 型。本文选择 $\lambda_g/4$ 型 SIR,它具有体积小、第二通带中心位于3 倍频处的特点。 $\lambda_g/4$ 型 SIR 由开路端与短路端通过阻抗阶跃结合面串联组成,开路端等效阻抗与等效电长度分别为 Z_1 、 θ_1 ,短路端等效阻抗与等效电长度分别为 Z_2 、 θ_2 。 $\lambda_g/4$ 型 SIR 的结构如图 4 所示。



图 4 $\lambda_g/4$ 型 SIR 的结构示意图

忽略谐振器的边缘电容,输入阻抗为:

$$Z_i = -jZ_1 \frac{Z_1 \tan \theta_1 + Z_2 \tan \theta_2}{Z_1 - Z_2 \tan \theta_1 \tan \theta_2}$$
(1)

设导纳 $Y_i = 1/Z_i = 0$,即可得到 $\lambda_g/4$ 型 SIR 的 谐振条件:

$$\tan\theta_1 \tan\theta_2 = \frac{Z_1}{Z_2} \tag{2}$$

可知,谐振条件与 θ_1 、 θ_2 以及 Z_1/Z_2 有关。 $\lambda_g/4$ 型 SIR 的总电学长度为:

$$\theta_{\mathrm{TA}} = \theta_1 + \theta_2 = \theta_1 + \arctan\left(\frac{Z_1}{Z_2 \tan \theta_1}\right) \tag{3}$$

与均匀阻抗谐振器(开路端宽度与短路端宽度 相等)的电长度($\pi/2$)相比,SIR 的归一化谐振器长 度 $L_n = 2 \frac{\theta_{TA}}{\pi}$ 。

交指型谐振器分为终端开路式和终端短路式。 交指型谐振器是由两组带状传输线谐振器交错排列 组成^[2,3,15]。谐振器两端有两个对称的 50 Ω 传输 线,作为谐振器的输入、输出信号端。交指型谐振器 的结构如图 5 所示。 W_i 代表第 i 节交指的宽度, L_i 代表第 i 节交指的长度, $S_{i,i+1}$ 代表谐振器的第 i 节 交指与第 i+1 节交指之间的间隔, $i=0,1,\dots,m$ 。 对于窄带交指型谐振器,第 1 到第 m 节的交指均为 谐振器,第 0 节和第 m+1 节的交指与外电路进行 馈电,起阻抗变化的作用,不是谐振器。

本文采用耦合参数全波提取法,选择切比雪夫 型滤波器模型,交指型谐振器的节数 *m* 为^[16]:

$$m \ge \frac{\ln\left(\frac{2p}{q}\right) - \operatorname{arcosh}\left(\frac{w_1}{w_s}\right)}{\operatorname{arcosh}\left(\frac{\sqrt{1+w_1^2}}{\sqrt{1+w_s^2}}\right)} + 1 \tag{4}$$



式中, $p = 10^{L_s/20}$; $q = \sqrt{10^{L_t/10} - 1}$; $w_1 = \tan(\pi f_1/(2f_0))$; $w_s = \tan(\pi f_s/(2f_0))$; L_s 为阻带衰减值; L_t 为通带纹波; f_0 为谐振器中心频率; f_1 为通带截止 频率; f_s 为所需阻带衰减频率。

确定 *m* 后,通过查表法^[17]得到各电导值 σ。由 电导值得到耦合强度系数 *K* 和外部 *Q* 值^[18]:

$$K_{i,i+1} = \frac{BW}{f_0 \sqrt{\sigma_i \sigma_{i+1}}}, \ i=1,2,\cdots,m$$
(5)

$$\boldsymbol{Q}_{\mathrm{el}} = \frac{f_0 \sigma_0 \sigma_1}{BW}, \boldsymbol{Q}_{\mathrm{em}} = \frac{f_0 \sigma_m \sigma_{m+1}}{BW}$$
(6)

式中,BW为通带带宽。

利用文献[19]近似得到交指的宽度 W'和交指的间距 S',交指的长度 L'则为:

$$L' = \frac{\lambda_0}{4} = \frac{c}{4f_0\sqrt{\varepsilon}} \tag{7}$$

式中,λ。为波长;ε为相对电容率。

1.3 可切换滤波器设计

本文设计的交指型可切换滤波器由 2 个 MEMS 四掷开关和 4 个不同频带的交指型谐振器 组成。通过控制 MEMS 四掷开关的选通状态,实现 不同工作频带的选择,原理图如图 6 所示。



图 6 基于射频 MEMS 开关的交指型可切换滤波器原理图

交指型可切换滤波器采用 MEMS 工艺制作,由 衬底和金属结构组成。该可切换滤波器采用共面波 导形式进行微波信号的传输,输入、输出端的特征阻 抗为 50 Ω,结构如图 7 所示。对每个交指型谐振器 的尺寸、数量进行优化,获得具有不同工作频段的滤 波器。本文设计中,L₁₄、L₁₅、L₁₆、L₁₇分别代表第一、 第二、第三、第四通道的交指谐振器中短路支节的长 度。为了方便优化,短路支节的宽度、高阻抗支节的 长度等参数均保持一致。基于 MEMS 开关的交指 型可切换滤波器的结构参数如表 1 所示。



图 7 基于 MEMS 开关的交指型可切换滤波器结构

表 1 基于 MEMS 开关的交指型可切换滤波器的结构参数

参数	设计值	参数	设计值	参数	设计值
$L_1/\mu{ m m}$	2 710	$W_1/\mu{ m m}$	408	$W_9/\mu{ m m}$	30
$L_2/\mu{ m m}$	1 000	$W_{2}/\mu{ m m}$	433	$L/\mu{ m m}$	3 600
$L_3/\mu{ m m}$	1 000	$W_3/\mu{ m m}$	415	$W/\mu{ m m}$	4 400
$L_4/\mu{ m m}$	1 340	$W_4/\mu{ m m}$	366	$a/\mu{ m m}$	40
$L_5/\mu{ m m}$	45	$W_5/\mu{ m m}$	206	$b/\mu{ m m}$	25
$L_6/\mu{ m m}$	20	$W_6/\mu{ m m}$	34	$S_1/\mu{ m m}$	10
$L_{13}/\mu \mathrm{m}$	30	$W_7/\mu{ m m}$	30	$S_2/\mu{ m m}$	13
$L_{14}/\mu{ m m}$	369	$W_8/\mu{ m m}$	312	$S_{\scriptscriptstyle 3}/\mu{ m m}$	20

2 可切换滤波器的传输特性分析

本文建立交指型带通可切换滤波器的结构模型,利用 HFSS 电磁波仿真软件对参数进行扫描,优 化滤波器性能。利用 ADS 软件计算端口特征阻抗为 50 Ω时的 CPW 尺寸,中间信号线宽度 a 为 40 μ m,信 号线与地线的间隔 b 为 25 μ m。为了设计性能优良 的交指型可切换滤波器,对交指型可切换滤波器的 各参数进行优化。以下介绍对衬底材料、交指数量、 交指长度等结构参数的优化。

2.1 衬底材料对传输响应的影响

对于第一通道可切换滤波器,不同衬底材料对 传输响应 S₂₁的影响如图 8 所示。可以看出,衬底材 料直接影响谐振频率,而对插入损耗影响不大。中 心频率从小到大相对应的衬底材料分别是高阻硅衬 底(silicon,相对电容率为 11.9)、氧化铝(Al₂O₃,相 对电容率为 9.8)、玻璃(glass,相对电容率为 5.5)、 高硼硅玻璃(BF33,相对电容率为 4.6)、二氧化硅 (SiO₂,相对电容率为 4)。可知,衬底材料的相对电 容率增加,滤波器的谐振频率随之减小。因此,高阻 硅材料的衬底更能满足高性能、小体积的设计要求。



2.2 交指数量对传输响应的影响

交指数量 m_1 对 S_{21} 的影响情况如图 9 所示。 可以看出, m_1 对中心频率、带外抑制的影响较大、对 插入损耗的影响较小。保持其他参数不变,当 m_1 从 13 变化到 23 时,中心频率降低。另外, m_1 对曲 线波动的影响较大。本文选择 $m_1 = 21$,此时的中心 频率较低、曲线波动最小、带外抑制较好。



2.3 交指长度对传输响应的影响

交指长度 L₁₄对 S₂₁的影响如图 10 所示。结果 表明,改变 L₁₄对谐振频率、插入损耗均有影响。不 适宜的交指长度会使滤波参数波动。保持其他参数 不变,当 L_{14} 从320 μ m以15 μ m步进增加至380 μ m时,中心频率降低。本文选择 L_{14} =365 μ m,此时的滤波性能稳定、插损较低。



图 10 交指长度对 S21的影响

3 模拟仿真与分析

利用 HFSS 高频电磁场仿真软件进行仿真计 算,第一、第二、第三、第四通道交指型可切换滤波器 的 S 参数仿真结果如图 11 所示。可以看出,四个通 道的中心频率分别为 6.86 GHz、9.16 GHz、11.78 GHz、12.26 GHz,插入损耗分别为 1.26 dB @6.86 GHz、1.03 dB @9.16 GHz、1.23 dB @11.78 GHz、 1.07 dB @12.26 GHz,回波损耗分别为 22.2 dB @ 6.86 GHz、24.1 dB @9.16 GHz、20.1 dB @11.78 GHz、22.8 dB @12.26 GHz。

表 2 所示为本文与其他文献中可切换滤波器的 参数比较。与其他文献相比,本文基于 MEMS 开关 的交指型可切换带通滤波器具有插入损耗小、切换 频段宽、尺寸小、集成度高的优点。







表 2 本文与其他文献中可切换滤波器的参数比较

文献	工作频 率/GHz	插入损 耗/dB	回波损 耗/dB	可切换 类型	面积/ mm ²
文献[8]	0.90	3.00		PIN 二极管	3 104
	2.35	3.00	-		
文献[10]	8.00	5.00	10	MEMS 开关	900
	9.00	5.00			
	10.0	5.00			
文献[9]	7.81	3.40	>16	MEMS 开关	425
	8.35	3.40	/ 10		120
= =					
文献[7]	7.00	3.30	-	PIN二极管	156
	8.00	3.30			
	9.00	4.60			
文献[13]	0.90	1.40	_	结构	2 800
	1.08	1.30			
本文	6.86	1.26	22	MEMS 开关	15.84
	9.16	1.03	24		
	11.78	1.23	20		
	12.26	1.07	23		

4 结 论

本文分析了可切换滤波器的结构与工作原理, 设计了一种体积小、损耗低、可切换性强的基于 MEMS 开关的交指型可切换滤波器。该可切换滤 波器中,四个不同形状交指型谐振器分别与四掷开 关输出端级联组成,不同形状的交指型谐振器对应 不同的中心频率,利用开关控制谐振器选通状态,实 现频率调谐。仿真结果表明,在 6~14 GHz 工作频 率下,该滤波器性能良好。基于 MEMS 开关的交指 型可切换带通滤波器可应用于多频复杂通信系统, 在实现信道选择、镜像抑制、双工、多通道通信等方 面具有重要价值。

参考文献:

- [1] 高瑞平,曹良足.带宽恒定的电调带通滤波器 [J]. 压 电与声光,2020,42(1):12-15.
- [2] 郭泽岩,郭锋,孟祥翰,等.一种用于石英音叉光声检 测的前置带通滤波器 [J]. 压电与声光,2020,42(3): 390-393.
- [3] 翟琼华, 欧毅, 薛晨阳, 等. 一种硅基 MEMS 微波 SIR 交指带通滤波器 [J]. 微电子学, 2017, 47(1): 14-17.
- [4] 刘秋慧,韩跃平,吴倩楠,等.一种三频带微带带通滤 波器的设计[J].中北大学学报,2019,40(3): 276-280.
- [5] 沈育贵. 基于 MEMS 的滤波器研究 [D]. 天津: 天津 大学, 2013: 1-8.
- [6] HWANG B M, SANG H L, LIM W T, et al. A fast spatial-domain terahertz imaging using block-based compressed sensing [J]. J Infrar, Millimeter & Tera-Hertz Wave, 2011, 32(11): 1328-1336.
- [7] 侯芳,王文岩,刘梓枫,等.片上集成三通道 MEMS 开关滤波技术 [C] // 全国微波毫米波会议.沈阳,中 国. 2018: 876-879.
- [8] CHUANG M L, WU M T. Switchable dual-band filter with common quarter-wavelength resonators [J]. IEEE Trans Circ & Syst II: Expr Bri, 2015, 62(4): 347-351.
- [9] ZHANG N B, MEI L R, WANG C T, et al. A switchable bandpass filter employing RF MEMS switches and open-ring resonators [J]. IEEE Trans Elec Dev, 2017, 64(1): 1-7.

- [10] SHOJAEI-ASANJAN D, MANSOUR R R. The Sky's the limit: a switchable RF-MEMS filter design for wireless avionics intracommunication [J]. IEEE Microwave Mag, 2017, 18(1): 100-106.
- [11] KUMAR N, KUMAR Y. RF-MEMS-based bandpass to bandstop switchable single and dual-band filters with variable FBW and reconfigurable selectivity [J]. IEEE Trans Microwave Theo & Techniq, 2017, 65(10): 3824-3837.
- [12] CHAN K Y, RAMER R, MANSOUR R R. A switchable iris bandpass filter using RF MEMS switchable planar resonators [J]. IEEE Microwave & Wireless Compon lett, 2017, 27(1): 34-36.
- [13] LU D, YU M, BARKER N S, et al. A simple and general method for filtering power divider with frequency fixed and frequency-tunable fully canonical filtering response demonstrations [J]. IEEE Trans Microwave Theo & Techniq, 2019, 67 (5): 1812-1825.
- [14] LI M W, LIU Q H, WU Q N, et al. Broadband radio frequency MEMS series contact switch with low insertion loss [J]. Microsys Technol, 2019, 25(5): 1619-1625.
- [15] 翟琼华. 硅基 MEMS 微波带通滤波器的设计及制备 [D]. 太原:中北大学, 2016:14-15.
- [16] 黄慰. 交指型带通滤波器的设计与研究 [D]. 成都: 西南交通大学, 2004: 14-15.
- [17] 甘本祓, 吴万春. 现代微波滤波器的结构与设计 [M]. 北京:科学出版社, 1973: 105-200.
- [18] SHENG H J. Microstrip filters for RF/ microwave applications [M]. New York: Wiley, 2001: 235-271.
- [19] WONG J S. Microstrip tapped-line filter design [J].
 IEEE Trans Microwave Theo & Techniq, 1979, 27 (1): 44-50.

强电场下亚微米 ESD 注入型 NMOS I_{DT}-V_{GS} 微分负阻现象研究

刘玉奎¹,殷万军¹,谭开洲^{1,2},崔 伟^{1,2}

(1. 中国电子科技集团公司 第二十四研究所, 重庆 400060;2. 模拟集成电路国家重点实验室, 重庆 400060)

摘 要:采用优化 ESD 注入条件改善了 NMOS 器件结构。对该亚微米 ggNMOS ESD 防护电 路单元进行了传输线脉冲 TLP 法测试。测试结果表明,优化后的多插指通道保护结构的静电释放 电流均匀性得到改善。对该 ESD 注入型 NMOS 输出特性的研究发现,在强场下漏极电流 I_{DT} 是一 种复合电流,随着栅源电压超过阈值 V_{GS0} ,它会呈现 I_{DT} - V_{GS} 微分负阻现象。从 MOS-Bipolar 复合 模式下的碰撞电离和 Snapback 效应两方面对 I_{DT} - V_{GS} 微分负阻现象进行了理论分析。研究结果可 用于优化 CMOS/BiCMOS IC 的 ESD 设计。

关键词: 微分负阻;碰撞电离; MOS-Bipolar 复合模式;静电释放
 中图分类号:TN386
 文献标志码:A
 文章编号:1004-3365(2021)01-0112-04
 DOI:10.13911/j.cnki.1004-3365.200322

Study on Differential Negative Resistance of Submicron ESD-Implanted NMOS I_{DT} - V_{GS} Under High Electric Field

LIU Yukui¹, YIN Wanjun¹, TAN Kaizhou^{1, 2}, CUI Wei^{1, 2}

The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China;
 Science and Technology on Analog Integrated Circuit Laboratory, Chongqing 400060, P. R. China)

Abstract: The structure of NMOS device was improved by optimizing ESD implanted process parameters. The submicron ggNMOS ESD protection circuit unit was tested by transmission line pulse TLP method. The test results showed that the uniformity of electrostatic discharge current was improved after the optimization. The study of the output characteristics of the ESD-implanted NMOS showed that the drain terminal current I_{DT} was a compound current, and it exhibited I_{DT} - V_{GS} differential negative resistance phenomenon under high electric field when gate-source voltage V_{GS} was more than the threshold value V_{GS0} . The theoretical analysis of I_{DT} - V_{GS} differential negative resistance phenomenon from impact ionization and snapback effect at MOS-Bipolar hybrid mode were presented. The research results of this paper could be used to optimize ESD design of CMOS/BiCMOS IC.

Key words: negative differential resistance effect; impact ionization; MOS-Bipolar hybrid mode; ESD

0 引 言

在亚微米 CMOS/BiCMOS 工艺中,薄栅氧、低 漏极击穿电压使 NMOS 器件成为最易发生 ESD 失

效的单元。NMOS 的抗静电释放能力成为电路 ESD性能关键指标。NMOS 中的寄生 LNPN 结构 能有效增加 ESD 泄放通道。NMOS 器件结构简 单、工艺兼容性优良,已被广泛用于 IC 的片上 ESD 保护^[1]。ESD 保护型 NMOS 器件的版图常采用多

收稿日期:2020-07-14; 定稿日期:2020-08-24

基金项目:重庆市科委基金资助项目(scc2019jscx-fxyd0178)

作者简介:刘玉奎(1966—),男(汉族),四川宜宾人,硕士,高级工程师,从事模拟 IC 工艺、异质集成工艺技术研究。

叉指通道布局。为了最大程度发挥器件 ESD 保护性能,尽量将 ESD 泄放电流均匀流过多叉指通道。 有文献从器件结构和电路布局方面来改善性能。比如,采用 ESD 注入技术^[2]、镇流电阻调制技术^[3]、栅 耦合(gcNMOS)^[4]、栅偏置^[5]和衬底嵌位^[6]。

本文在对 ESD 注入型 NMOS 的研究中发现, 在输出特性测试过程中,在强电场作用下,NMOS 器件的漏极电流 *I*_{DT}是一种复合电流,*I*_{DT}随着栅源 电压增大呈 *I*_{DT}-*V*_{Gs}微分负阻现象。

1 实验结果与 IDT-VGS 微分负阻现象

ESD 注入 NMOS 的剖面如图 1 所示。P 型外 延电阻率为 15 Ω ・cm,厚度为 15 μ m,源/漏欧姆接 触区注入浓度为 1×10²⁰ cm⁻³。优化的 N 型 ESD 注入条件为:磷,65 keV,1.2×10¹⁵ cm⁻²。标准单 元宽度为 10 μ m,有效沟道长度为 0.56 μ m,栅氧厚 度为 13.5 nm。ESD 注入型 NMOS 加工工艺完成 后,采用 CMP 工艺抛光,采用 W-plug 工艺进行金 属化。寄生横向 NPN 双极晶体管由 NMOS 源(发 射极)、P 外延(基极)和 NMOS 漏(集电极)构成。



图 1 ESD 注入型 NMOS 的剖面图

1.1 ggNMOS 单元的 TLP 测试

ggNMOS单元用于 IC 的输入、输出 I/O ESD 保护,ggNMOS 的静电泄放能力比其他 ESD 器件 稍差^[7]。本次实验中,ESD NMOS 样品的 ESD 设 计要求为 5.5~11.7 V,需达到 HBM 8 kV 的 ESD 保护能力。采用 Barth4002 TLP 测试系统,对 ESD 注入型 NMOS 样品(栅沟道宽度 60×20 μ m)多叉 指通道单元作定量评估测试。源极、栅极、衬底端均 接地,扫描漏极电压,直至器件发生二次击穿。测试 结果表明,优化后,该 NMOS 达到 ESD 防护要求。 ESD 注入型 ggNMOS 的 TPL 测试结果曲线及测 试结果分别如图 2、表 1 所示。可以看出,在 ESD 防 静电 HBM 模型中,人体的等效放电电阻为 1 500 Ω, HBM 击穿电压为(I_{12} ×1 500 Ω),即 12 kV 以上。



图 2 ESD 注入型 ggNMOS 的 TLP 测试结果曲线

表 1 ESD 注入型 ggNMOS 的 TLP 测试结果

参数	ggNMOS1	ggNMOS2
$V_{ m tl}/{ m V}$	9.27	9.25
$I_{ m t1}/ m A$	0.088	0.089
$V_{ m h}/{ m V}$	5.84	5.83
$I_{ m h}/{ m A}$	0.132	0.121
$V_{\mathfrak{t}2}/\mathrm{V}$	14.29	14.72
I_{t2}/A	8.44	8.81
$\mathrm{HBM/kV}$	>8	>8

优化的 ESD 注入型 NMOS 与具有相同有效沟 道长度的 LDD 型 NMOS 相比,其 ESD 静电泄放电 流能更均匀地流过多叉指通道,ESD 性能明显 改善。

1.2 ESD 注入型 NMOS 的输出特性测试

在满足 $BV_{DS} \ge 8.5$ V 的条件下,对该 ESD 注入型 NMOS 的输出特性进行分析。采用 HP4155 半导体测试仪测试样品($W = 10 \ \mu m$)的输出特性。源极、衬底端均接地,固定漏极电压,栅电压从 0 V 扫描到 5 V(正常的栅工作范围)。

ESD 注入型 NMOS 的工作过程分为以下两个 阶段。

第一阶段为寄生横向 NPN 型(LNPN)管处于 截止状态,测试结果曲线如图 3 所示。可以看出,随 着漏极电压增大,衬底电流相应增大。固定漏极电 压 V_D为 5 V,当 V_{sub}(V_{sub}=I_{sub}×R_{sub})低于源-衬底 结开启电压时,寄生 LNPN 管处于截止状态,衬底 电流随栅偏置电压的增大呈先增大后下降的趋势, 即为 MOS 管常见的"钟形"曲线。漏极电流主要为 MOS 管的漏极沟道电流,其随栅电压的增大而持续 增大。



图 3 寄生 LNPN 管截止状态下 ID-Vgs和 Isub-Vgs关系

第二阶段为寄生 LNPN 管处于正向放大状态, 测试结果曲线如图 4 所示。可以看出,漏极电压继 续增大,衬底电流快速增大。V_{sub}大于源-衬底结的 开启电压,寄生 LNPN 管处于正向放大状态。这是 一个正反馈过程,在固定漏极电压时,衬底电流随栅 偏置电压的增大呈先快速增大后跃变到峰值的趋 势,随着栅电压的增大,衬底电流减小。与寄生 LNPN 管的截止状态相比,寄生 LNPN 管在放大状 态时的衬底电流峰值增加了 2 个数量级。



图 4 寄生 LNPN 管正向放大状态下 Isub - Vgs关系

随着漏极电压增大,器件在更低栅压下发生击穿。漏极复合电流 I_{DT}随栅压的增大呈现 I_{DT}-V_{gs}微分负阻现象,I_{DT}-V_{gs}曲线如图 5 所示。

器件发生雪崩击穿后,衬底电流随着栅压增大 而不再呈"钟形"曲线,而是呈与漏极复合电流一样 的"镰刀形"曲线。漏极电压增高,衬底电流 I_{sub}与 I_{DT}随栅电压的增大而缓慢下降。



图 5 寄生 LNPN 管正向放大状态下 IDT-Vgs关系

比较图 4 和图 5 发现,随着 V_{gs} 和 V_{D} 的增加, I_{sub} 与 I_{DT} 的比值与寄生 LNPN 管的状态密切相关。 寄生 LNPN 管为截止状态时, $I_{D}/I_{sub} \approx 1 \times 10^{3}$,寄生 LNPN 管为正向放大状态, $I_{DT}/I_{sub} \approx 10$ 。这表明, 在 MOS-Bipolar 复合工作模式下,漏极复合电流的 主要部分不是流过沟道的源漏电流 I_{D} 。以下从理 论对 I_{DT} - V_{gs} 微分负阻现象进行分析。

2 理论分析

在强电场作用下,栅偏置 ESD 注入型 NMOS 出现了 *I*_{DT}-*V*_{gs} 微分负阻现象。原因是在 MOS-Bipolar 复合工作模式^[8]下存在碰撞电离和 Snapback效应。ESD 注入型 NMOS 的等效电路模 型如图 6 所示。



图 6 强电场下 ESD 注入型 NMOS 的等效电路模型

亚微米 MOS 的特征尺寸小于 1 μm。在强电 场下,载流子获得高能量后与晶格碰撞,通过电离产 生了电子-空穴对。产生的电子可被吸引到势能较 高的漏极而加入漏极电流,或注入到栅氧层。产生 的空穴在 P 型衬底中是多数载流子,不会发生积 累,可很快被吸引到电势较低的源极、衬底区域,形 成寄生衬底电流,引起局部的电势波动,使器件性能 退化。但是,这种效应有利于器件进入 MOS-Bipolar 复合工作模式。

衬底电流经过衬底时,衬底电阻上产生的电压 降 V_{bs}为:

$$V_{\rm bs} = I_{\rm sub} \left(R_{\rm sub} + R_{\rm ext} \right) - V_{\rm SB} \tag{1}$$

设衬底外部电阻 $R_{ext} = 0$ Ω, 源-衬底结电压 $V_{SB} = 0$ V。即使 V_{bs} 小于源极(发射极 E)与衬底(基 极 B)结的开启电压,源区也会向衬底注入电流 I_e :

$$I_{e} = I_{0} \left(\exp \frac{V_{bs}}{V_{t}} - 1 \right)$$
 (2)

式中, I。为源-衬底结反向饱和电流, V, 为热电势。

当衬底电流产生的电压降 $V_{bs} \ge V_{on}$ (源-衬底结 开启电压,为 0.8 V)时,在强电场作用的 MOS-Bipolar 复合模式下,漏区中碰撞电离产生的空穴电 流 I_b 为:

$$I_{\rm h} = (M-1) \left(I_{\rm D} + k \gamma \alpha_{\rm T} I_{\rm e} \right) \tag{3}$$

式中,*M*为雪崩倍增因子,γ为源区到衬底的注入效 率系数,α_T为寄生 LNPN 晶体管基区输运系数,*k*为 进入漏极强场区碰撞电离的电子数与被漏极区收集 的总电子数之比。衬底电流为:

$$I_{\rm sub} = I_{\rm h} - (1 - \gamma \alpha_{\rm T}) I_{\rm e} \tag{4}$$

$$I_{\rm DT} = M(I_{\rm D} + k\gamma \alpha_{\rm T} I_{\rm e}) + (1 - k)\gamma \alpha_{\rm T} I_{\rm e}$$
(5)

式中, I_D为漏极沟道电流。在这个正反馈过程中, I_{DT}迅速增大。

发射极电流 I。为:

$$I_{\rm e} = \frac{(M-1) I_{\rm D} R_{\rm sub} - V_{\rm bs}}{[1 - \gamma \alpha_{\rm T} - (M-1) k \gamma \alpha_{\rm T}] R_{\rm sub}}$$
(6)

在产生碰撞电离条件下,雪崩倍增因子满足:

$$M = 1 + (1 - \gamma \alpha_{\rm T}) / (k \gamma \alpha_{\rm T}) \tag{7}$$

此时, I_e 达到极大值,漏极电流也达到峰值。从 式(6)可知,MOS-Bipolar 复合工作模式下 I_{DT} 不是 流过的沟道电流 I_D ,而是集电极电流 $I_C (I_C = \gamma \alpha_T I_e)^{[9]}$ 。因此, $I_{DT} \approx \gamma \alpha_T I_e$ 。

另一方面,衬底电流产生的电压降提高了沟道 下方区域的电势,产生反衬偏效应,使阈值电压降低,这也增加了 *I*_{DT}。

衬底电流 I_{sub} 为^[10]:

$$I_{\rm sub} \approx \frac{A_{\rm i}}{B_{\rm i}} \ell k \gamma_{\alpha \rm T} I_{\rm e} E_{\rm m} \exp(-\frac{B_{\rm i}}{E_{\rm m}})$$
(8)

式中,A_i、B_i为常数。

漏区最大电场强度 E_m为^[9]:

$$E_{\rm m} = \sqrt{\frac{(V_{\rm D} - V_{\rm sat})^2}{\ell^2} + E_{\rm sat}^2}$$
(9)

式中,V_{sat}为饱和漏电压。

器件的工艺几何参数为[10]:

$$\ell^2 = \frac{\varepsilon_{\rm Si}}{\varepsilon_{\rm ox}} x_{\rm ox} x_j \tag{10}$$

式中,x_{ox}为栅氧厚度,x_i为源-漏结深。

根据式(9)、(10)可知,强电场下栅压增大,饱和 漏电压 V_{sat}相应增大,V_D恒定时漏区的最大电场强 度减小,漏区雪崩倍增因子相应减小,导致 I_{sub}与 I_{DT}同时降低。因此,I_{DT}-V_{gs}曲线呈特殊的"镰刀形" 曲线,即呈微分负阻现象。

另一方面,漏端电压越高,栅压增大, *I*_{sub}和 *I*_{DT} 的下降速率越缓。原因是, *V*_D-*V*_{sat}的变化随着漏极 电压的增加而增大, 对漏区最大电场强度的影响不 显著。

3 结 论

本文通过对 ESD 注入型 NMOS 的工艺优化, 有效改善了 ggNMOS 的多叉指通道 ESD 保护单元 的泄放电流分布的均匀性。从 MOS-Biploar 复合 工作模式角度,对该器件强电场下呈现的 *I*_{DT}-*V*_{gs}微 分负阻现象进行了理论分析。今后将针对器件的 ESD 可靠性与 *I*_{DT}-*V*_{gs}微分负阻之间的内在关系作 进一步研究。该研究结果可用于优化 CMOS/ BiCMOS IC 的 ESD 设计。

参考文献:

- DUVVURY C. ESD: design for IC chip quality and reliability [C] // Proceed IEEE 1st ISQED. San Jose, CA, USA. 2000: 251-259.
- [2] VASHCHENKO V A, CONCANNON A, TER BEEK M, et al. ESD-implant effect on protection capabiliy of NMOS structures [C] // Proc ESSDERC. Estoril, Portugal. 2003; 565-568.
- [3] KER M D, CHEN W Y, SHIEH W T, et al. New ballasting layout schemes to improve ESD robustness of I/O buffers in fully silicided CMOS process [J]. IEEE Trans Elec Dev, 2009, 56(12): 3149-3159.
- [4] DUVVURY C. ESD protection device issues for IC designs[C] // IEEE CCIC. San Diego, CA, USA. 2001: 41-48.
- [5] CHEN J, AMERASEKERA A, DUVVURY C. Design methodology and optimization of gate-driven nMOS ESD protection circuits in submicron CMOS processes [J]. IEEE Trans Elec Dev, 1998, 45(12): 2448-2456.

(下转第120页)

一种隐埋缓冲掺杂层高压 SBD 器件新结构

高闻浩,孙启明,冉晴月,简 鹏,陈文锁

(重庆大学 电气工程学院 输配电装备及系统安全与新技术国家重点实验室,重庆 400044)

摘 要:提出了一种新型隐埋缓冲掺杂层(IBBD)高压 SBD 器件,对其工作特性进行了理论分析 和模拟仿真验证。与常规高压 SBD 相比,该 IBBD-SBD 在衬底上方引入隐埋缓冲掺杂层,将反向 击穿点从常规结构的 PN 结保护环区域转移到肖特基势垒区域,提升了反向静电释放(ESD)能力 和抗反向浪涌能力,提高了器件的可靠性。与现有表面缓冲掺杂层(ISBD)高压 SBD 相比,该 IBBD-SBD 重新优化了漂移区的纵向电场分布形状,在保持反向击穿点发生在肖特基势垒区域的 前提下,进一步降低反向漏电流、减小正向导通压降,从而降低了器件功耗。仿真结果表明,新器 件的击穿电压为 118 V。反向偏置电压为 60 V时,与 ISBD-SBD 相比,该 IBBD-SBD 的漏电流降 低了 52.2%,正向导通电压更低。

关键词: 肖特基势垒二极管;击穿电压;漏电流;正向导通压降
 中图分类号:TN386.3
 文献标志码:A
 文章编号:1004-3365(2021)01-0116-05
 DOI:10.13911/j.cnki.1004-3365.200204

A New High Voltage SBD with Improved Buried Buffer Doped Structure

GAO Wenhao, SUN Qiming, RAN Qingyue, JIAN Peng, CHEN Wensuo

(State Key Laboratory of Power Transmission Equipment and System Security and New Technology, School of Electrical Engineering, Chongqing University, Chongqing 400044, P. R. China)

Abstract: A novel buried buffer doped layer (IBBD) high voltage SBD was presented, and its operating characteristics were analyzed theoretically and verified by simulation. Compared with the conventional high-voltage SBD, the IBBD-SBD introduced a buried buffer doping layer above the substrate to transfer the reverse breakdown point from the PN junction protection ring area of the conventional structure to the Schottky barrier area, which improved the reverse electrostatic discharge (ESD) ability and anti-reverse surge ability, and improved the reliability of the device. Compared with the existing surface buffer doped layer (ISBD) high-voltage SBD, IBBD-SBD reoptimized the longitudinal electric field distribution in the drift zone, and further reduced the reverse leakage current and the forward guide pass pressure drop while keeping the reverse breakdown point occurring in the Schottky barrier area, thus reduced the device power consumption. Simulation results showed that the breakdown voltage of the new device was 118 V. When the reverse bias voltage was 60 V, compared with ISBD-SBD, the leakage current of the IBBD-SBD was reduced by 52.2%, and the forward voltage drop was lower.

Key words: Schottky barrier diode; breakdown voltage; leakage current; forward voltage drop

收稿日期:2020-05-10;定稿日期:2020-05-25

基金项目:模拟集成电路国家重点实验室基金项目(6142802200510);中央高校基本科研业务费项目(2020CDJ-LHZZ-076, 2019CDXYDQ0009);重庆市自然科学基金资助项目(cstc2020jcyj-msxmX0272)

作者简介:高闻浩(2000—),男(汉族),河北玉田人,本科,研究方向为功率电子技术。 陈文锁(1981—),男(汉族),河北衡水人,博士(后),副研究员,研究方向为微电子技术。通信作者。

0 引 言

半导体功率整流器(即功率二极管)是一种重要的功率器件,广泛应用于各类电力电子电路中。功 率整流器具有改善电力电子电路性能、降低电路功 耗和提高电源使用效率等特点,因此研究具有良好 性能的功率整流器非常迫切^[1-4]。

功率整流器包括 PN 结整流二极管(PIN)和肖 特基势垒二极管(SBD)两种结构。SBD 具有低的正 向压降、可接受的反向漏电和非常小的反向恢复时 间,可用于低压应用^[5-7]。高压 SBD 基于低压 SBD 结构,增加了 PN 结保护环,使反向击穿电压突破 100 V。对于常规 10 A/100 V 高压 SBD 工艺,肖特 基势垒厚度为 0.1 µm 数量级。反向偏置时,击穿 点总是首先发生于 PN 结保护环区域。另一方面, SBD 的结构中,PN 结保护环面积只占芯片面积的 5%,绝大部分面积为肖特基势垒区域。因此,在反 向静电释放(ESD)、过压冲击的条件下,瞬态大电流 易使器件烧毁、失效^[8]。

为了提高高压 SBD 的 ESD 能力和抗反向浪涌 能力,文献[9]提出了表面缓冲掺杂层高压 SBD (ISBD-SBD)结构,该结构将高压 SBD 的反向击穿 点从常规结构的 PN 结保护环区域转移到肖特基势 垒区域,但增加了反向漏电流。针对上述问题,本文 提出了一种新型隐埋缓冲掺杂层高压 SBD(IBBD-SBD)结构。采用理论分析和模拟仿真验证相结合 的方法,研究了 IBBD-SBD 新结构的工作特性。

1 IBBD-SBD 结构及工作原理

1.1 结构特征

常规高压 SBD 器件(C-SBD)的结构如图 1 所示。



图 1 常规 SBD 结构

C-SBD 的阳极一侧由肖特基接触区、P+保护环

区、氧化层和阳极电极组成。耐压区由 N 型漂移区 承担,通过常规外延工艺形成。C-SBD 阴极一侧由 较厚的 N⁺衬底和阴极电极组成。

ISBD-SBD 结构如图 2 所示。与 C-SBD 相比, ISBD-SBD 在肖特基接触区下方增加了表面缓冲掺 杂层。IBBD-SBD 结构如图 3 所示。与 C-SBD 和 IBBD-SBD 相比,新结构在紧邻 N⁺衬底上方引入了 一层隐埋缓冲掺杂层。



图 2 ISBD-SBD 结构



图 3 IBBD-SBD 结构

1.2 工作原理

ISBD-SBD 在肖特基势垒表面下方引入高浓度 N型 ISBD 区,通过降低肖特基势垒区纵向耐压的 方式,将反向偏置击穿点从常规结构的 PN 结保护 环区域转移到肖特基势垒区域。该结构存在的问题 有:1)高浓度 N型 ISBD 区使金属-半导体结的反向 漏电流大幅增加;2)外延厚度不变的情况下,受电离 积分的影响,电场强度在高浓度 N型 ISBD 区中出 现峰值,电场的快速降低使击穿电压减小。

与现有 ISBD-SBD 相比,新结构 IBBD-SBD 通 过在 N⁺ 衬底上方引入重掺杂的 N型 IBBD 区,减 小了外延层的有效厚度,重新优化了漂移区的纵向 电场分布,降低了肖特基势垒区的纵向耐压。因此, 将反向偏置击穿点从常规结构的 PN 结保护环区域 转移到肖特基势垒区域。一方面,肖特基接触区下 方没有高浓度 N型 ISBD 区,所以反向漏电流较低; 另一方面,在靠近 N⁺ 衬底层增加高浓度 N型 IBBD 区,使外延层有效厚度减小,反向耐压态较低电场强 度一侧的厚度随之减小。因此,进一步优化了反向 击穿电压与正向导通电压之间的约束关系。

2 仿真结果与分析

2.1 仿真结果

采用 TCAD 软件 MEDICI 对 C-SBD、ISBD-SBD 和 IBBD-SBD 三种高压 SBD 进行了模拟仿真。

沿肖特基接触区纵向方向 C-SBD、ISBD-SBD 和 IBBD-SBD 漂移区的杂质浓度分布如图 4 所示。 与 C-SBD 相比, ISBD-SBD 在肖特基势垒表面下方 引入高浓度 N型 ISBD 区, IBBD-SBD 在 N⁺衬底上 方引入重掺杂 N型 IBBD 区。



图 4 C-SBD、ISBD-SBD 和 IBBD-SBD 漂移区的杂质浓度 分布

C-SBD、ISBD-SBD 和 IBBD-SBD 三种高压 SBD 反向击穿点的电流线分布分别如图 5、图 6、图 7 所示。可以看出,C-SBD 的击穿点发生在 PN 结保护环区域,ISBD-SBD、IBBD-SBD 的击穿点发生在面积较大的肖特基势垒接触区。







沿肖特基接触区纵向方向 C-SBD、ISBD-SBD 和 IBBD-SBD 三种高压 SBD 反向击穿态漂移区的电场分布如图 8 所示。



图 8 C-SBD、ISBD-SBD 和 IBBD-SBD 反向击穿态漂移区的 电场分布

C-SBD的击穿点发生在 PN 结保护环区,其漂移区电场强度并没有达到临界电场,总体强度较小。 ISBD-SBD的表面引入了高浓度 N型 ISBD 区域, 电场强度在表面附近出现尖锐的峰值分布,仍然满 足电场击穿要求的电离积分条件,漂移区的总体电 场强度较小。IBBD-SBD新结构的击穿点发生在肖 特基接触区,表面处的电场强度达到临界大小,漂移 区的总体电场强度最大。因此,虽然 IBBD-SBD 减 小了外延层有效厚度,但因重新优化了漂移区纵向 电场分布形状,击穿电压仍然很高。

C-SBD、ISBD-SBD 和 IBBD-SBD 的反向工作特 性如图 9 所示。可以看出,ISBD-SBD 和 IBBD-SBD 的肖特基接触区纵向击穿电压为 118 V,比 C-SBD 的击穿电压(126 V)小。反向偏置电压为 60 V 时, IBBD-SBD 的漏电流($2.2 \times 10^{-5} \text{ A/cm}^2$)比 ISBD-SBD 的漏电流($4.6 \times 10^{-5} \text{ A/cm}^2$)降低了 52.2%。



图 9 C-SBD、ISBD-SBD 和 IBBD-SBD 的反向工作特性

C-SBD、ISBD-SBD 和 IBBD-SBD 的正向工作特 性如图 10 所示。因为 IBBD-SBD 引入了隐埋缓冲 掺杂层,有效漂移区长度减小,降低了导通电阻、正 向导通电压。这些特性与理论分析相符合。



图 10 C-SBD、ISBD-SBD 和 IBBD-SBD 的正向工作特性

2.2 关键参数的工艺容差分析

IBBD-SBD 的隐埋缓冲掺杂层是在 N⁺型 As 衬

底上通过高浓度 P 选择性注入、退火形成的,外延 工艺本身具有非常高的工作温度,所以 IBBD 区的 形成不需要额外的热过程。

IBBD 的引入优化了肖特基势垒接触区的纵向 电场分布,IBBD 与 PN 结保护环区需要保持一定的 距离。如图 3 所示,IBBD 与 P+之间的距离 L 是新 结构器件的关键结构设计参数。间距 L 对 IBBD-SBD 的反向工作特性、正向工作特性的影响分别如 图 11、12 所示。可以看出,关键参数 L 具有非常大 的工艺容差,这对实际制造工艺非常有好处。







图 12 间距对 IBBD-SBD 正向工作特性的影响

3 结 论

本文针对 C-SBD 和 ISBD-SBD 的问题,提出了 一种 IBBD-SBD 新结构。对新结构的反向耐压特 性、正向导通特性进行了理论分析,通过模拟仿真对 器件性能进行了验证。与现有 ISBD-SBD 相比, IBBD-SBD 重新优化了漂移区的纵向电场分布形 状,在保持反向击穿点发生在肖特基势垒区域的前 提下,大幅降低了反向漏电流,减小了正向导通压降。该新型高压 IBBD-SBD 兼具低损耗、高可靠的优点。

参考文献:

- SLASSI A, SOROKIN P B, PERSHIN A. ohmic/ Schottky barrier engineering in metal/SnP₃ hetero structures [J]. J Alloy & Compound, 2020, 831:154800.
- [2] CHEN W S, LIAO R J, ZENG Z, et al. Analyses and experiments of the Schottky contact super barrier rectifier (SSBR) [J]. IEEE Elec Dev Lett, 2020, 38 (2): 902-905.
- [3] CHEN W S, ZHANG P J, ZHONG Y, et al. A novel low V_F super barrier rectifier (SBR) with an Nenhancement layer [J]. IEEE Elec Dev Lett, 2017, 38(2): 244-247.
- [4] CHIU H C, CHI J F, KAO H L et al. The ESD

protection characteristic and low-frequency noise analysis of GaN Schottky barrier diode with fluorinebased plasma treatment [J]. Micoroelec Reliab, 2016, 59: 44-48.

- [5] 施敏. 半导体器件物理 [M]. 第二版. 黄振岗,译. 北 京:电子工业出版社,1987.
- [6] 王莹.车载肖特基二极管耐压可提升到 200 V,有望替 代快恢复整流二极管 [J].电子产品世界,2019,26 (10):42-43.
- [7] 李琰,肖知明,余航,等.基于肖特基势全二极管整流的功率指示计设计[J].微电子学,2015,45(4):484-487.
- [8] 刘宝宏,陈瑛,樊棠怀.射频/微波能量收集系统的整 流电路研究进展[J].半导体技术,2019,44(3): 161-170.

(上接第115页)

- [6] KER M D, CHEN T Y. Substrate-triggered ESD protection circuit without extra process modification[J]. IEEE J Sol Sta Circ, 2003, 38(2): 295-302.
- [7] DU F B, SONG S Y, HOU F, et al. An enhanced gate-grounded NMOSFET for robust ESD applications
 [J]. IEEE Elec Dev Lett, 2019, 40(9): 1491-1494.
- [8] VITTOZ E A. MOS transistors operated in the lateral bipolar mode and their applications in CMOS

technology [J]. IEEE J Sol Sta Circ, 1983, SC-18(3): 273-279.

- [9] HSUF C, KO P K, TAM S, et al. An analytical breakdown model for short-channel MOSFET's [J]. IEEE Trans Elec Dev, 1982, 29(11): 1735-1740.
- [10] MULLER R S, KAMINS T I, CHAN M. 集成电路
 器件电子学 [M]. 王燕,张莉,许军,等译. 北京:电
 子工业出版社,2004:430-432.

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021 年 2 月	Microelectronics	Feb. 2021

深亚微米 CMOS 管总剂量辐照特性的对比研究

仲崇慧1,于晓权2

(1. 中国电子科技集团有限公司,北京 100846; 2. 中国电子科技集团公司 第二十四研究所,重庆 400060)

摘 要: 对深亚微米 NMOS 和 PMOS 管进行了⁶⁰Co γ 总剂量辐射实验。实验结果表明,PMOS 管在转移特性、噪声、匹配特性方面比 NMOS 管的抗辐照能力更强。对 NMOS 管和 PMOS 管的 辐照损伤机理进行了理论分析。分析结果表明,不同的衬底类型导致了 PMOS 管和 NMOS 管的 辐照效应的差异。基于实验与分析结果,提出了一些深亚微米模拟 IC 的抗辐照设计方案。
 关键词: 辐照损伤; 总剂量; 噪声; 匹配特性; 抗辐射设计
 中图分类号:TN386.1 文献标志码:A 文章编号:1004-3365(2021)01-0121-05
 DOI:10.13911/j.cnki.1004-3365.2000522

Comparative Study on Total Dose Irradiation Characteristics of Deep Submicron CMOS Transistors

ZHONG Chonghui¹, YU Xiaoquan²

(1. China Electronics Technology Group Corporation, Beijing 100846, P. R. China;
 2. The 24th Research Institute of China Electronics Technology Group Corporation, Chongging 400060, P. R. China)

Abstract: The 60 Co γ total dose radiation experiments were carried out on deep submicron NMOS and PMOS transistors. The experimental results showed that PMOS transistors had better anti-irradiation capability than NMOS transistors in terms of transfer characteristics, noise and matching characteristics. The radiation damage mechanism of NMOS transistors and PMOS transistors were analyzed theoretically. The results showed that different substrate types lead to different radiation effects of PMOS transistors and NMOS transistors. Based on the experimental and analytical results, some anti-radiation design schemes for deep submicron IC simulation were proposed.

Key words: radiation damage; total dose; noise; matching characteristics; radiation-harden design

0 引 言

在辐照过程中,总剂量效应会在器件栅氧层和 隔离氧化层中引起大量氧化陷阱电荷、界面陷阱电 荷,导致器件性能变差,甚至器件失效^[1-3]。深亚微 米 CMOS 工艺中,栅氧化层的厚度仅有几 nm,电子 会因量子隧穿效应到达栅氧化层而与陷阱电荷中 和^[1-3],所以辐照引起的栅氧层损伤可以忽略。STI 隔离氧化层与栅氧层相比,其质量更差,厚度呈 100 倍数增加,所以辐照引起的 STI 隔离氧化层损伤较 严重^[4]。国内外研究人员进行了大量的深亚微米 CMOS 管的辐照实验研究^[5-8]。其中,大部分研究 是针对数字 IC,针对模拟 IC 的研究较少^[9]。

本文针对模拟 IC,开展了深亚微米 NMOS 管、 PMOS 管的辐照特性研究。对比分析了 NMOS 管、 PMOS 管的辐照特性,分析了 NMOS 管、 PMOS 管的辐照特性,分析了 NMOS 管、 PMOS 管辐照特性不同的原因。本文的辐照特性对比研究 为深亚微米模拟 IC 的抗辐照设计提供了有益的 依据。

收稿日期:2020-11-10;定稿日期:2020-12-10

作者简介:仲崇慧(1981—),男(汉族),吉林松原人,工程硕士,高级工程师,从事电子信息基础技术研究工作。 于晓权(1981—),男(汉族),黑龙江人,硕士,高级工程师,从事模拟集成电路技术研究工作。

1 总剂量辐照实验

为了使实验具有广泛的通用性,本文采用 0.18 μm CMOS 工艺制作的 CMOS 管作为实验样品。 该工艺采用 STI 隔离,栅氧层厚度为 4.056 nm,,电 源电压为 1.8 V。在中国科学院新疆理化技术研究 所进行了总剂量辐照实验。实验条件如表 1 所示。

辐照源	剂量率/ (Gy・s ⁻¹)	栅极电压 $V_{ m G}/{ m V}$	源极电压 $V_{ m s}/{ m V}$	漏极电压 $V_{\rm D}/{ m V}$
⁶⁰ Co γ	0.5	1.8	0	0

辐照后,在栅层不被击穿条件下测试了栅极电 流。采用 HP4142 型综合参数分析仪对辐照实验前 后的样品进行了测试。测试时间控制在 20 min 以 内,以减少退火效应的影响。实验样品信息如表 2 所示。与本次实验作对比研究的样品为版图完全对 称的 NMOS 对管、PMOS 对管。

项目	试验样品	栅结构	宽长比/ μm	栅氧厚度/ nm
转换 特性	NMOS 管, PMOS 管	条形栅	20/1.2, 20/0.18	<4
噪声 特性	NMOS 管, PMOS 管	条形栅	20/1.2, 20/0.18	<4
对比 特性	NMOS 对管, PMOS 对管	条形栅	100/0.18	<4

表 2 实验样品信息

2 实验结果

NMOS 管、PMOS 管不同宽长比下的辐照前后 转移特性(I_d - V_d)曲线分别如图 1、2 所示。可以看 出,NMOS 管漏电流的增幅很大,沟道长度 L 越小, 损伤越大。PMOS 管的漏电流基本没变化。

NMOS 管、PMOS 管不同宽长比下辐照前后 1/f噪声的总剂量辐照特性分别如图 3、4 所示。测 试条件为: (1) NMOS 管, $I_{\rm D} = 0.03$ mA, $V_{\rm D} = 1.5$ V; (2) PMOS 管, $I_{\rm D} = -0.01$ mA, $V_{\rm D} = -0.9$ V。可 以看出, 辐照后, NMOS 管的 1/f 噪声功率增加, PMOS 管的 1/f 噪声功率无明显变化。



NMOS 管(宽长比为 20/1.2)在辐照总剂量为 7.5×10³ Gy 时,噪声功率从原来的-133 dBV²/Hz 增大为-120 dBV²/Hz。NMOS 管的噪声由 1/f 低频噪声和热噪声(包括沟道热噪声、诱生栅极噪 声)构成,在低频段主要表现为 1/f 噪声,随着频率 的增加,1/f 噪声逐渐被热噪声淹没。因此,频率越 低,辐照后 NMOS 管 1/f 噪声的损伤越大。



(a) W/L = 20/1.2



(b) W/L=20/0.18图 3 NMOS 管的 1/f 噪声的总剂量辐照特性



(a)
$$W/L = 20/1.2$$



(b) W/L=20/0.18图 4 PMOS 管的 1/f 噪声的总剂量辐照特性

NMOS 对管和 PMOS 对管的阈值电压失配 (V_{T1}-V_{T2})随总剂量变化的关系曲线分别如图 5、图 6 所示。可以看出,辐照后 NMOS 管的阈值电压差 随总剂量的增加而增加,从辐照前的 2.48 mV、 0.55%失配度变为最后的 78.31 mV、17.4%失配 度。辐照后 PMOS 管的失配度保持在 0.5%内,最 大阈值电压差为 2 mV。这表明,相对 NMOS 对管, PMOS 对管的辐照损伤小得多。

NMOS 对管和 PMOS 对管的饱和区漏极电流 失配(*I*_{D1}-*I*_{D2})随总剂量变化的关系曲线分别如图 7、 8 所示。可以看出,NMOS 对管的饱和区漏极电流 失配度从辐照前的 1.4%增加至辐照后的 13.5%。 PMOS 对管的饱和区漏极电流失配度最大为 2.72%。这表明,相对于 NMOS 对管,PMOS 对管 的失配度对总剂量不敏感。



图 5 NMOS 对管阈值电压失配随总剂量的变化曲线





图 7 NMOS 对管漏极电流失配随总剂量的变化曲线



图 8 PMOS 对管漏极电流失配随总剂量的变化曲线

3 分析与讨论

总剂量辐照对半导体器件的损伤主要是因为辐 照在氧化层中会产生正陷阱电荷。对于深亚微米工 艺,栅氧层厚度已减小至几 nm,电子因量子隧穿效 应会到达栅氧化层中,中和正陷阱电荷。因此,总剂 量辐照对深亚微米器件的损伤主要体现为隔离氧化 层产生的正陷阱电荷。

在 0.25 μm 工艺节点后, STI 基本取代 LOCOS 成为主要的隔离技术。虽然器件的栅氧 厚度已减小至纳米量级,但 STI 隔离氧化层的厚 度是栅氧层的 100 倍以上。在被辐照时,总剂量 效应会在隔离氧化层中产生大量电子-空穴对,大 量电子离开氧化层,相应空穴遇到晶格中的陷阱 时易被固定下来,从而形成正陷阱电荷,形成过程 如图9所示。



图 9 辐照在 STI 层形成正陷阱电荷的示意图

NMOS 管位于 P 型衬底上,辐照下 STI 层积累 的正电荷随总剂量的增加而增加。正电荷是向外发 射电力线,电力线随正电荷的增加而增强,最终可使 STI 层下的衬底反型,即从 P 型变为 N 型,从而在 NMOS 晶体管两侧形成 N 型通道,构成寄生 NMOS 晶体管,如图 10 所示。该寄生晶体管与主 晶体管并行,具有较低的阈值电压或者为耗尽型(阈 值电压为负值),最终使得主晶体管在工作时的漏电 流明显增加^[9]。

PMOS管位于 N 型衬底上, 辐照后 STI 隔离 氧化层内产生的正陷阱电荷却不能使 N 型衬底 反型, 不能形成漏电通道, 所以 PMOS 管的漏电 流没有增加(如图 2 所示)。进一步分析发现, 深 亚微米 NMOS 管、PMOS 管的噪声、匹配特性在 辐照后的结果是不同的, 这是不同的衬底类型导 致的。





4 结 论

对深亚微米 NMOS 管、PMOS 管进行辐照对 比实验。结果表明,在转移特性、噪声、匹配特性方 面,PMOS 管的抗辐照性能优于 NMOS 管。原因 是 PMOS 管与 NMOS 管的衬底类型不同。因此, 在设计深亚微米模拟 IC 抗辐照时,处理关键信号的 元件尽量选用 PMOS 管。如果有些位置必需选用 NMOS 管,则需进行抗辐照加固设计,如采用环栅 结构的 NMOS 管。

参考文献:

- [1] HU R B, WANG Y X, LU W. The total dose effects on the 1/f noise of deep submicron CMOS transistors
 [J]. J Semicond, 2014, 35(2): 51-56.
- [2] WANG Y X, HU R B, LI R Z, et al. Total dose effects on the matching properties of deep submicron MOS transistors [J]. J Semicond, 2014, 35 (6): 53-57.
- [3] 吴雪, 陆妩, 王信, 等. 0.18 μm 窄沟 NMOS 晶体管
 总剂量效应研究[J]. Acta Phys Sin, 2013, 62

(13): 136101.

- [4] 吴雪,陆妩,王信,等. 0.18 μm MOS 差分对管总剂 量失配效应研究 [J]. 原子能科学技术,2014,48 (10):1886-1890.
- [5] KAUPPILA A V, BHUVA B L, LOVELESS T D, et al. Effect of negative bias temperature instability on the single event upset response of 40 nm flip flops
 [J]. IEEE Trans Nucl Sci, 2012, 59(6): 2651-2657.
- [6] GUO T L, ZHAO F Z, LIU G, et al. Total dose radiation hardened PDSOI CMOS 64 k SRAMs [J]. J Semicond, 2007, 28(8): 1184-1187.
- [7] DING L L, YAO B, GUO H X, et al. Worst case total dose radiation effect in deep-submicron SRAM circuits [J]. J Semicond, 2012, 33(7): 121-125.
- [8] BINKLEY D M, HOPPER C E, CRESSLER J D, et al. Noise performance of 0.35 μm SOI CMOS devices and micropower preamplifier following 63-MeV, 1 Mrad(Si) proton irradiation [J]. IEEE Trans Nucl Sci, 2004, 51(6): 3788-3794.
- [9] 王信,陆妩,吴雪,等.深亚微米金属氧化物场效应晶体管及寄生双极晶体管的总剂量效应研究[J]. Acta Phys Sin [J]. 2014, 63(22): 258-265.

・产品与可靠性・

28 nm WLP 封装中 PBO 结构对 CPI 可靠性的影响

秦 冲¹,毛海央¹,陈险峰²,李 义²

(1. 中国科学院大学,北京 100049; 2. 中芯国际集成电路制造(上海)有限公司,上海 201203)

摘 要: 基于 28 nm 晶圆级封装(WLP)工艺,研究了聚苯撑苯并噁唑(PBO)对芯片-封装交互 (CPI)可靠性的影响,分析了 PBO 堆叠关系和边缘位置的选择对 CPI 可靠性的影响。仿真实测结 果表明,堆叠关系和边缘位置的变化对 CPI 可靠性有较显著的影响,两种因素的失效机理不同。 利用 TCAD 工具能够有效预测结构变更对 CPI 可靠性的影响,从而优化结构设计,提升 WLP 封 装的 CPI 可靠性。

关键词: CPI 可靠性; 晶圆级封装; 聚合物结构
 中图分类号:TN306
 文献标志码: A
 DOI:10.13911/j.cnki.1004-3365.200060

文章编号:1004-3365(2021)01-0126-06

Effects of PBO Structures on CPI Reliability of 28 nm Wafer Level Package

QIN Chong¹, MAO Haiyang¹, CHEN Xianfeng², LI Yi²

(1. University of Chinese Academy of Sciences, Beijing 100049, P. R. China;

2. SMIC Integrated Circuit Manufacturing Co., Ltd. (Shanghai), Shanghai 201203, P. R. China)

Abstract: Based on a 28 nm wafer level package (WLP) packaging process, the influence of poly-benzoxazole (PBO) structures on chip-package interaction (CPI) reliability was studied, and the influence of PBO stacking relationship and edge position selection on CPI reliability was analyzed. The simulation and test results showed that the changes of stack relation and edge position had a significant influence on the reliability of CPI. The failure mechanisms of the two factors were different. The use of TCAD tools could effectively predict the impact of structural changes on CPI reliability, so as to optimize the structural design and improve the CPI reliability of WLP. **Key words:** CPI reliability; WLP; polymer structure

0 引 言

芯片特征尺寸的不断缩小、器件物理极限的趋近以及高昂的研发费用,使得先进封装技术备受关注。通常采用 CPI 测试来验证 WLP 的可靠性,评估封装对器件的影响。根据 JEDEC 标准 JEP156-A^[1],当芯片采用新技术、新工艺、新材料和新结构

时,CPI的可靠性测试是十分必要的。国外围绕 CPI可靠性的研究较多,如光敏介质^[2]、ULK介 质^[3]、铜柱互连^[4]等。国内有关 CPI 可靠性的研究 较少。

在封装技术中,WLP 凭借其更高的集成能力、 更小的形成因子和更大的 I/O 密度在小尺寸智能 化设备中获得广泛应用^[5]。WLP 直接利用重分布 层(RDL)连接芯片后段金属和焊球,代替了传统倒

收稿日期:2020-02-17;定稿日期:2020-03-11

基金项目:广东省重点领域研发计划项目(2019B010117001)

作者简介:秦 冲(1995—),男(汉族),江西南昌人,硕士研究生,研究方向为先进工艺下的 CPI 可靠性。

装焊中的基板。WLP的可靠性问题主要与 RDL 技术相关,如芯片翘曲、聚合物剥离、互连金属腐蚀等^[6-7]。因此,需要重点关注 RDL 对 WLP 封装可靠性的影响。

RDL形似"三明治"结构,由两层聚合物包裹若 干层铜轨而成。聚合物作为 RDL 中的关键部分,其 对 WLP 可靠性的影响显著。常用的聚合物有 PBO 和聚酰亚胺(PI),它们均具有优良的介电性能和热 机械特性^[8]。为提高 WLP 可靠性,业界对聚合物 展开了广泛研究^[9-11],主要方式是降低聚合物的玻 璃化转变温度(T_g)。文献[9]采用变频微波工艺成 功制备了 T_g较低的聚合物,但仅处于实验阶段。文 献[12-13]研究了聚合物的粘附强度对 WLP 可靠性 的影响。国外对聚合物的研究集中于材料特性方 面,大多数数据来自仿真,缺乏实测验证,少有针对 材料结构的研究。

本文采用 PBO 作为 RDL 中的聚合物,研究了 PBO 结构对 WLP 封装中 CPI 可靠性的影响。利用 TCAD 仿真研究了聚合物结构的最优方案,完成了 流片和封装,对芯片进行了 CPI 可靠性试验,分析 了不同聚合物结构的失效模式和机理。

1 WLP 封装中聚合物包覆结构

传统的两层聚合物包覆结构如图1所示。覆 盖层完全包覆缓冲层,覆盖层边缘有4种方案,即 钝化层表面、密封圈(SR)、裂纹停止处(CAS)和硅 表面。



图 1 传统的两层聚合物包覆结构

分别采取上述各方案时,芯片在温度循环试验 (TCT)时均存在失效风险。当覆盖层边缘位于钝 化层表面时,界面应力会破坏钝化层而造成微裂纹。 当覆盖层边缘位于 SR 或 CAS 时,PBO 边缘易被掀 开、分层,湿气进入芯片内部,使得金属被腐蚀。当 覆盖层边缘位于硅表面时,切割道过窄,切割的难度 增加,造成芯片翘曲。不同覆盖层边缘下芯片的测试结果如表1所示。

表 1 不同覆盖层边缘下芯片 TCT 测试结果

覆盖层边缘方案	TCT 条件	结果
1 钝化层表面	Condition B:	1/80
2密封圈	-55 ℃~ +125 ℃ 500 次循环	4/80
3裂纹停止处		4/80
4 硅表面		6/80

表1结果中,1/80 表示 80 个样品中有1个失效,以此类推。可以看出,覆盖层边缘位于钝化层表面的方案是最优方案,但仍存在一定的失效风险。

2 PBO 结构设计及实验结果分析

本文采用 28 nm 工艺节点的后段工艺结构和 条件,研究 PBO 结构对 WLP 封装的 CPI 可靠性的 影响。本文设计了一种新型的 PBO 结构,如图 2 所 示。本文结构更改了两层聚合物的结构关系,覆盖 层直接堆叠在缓冲层上,缓冲层边缘外扩。通过改 善聚合物边缘与芯片表面粘贴的连续性,提升了 WLP 封装的 CPI 可靠性。

利用 Sentaurus TCAD 工具对缓冲层的四种边 缘方案进行了仿真,拟定最优方案通过流片、封装, 获取芯片的 CPI 测试数据。对比了结构更改前后 的测试数据,利用失效分析方法研究了这些方案的 失效模式和机理。



图 2 新型的 PBO 堆叠结构

2.1 应力仿真分析

在 Sentaurus TCAD 工具中对聚合物缓冲层边 缘的不同方案进行应力仿真分析。聚合物的残余应 力σ为^[14]:

 $\sigma = 8E_s d_s^2 (W_f - W_s) / (6L^2 (1 - v_s) d_f)$ (1) 式中, d_f 为聚合物的厚度; E_s 、 d_s 、 v_s 和 L 分别为硅片 的模量、厚度、泊松比、直径; W_f 为硅片的翘曲量,当 $d_f=0$ 时, $W_f=W_s$ 。

假定所有界面完美粘合,PBO 被当作粘弹性体 来排除温度、时间对弹性模量的影响。本文的模拟 主要关注聚合物边缘的应力问题,忽略了包覆在两 层聚合物中的铜轨。实际封装中,铜轨能有效缓解 硅片和聚合物间的热膨胀系数(CTE)失配,因为其 CTE 为 17×10⁻⁶/℃,处于二者之间。图 3 所示为 缓冲层边缘处于密封圈处的应力仿真图。表 2 所示 为仿真中主要材料的参数。



图 3 缓冲层边缘处于密封圈处的应力仿真图

表 2 王要材料的参数

材料	杨氏模量/GPa	$\mathrm{CTE}/(imes 10^{-6}/^\circ\mathrm{C})$	属性
PBO	1.82	60	粘弹性体
Si	170	3.0	弹性体

不同边缘方案的峰值应力如表 3 所示。可以看 出,若以密封圈为基准,其他方案的峰值应力均有 20%以上的增幅。当缓冲层边缘处于硅表面时,增 幅高达 42%。四个边缘方案的热点分布如图 4 所 示。可以看出,缓冲层边缘处于钝化层表面、硅表面 时,有 1 个热点;缓冲层边缘处于密封圈时,有 3 个 热点;缓冲层边缘处于裂纹停止处时,有 4 个热点。 综合峰值应力和热点分布的情况,选取缓冲层边缘 位于密封圈处的结构进行后续的实测。

边缘方案	峰值应力/Pa	峰值应力上升率
钝化层表面	1.32×10^{9}	20%
密封圈	1.10×10^{9}	基准
裂纹停止处	1.40×10^{9}	27%
硅表面	1.56×10^{9}	42%



图 4 四个边缘方案的热点分布图

2.2 CPI 可靠性测试分析

根据应力仿真的结果,选取覆盖层边缘位于钝 化层处的包覆结构记为 A,选取缓冲层边缘位于密 封圈处的堆叠结构记为 B,对样品进行流片和封装, 再进行 CPI 可靠性测试,两种结构的 SEM 图如图 5 所示。可以看出,两种结构的表面形貌和堆叠关系 均与设计初始形态相吻合。图中,crack sensor 为 CPI测试中常用结构,其失效敏感度高。



图 5 两种结构的 SEM 图

封装好后,两种芯片完成了如表4 所示的 CPI 可靠性测试项目,所有测试条件均参照 JEDEC 标 准^[15-19]。首先对芯片进行终测(FT),排除因流片、 封装中不稳定因素造成的失效芯片。再将合格芯片 分批分别用于不同的测试项目,每个读点的数据都 与初始 FT 测试数据进行对比。进行高加速应力试 验(HAST)、TCT、温湿度偏压试验(THB)测试前, 需先通过 Precondition 试验,THB 和 HAST 测试 中均不加偏压。高温储存试验(HTS)则不需要预 先进行 Precondition 试验。

表 4 CPI 可靠性测试项目的条件

测试项	应力条件	读点
Precondition	浸泡@85 °C/	168 h
	85%RH 回流@260 °C	3次循环
HAST	130 °C/85%RH / 229.6 kPa	96 h
TCT	-55 °C $\sim +125$ °C	1000次循环
THB	85 °C/85%RH/49.1 kPa	1 000 h
HTS	150 °C	1 000 h

通过上述测试项目后的结果如表 5 所示。可知,结构 A 在 Precondition 测试中有 2 个失效,结构 B 在 1 000 h THB 测试中有 5 个失效,失效结构均为 crack sensor,其他测试项、读点均通过。将上述 失效芯片进行失效分析,进一步研究失效原因和失效机理。

表 5 CPI 可靠性测试后的结果

测试项	读点	结果
Precondition	168 h	A-2/240,B-通过
HAST	96 h	通过
TCT	1 000 次循环	通过
THB	1 000 h	A-1/80,B-5/80
HTS	1 000 h	通过

对于结构 A 失效的 2 只芯片, crack sensor 呈 现高阻态。在 SEM 下能明显观察到密封圈和裂缝 停止处的破坏, 情况如图 6(a)所示。对 crack sensor 使用聚焦离子束(FIB)进行切片分析, 情况 如图 6(b)所示。可以看出,在 TV1(Top Via)与 M6 (Metal)之间发现裂缝。原因是,密封圈和裂缝停止 处没有聚合物包覆,受到外界应力冲击, 再传递到 crack sensor 内部, 使得 TV1 与 M6 界面处产生 裂缝。

对于结构 B 失效的 5 只芯片, crack sensor 呈现 开路状态。失效情况如图 7 所示。可以看出, PBO 与密封圈接触面处出现腐蚀、分层现象,该位置与应 力仿真的热点位相同,即为缓冲层边缘与密封圈接 触的位置。



(a) SEM 图



(b) FIB 图图 6 结构 A 芯片失效示意图



(a) 腐蚀现象



(b) 分层现象图 7 结构 B 失效芯片的 SEM 图

将芯片封装去除后,crack sensor 处呈现明显的 孔洞和严重的金属腐蚀现象,情况如图 8 所示。沿 图 8(b)中的箭头方向采用 FIB 切割,得到图 9 所示 情况。可以看出,孔洞下金属铝与 UTM (Under Top Metal)之间的腐蚀现象较严重。原因是界面应 力集中所致,裂缝产生后外界环境的湿气沿着裂缝 进入结构内部,造成金属层腐蚀。







(b) 孔洞现象图 8 去除封装后结构 B 失效芯片的 SEM 图



图 9 结构 B 失效芯片的 FIB 图

3 结 论

本文研究了 28 nm WLP 封装中 PBO 结构对 CPI 可靠性的影响。分析了包覆和堆叠两种聚合物 结构的失效模式和机理。实验结果表明,前者的失 效原因是对密封圈和裂缝停止处的保护缺失,受外 界应力冲击后内部产生裂缝;后者失效的原因是应 力集中的热点增加,使得界面分层,湿气进入内部而 致金属被腐蚀。两种聚合物结构均对 WLP 封装的 CPI 可靠性存在一定风险。利用 TCAD 工具能有 效预测结构变更对 CPI 可靠性的影响。今后可通 过改善聚合物薄膜的淀积工艺来消除应力集中问 题,或者增强聚合物的粘性强度,进一步提升 WLP 封装的 CPI 可靠性。

参考文献:

- [1] Chip-package interaction understanding, identification, and evaluation: JEP156A [S]. JEDEC Solid State Technology Association, 2018.
- [2] WANG W, ZHANG D Y, SUN Y Y, et al. Study of polyimide in chip package interaction for flip-chip Cupillar packages [C] // IEEE 68th ECTC. San Diego, CA, USA. 2018: 1039-1043.
- [3] ZHANG X F, WANG Y W, IM J H, et al. Chippackage interaction and reliability improvement by structure optimization for ultra low-k interconnects in flip-chip packages [J]. IEEE Trans Dev & Mater Reliab, 2012, 12(2): 462-469.
- [4] PARK J, KIM Y, NA S, et al. High reliability packaging technologies and process for ultra low k flip chip devices [C] // IEEE 65th ECTC. San Diego, CA, USA. 2015: 1-6.

[5] YU D, YEH J, LIN T, et al. CPI advancement in

integrated fan-out (InFO) technology [C] // IEEE IRPS. Monterey, CA, USA. 2017: 4A-1.1 - 4A-1.4.

- [6] WU C Y, WANG C H, HO K K, et al. Chip package interaction development of flip chip CSP package with Cu pillar bump on lead for advanced node chip [C] // 11th IMPACT. Taipei, China. 2016: 374-377.
- [7] CHEN K, CHUA L, CHOI W K, et al. 28 nm CPI (Chip/Package Interactions) in large size eWLB (Embedded Wafer Level BGA) fan-out wafer level packages [C] // IEEE 67th ECTC. Orlando, FL, USA. 2017: 581-586.
- [8] TOPPER M, FISCHER T, BAUMGARTNER T, et al. A comparison of thin film polymers for wafer level packaging [C] // Proceed 60th ECTC. Las Vegas, NV, USA. 2010: 769-776.
- [9] TANIKELLA R V, SUNG T, ALLEN S A, et al. Rapid curing of positive tone photosensitive polybenzoxazole based dielectric resin by variable frequency microwave processing [J]. IEEE Trans Compon & Packag Technol, 2006, 29(2): 411-419.
- [10] MATSUKAWA D, TADAMITSU N, TETSUYA E, et al. Novel 200 degC curable positive tone poly (benzoxazole) materials [C] // IEEE ICSJ. Kyoto, Japan. 2016: 193-196.
- [11] YAMAMOTO K, WANG C, WANG X, et al. Novel microwave process for RDL photosensitive dielectric polymer curing on FOWLP reconstructed wafer [C] // IEEE 68th ECTC. San Diego, CA, USA. 2018:

993-999.

- [12] NISHIMURA M, TOBA M, MATSUIE N, et al. Evaluation of fan-out wafer level package using 200 °C curable positive-tone photodefinable polybenzoxazoles [C] // IEEE ICSJ. Kyoto, Japan. 2015: 25-28.
- [13] HIRANO T, YAMAMOTO K, IMAMURA K. Application for WLP at positive working photosensitive polybenzoxazole [C] // Proceed 15th Biennial UGIM Symp. Boise, ID, USA. 2003: 246-249.
- [14] NISHIMURA M, MATSUKAWA D, MATSUIE N, et al. Reliability of 200 °C curable photodefinable PBO for re-distribution layer in WLP [C] // IEEE ICSJ. Kyoto, Japan. 2016: 197-200.
- [15] Accelerated moisture resistance-unbiased HAST: JESD22-A118B [S]. JEDEC Solid State Technology Association, 2015.
- [16] High temperature storage life: JESD22-A103E [S]. JEDEC Solid State Technology Association, 2015.
- [17] Temperature cycling: JESD22-A104E [S]. JEDEC Solid State Technology Association, 2014.
- [18] Steady-state temperature-humidity bias life test: JESD22-A101D [S]. JEDEC Solid State Technology Association, 2015.
- [19] Preconditioning of nonhermetic surface mount devices prior to reliability testing: JESD22-A113H [S]. JEDEC Solid State Technology Association, 2016.

静电注入对 55 nm MV/HV GGNMOS ESD 性能的影响

王新泽¹,毛海央^{1,2},金海波³,龙克文⁴

(1. 中国科学院大学 微电子学院,北京 100029; 2. 中国科学院 微电子研究所,北京 100029;3. 中芯国际集成电路制造有限公司,北京 100176; 4. 佛山市川东磁电股份有限公司,广东 佛山 528500)

摘 要: 静电防护问题是提升集成电路可靠性面临的主要挑战之一。基于 55 nm HV CMOS 工艺,研究了静电注入对中压(MV)和高压(HV)GGNMOS(Gate-Grounded NMOS)器件静电防护性能的影响。研究结果表明,对 MV GGNMOS 器件来说,静电注入能够在有效降低开启电压(V_t)、保持电压(V_h)的同时,减小对二次击穿电流(I_{t2})的影响,且注入面积的改变对器件性能的影响极为有限;对 HV GGNMOS 器件来说,提高静电注入浓度能够有效提高静电防护能力。

关键词: 静电注入;静电防护;栅极接地 NMOS;中压/高压

 中图分类号:TN432; TN406
 文献标志码:A
 文章编号:1004-3365(2021)01-0132-05

 DOI:10.13911/j.cnki.1004-3365.200093

Effects of ESD IMP on ESD Performance of MV/HV GGNMOS

WANG Xinze¹, MAO Haiyang^{1,2}, JIN Haibo³, LONG Kewen⁴

 School of Microelectronics, University of Chinese Academy of Sciences, Beijing 100029, P. R. China; 2. Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, P. R. China; 3. Semiconductor Manufacturing International Corporation, Beijing 100176, P. R. China; 4. Foshan Chuandong Magnetic Electronic Co., Ltd., Foshan, Guangdong 528500, P. R. China)

Abstract: ESD protection has always been one of the main challenges in improving reliability of integrated circuits. Based on a 55 nm HV CMOS process, the effects of electrostatic implantation (ESD IMP) on the performance of medium voltage (MV) and high voltage (HV) Gate-Grounded NMOS (GGNMOS) devices were studied. The results showed that for MV GGNMOS devices, the turn-on voltage (V_t) and hold voltage(V_h) were reduced by electrostatic implantation with a limited influence on the secondary breakdown current (I_{t2}), and the effect on device performance of implantation area was limited. For HV GGNMOS devices, the robustness of electrostatic protection was improved by increasing the electrostatic implantation concentration.

Key words: ESD IMP; electrostatic protection; GGNMOS; MV/HV

0 引 言

CMOS工艺已发展到深亚微米阶段,器件特征 尺寸逐渐减小,对静电放电(Electro-Static Discharge,ESD)保护电路的要求也更加严格。由 于结构简单,且与CMOS工艺兼容性好,GGNMOS 结构在 ESD 保护电路中有非常广泛的应用^[1-2]。 GGNMOS 是利用其漏端与衬底之间的反向 PN 结 发生雪崩击穿,来触发源漏之间的寄生横向双极晶 体管,从而将 ESD 电流通过漏-衬底-源途径来进行 有效泄放,达到 ESD 保护的效果^[3]。

然而,55 nm 工艺平台 GGNMOS 器件的栅氧 厚度较薄,使得 GGNMOS 的触发电压与结构的栅

收稿日期:2020-03-08;定稿日期:2020-04-17

基金项目:广东省重点领域研发计划项目(2019B010117001)

作者简介:王新泽(1992—),男(汉族),山东寿光人,硕士研究生,研究方向为 IC 静电防护、闩锁效应预防和器件失效分析。

氧电压在一定的区域发生交叉,导致 ESD 的设计窗 口减小,甚至消失,这对 ESD 防护器件的设计带来 了非常大的隐患^[4]。因此,在使用 GGNMOS 作为 I/O 端的 ESD 防护器件时,必须采取相应的措施来 降低 MOS 管的触发电压。目前已有很多设计者进 行了相关研究,例如通过改进衬底,采用衬底触发技 术来获得低触发电压、增强器件鲁棒性,但这类方法 会增加版图面积^[5-6]。

先进节点工艺进一步发展,许多先进的工艺技 术被开发出来,例如轻掺杂漏 (Lightly Doped Drain,LDD)工艺技术和自对准硅化物(Salicide)工 艺技术,但是对于 ESD 防护器件来说,这些先进工 艺为器件的性能带来改善的同时,也产生了一些新 的问题^[7-9],导致 GGNMOS 无法起到应有的防护作 用。为了解决这些问题,设计者除了使用自对准硅 化物阻挡层(SAlicide Blocking,SAB)技术之外^[10], 还对版图参数进行调整,以满足设计的需求。但对 于 55 nm 平台,版图参数的修改对器件性能影响很 小,甚至无影响[11-13]。因此设计者在工艺上开发出 了静电放电离子注入(Electro-Static Discharge IMPlant,ESD IMP)技术,这是在标准 CMOS 工艺 流程中增加一道 ESD IMP 工艺,可降低寄生双极晶 体管的导通电压,从而达到有效引导 ESD 电流、保 护器件结构的目的^[14-16]。

本文分析了新工艺对 GGNMOS 的影响,以及 ESD IMP 对器件的作用原理。基于 55 nm 工艺平 台,分别设计了 ESD IMP 对 6 V MV/HV 器件影 响的流片实验,并对测试结果进行了分析。

1 GGNMOS 防护 ESD 脉冲基本 原理

1.1 传统 GGNMOS 结构

NMOS常用作 I/O 端口上的 ESD 防护器件, 其栅极、源极和衬底三端连接到地,因此这种 NMOS 又可称为栅极接地 NMOS,其横截面如图 1 所示。当 ESD 脉冲发生在漏端时,其寄生双极晶体 管会发生雪崩击穿,并被触发导通,泄放 ESD 电流, 此时的电压为器件的开启电压 V_u。由于三极管的 电流放大作用,管子开启之后仅需要较低的漏极电 压就能够维持雪崩击穿。此时漏极电流增大,电压 减小,GGNMOS 进入回滞负阻区,直到电压箝制在 保持电压 V_H。由于大电流注入下产生的电导调制 效应,器件工作在线性区。随着 ESD 电流的泄放, 局部温度升高,当发生热击穿时,器件失效,此时的 电流值称为二次击穿电流 I₁₂。因此,GGNMOS 的 *I-V* 曲线呈现回滞特性,如图 2 所示。



图 1 GGNMOS 结构的横截面示意图

I'A I'A I_{12} I'A I_{12} I'A I'AI

图 2 GGNMOS 的 I-V 特性曲线

为了保证电路的正常工作,器件的开启电压V_d 要介于电路工作电压以及器件的栅氧击穿电压之 间,并且需在此区间内尽量使开启电压降低,使 GGNMOS能够在发生 ESD 时及时导通,以保护工 作电路。保持电压V_H不能低于电路工作电压,否则 防护器件可能会因闩锁效应而持续开启,较低的保 持电压会使得器件对 ESD 脉冲的箝制能力更强。 二次击穿电流值 I_{t2}表示 GGNMOS 对 ESD 电流的 承受能力,因此在设计时要尽量提高 I_{t2}。

为了提升器件的整体性能,LDD 和 Salicide 工 艺技术被广泛使用。LDD 会使器件静电防护性能 降低,原因主要有两点:一是栅氧层与漏极区交叠处 的电容较小,使得器件保持电压变大^[9];二是 LDD 处电流密度更大,更容易由热效应造成损伤^[17]。 Salicide 技术是通过在有源区和栅极扩散区表面形 成低阻的硅化物薄膜,从而降低方块电阻和接触电 阻,来减小电路的串联电阻,提升器件性能。但是当 发生 ESD 时,Salicide 薄膜电阻较小,ESD 电流会 首先沿着有源区的表面流动,使 Salicide 金属表层 发热,甚至直接烧毁器件。

1.2 ESD IMP 对器件的保护

加入 ESD IMP 工艺的 GGNMOS 器件剖面如

2021 年

图 3 所示。栅极、源极和衬底接触接 Vss,漏极接电 源 V_{DD},漏极扩散区与 P 阱之间是中等浓度掺杂的 P型区域。当ESD脉冲出现在漏端时,漏极的电压 瞬间升高,由于 ESD IMP 区域掺杂浓度较高,使得 漏极扩散区与下方 P 阱之间的 PN 结界面的击穿电 压降低,因此该区域的 PN 结最早因 ESD 电流发生 雪崩击穿,产生大量的电子空穴对。空穴被衬底收 集形成电流 $I_{\rm R}$, $I_{\rm R}$ 流过电阻 $R_{\rm well}$, 使得电压降 $V_{\rm well}$ 也随着增大。当 $V_{well} = I_{well} R_{well} = I_C R_{well} \ge 0.7$ V 时,寄生横向双极晶体管导通并形成低阻通路,此时 开启 ESD 放电,从而保护 LDD 结构,减小 LDD 工 艺的加入对器件 ESD 保护能力的影响。当三极管 导通时,加在 NMOS 管漏端的电压被定义为 GGNMOS 的 触发电压 V_{t1} , I_c 被定义为 触发电流 I_{t1} , (V_{t1}, I_{t1}) 就 被 定 义 为 GGNMOS 结 构 的 触 发点。



图 3 加入 ESD IMP 的 GGNMOS 器件的剖面图

2 实验设计及讨论

本文基于 55 nm HV CMOS 工艺平台,探究了 6 V MV 等级条件下,ESD IMP 的加入和 ESDtoGT 变量对器件防护能力的影响,以及 32 V HV 等级条 件下,注入浓度和注入面积对器件的影响,并使用 100 ns TLP(Transmission-Line-Pulsing)系统进行 测试。实验分组情况如表 1 所示,实验结果中的电 流值进行了归一化处理。代工厂中的 HV 平台普 遍使用额外的注入,本次实验未加入常规 HV NMOS 器件对照组。

表 1 实验分组情》

器件等级	变量	趋势
6 V	ESDtoGT	无 IMP
		a + 0.4
		а
		a-0.4
32 V	注入浓度	LVNW
		MVNW

对 MV 器件,在其他条件相同的条件下,分别 测试:

1) 无 ESD IMP 器件的 TLP 曲线;

 2) ESD IMP 注入区域边缘距栅极扩散区不同 值时的 TLP 曲线,基础数值设定为 a,并分别对 a+
 0.4 和 a-0.4 进行设计流片。

对 HV 器件,测试了 ESD IMP 注入浓度不同 时器件的 TLP 曲线。

2.1 ESD IMP 对 MV GGNMOS 防护器件的影响

MV GGNMOS ESD 防护器件的版图如图 4(a) 所示,为了提高结构的 ESD 性能,采用了叉指结构, 增大器件的栅宽,提高了 *I*₁₂。图中红色的区域为 ESD IMP 区域,标注的距离 ESDtoGT 为 ESD IMP 区域的边缘到临近栅极扩散区边缘的距离。根据实 验分组,设置不同的试验片,并使用 100 ns 的 TLP 系统进行测试,得到的 *I-V* 曲线如图 4(b)所示。从 测试结果可以看到,对于 MV GGNMOS ESD 防护 器件来说,加入 ESD IMP 工艺之后,器件的触发电 压下降了 40%,保持电压下降了 25%,相比二次击 穿电流变化较小(<10%)。示意图可直观地对比 ESD IMP 的加入以及 ESDtoGT 参数的改变对器件 性能带来的影响,如图 5 所示。额外的掺杂使得 ESD 电流更多地经过寄生双极晶体管进行泄放,而 非通过沟道。











从图中还可以看出,不同的 ESDtoGT 数值对 于 MV GGNMOS 器件的开启电压 $V_{\rm u}$ 和保持电压 $V_{\rm h}$ 影响不大。虽然随着 ESDtoGT 的数值增大,即 ESD IMP 掺杂区域增大,器件的开启电压和保持电 压都有一定的增幅(增幅均<10%),但对于 55 nm 工艺平台的器件而言,单个器件的栅宽已经非常小 (<0.5 μ m),因此 ESDtoGT 数值的变化对器件性 能的影响极为有限,器件的开启电压和保持电压主 要受 ESD IMP 的影响。

2.2 静电注入对 HV GGNMOS 防护器件的影响

HV GGNMOS 的版图如图 6(a)所示,沿 A-A' 方向的横截面如图 6(b)所示。 P_x 表示 ESD IMP 区 边缘距有源区的距离。对于 HV 器件,ESD IMP 与 LV/MV 的 N 阱 在 同 一 道 工 艺 中 注 入,HV GGNMOS 的静电注入通过改变漏极扩散区的浓度 来影响器件的 ESD 性能。根据分组情况,设置不同 的试验片,并使用 100 ns TLP 系统进行测试,得到 的 *I*-V TLP 曲线如图 6(c)所示。



(a) HV GGNMOS ESD IMP 的版图



(b) A-A'横截面



根据测试结果,将静电注入区域的掺杂浓度提高,器件的开启电压和保持电压都提高了 10%以上,二次击穿电流提高了 10%。示意图可直观地对比注入参数的改变对 HV 器件带来的影响,如图 7 所示。提高漏极扩散区的掺杂浓度,会使漏极扩散区与正下方 P 阱之间 PN 结的击穿电压提高,从而使器件的 ESD 防护特性得到改善。当 $P_x=0$ 时,即 ESD IMP 与沟道接触,ESD 电流更多地会通过器件的沟道进行泄放,而非寄生晶体管。因此,器件的开启电压和保持电压相对 $P_x \neq 0$ 时来说会有明显的下降,甚至使得防护器件的开启电压与电源电压相当,即在电路正常工作时,防护电路有开启的可能性,从而对电路的正常功能造成一定的影响。



3 结 论

本文基于标准的 55 nm HV CMOS 工艺平台, 研究了 ESD IMP 对中压和高压 GGNMOS ESD 防 护器件性能的改善作用。通过调整器件的静电注入 条件,发现静电注入能够有效降低中压器件的开启 电压和保持电压,但对二次击穿电流影响较小; ESDtoGT 对 55 nm 中压静电防护器件的影响有 限;此外,静电注入浓度提高对高压静电防护器件的 开启电压和保持电压有明显改善。针对 55 nm 高 压静电注入工艺中的其他参数对防护器件性能的影 响,还有待进一步研究。

参考文献:

- [1] 韩雁,董树容,LIOUJJ, et al. 集成电路 ESD 防护设 计理论、方法与实践 [M]. 北京:科学出版社, 2014: 29-53.
- [2] PAUL M, RUSS C, KUMAR B S, et al. Physics of current filamentation in ggNMOS devices under ESD condition revisited [J]. IEEE Trans Elec Dev, 2018, 65(7): 2981-2989.
- [3] AMERASEKERA A, DUVVURY C. ESD in silicon integrated circuits [M]. New York: John Wiley & Sons, 2002: 77-95.
- [4] BOSELLI G, RODRIGUEZ J, DUVVURY C, et al. Analysis of ESD protection components in 65 nm CMOS technology: scaling perspective and impact on ESD design window [C] // EOS/ESD. Tucson, AZ, USA. 2005: 1-10.
- [5] 郑剑锋,韩雁,马飞,等. 65 nm CMOS 工艺下新型静
 电防护衬底改造 GGNMOS [J]. 微电子学, 2012, 42
 (6): 885-888.
- [6] SONG B, HAN Y, LI M, et al. Substrate-triggered GGNMOS in 65 nm CMOS process for ESD application [J]. Elec Lett, 2010, 46(7): 518-520.
- [7] CHATTY K, ALVAREZ D, GAUTHIER R, et al. Process and design optimization of a protection scheme based on NMOSFETs with ESD implant in 65 nm and 45 nm CMOS technologies [C] // 29th EOS/ESD. Anaheim, CA, USA. 2007: 7A. 2-1 - 7A. 2-10.
- [8] LI J J, ALVAREZ D, CHATTY K, et al. Analysis of failure mechanism on gate-silicided and gate-nonsilicided, drain/source silicide-blocked ESD NMOSFETs in a 65 nm bulk CMOS technology [C] // 13th Int Symp Phys Failure Anal Integr Circuits.

Singapore. 2006: 276-280.

- [9] 马巍,郝跃. LDD-CMOS 中 ESD 及其相关机理 [J]. 半导体学报, 2003(8): 109-113.
- [10] 李亮,朱科翰. Gate Grounde NMOS 器件的 ESD 性能 分析 [J]. 电子与封装, 2011, 11(2): 18-21.
- [11] WANG W H, DONG S R, ZHONG L, et al. GGNMOS as ESD protection in different nanometer CMOS process [C] // IEEE Int Conf Elec Dev Sol Sta Circ. Chengdu, China. 2014: 1-2.
- [12] 张冰,柴常春,杨银堂.源、漏到栅距离对次亚微米 ggNMOS ESD 保护电路鲁棒性的影响 [J].物理学 报,2010(11):540-547.
- [13] CHEN T Y, KER M D. Analysis on the dependence of layout parameters on ESD robustness of CMOS devices for manufacturing in deep-submicron CMOS process [J]. IEEE Trans Semicond Manufact, 2003, 16(3): 486-500.
- [14] ALVAREZ D, ABOU-KHALIL M J, RUSS C, et al. Analysis of ESD failure mechanism in 65 nm bulk CMOS ESD NMOSFETs with ESD implant [J]. Microelec Reliab, 2006, 46(9/11): 1597-1602.
- [15] TANG H T H, CHEN S S, LIU S, et al. ESD protection for the tolerant I/O circuits using PESD implantation [J]. J Electrostatics, 2002, 54(3-4): 293-300.
- [16] ZENG J J, JAIN R, HWANG K J, et al. A novel HV-NPN ESD protection device with buried floating ptype implant [C] // IEEE IRPS. Monterey, CA, USA. 2019: 1-4.
- [17] LEROUX C, BUJ C, CHANTE J P. Study of LDD implantation influence on ESD failure threshold using electrothermal simulation [C] // ESSDERC. Hague, Netherlands. 1995; 321-324.

第 51 卷 第 1 期	微电子学	Vol. 51, No. 1
2021年2月	Microelectronics	Feb. 2021

22 nm FD-SOI 静态随机存储器的可靠性研究

贺 泽^{1,2},蔡 畅^{1,2},赵 凯³,赵培雄^{1,2},李东青^{1,2},刘天奇¹,刘 杰¹
(1. 中国科学院 近代物理研究所,兰州 730000; 2. 中国科学院大学,北京 100049;
3. 复旦微电子集团股份有限公司,上海 200433)

摘 要: 针对 22 nm FD-SOI CMOS 工艺静态随机存储器(SRAM),研究了工艺角、工作电压、测 试温度、总剂量效应对器件性能的影响。通过自动测试设备(ATE),有效地提取了 FD-SOI 存储器 在多种测试环境下的电学性能参数。测试结果表明,不同的工艺角对输出电平和工作状态的影响 较小。随着电压的增加,静态电流随之增加,最大工作频率呈现出波动性的变化。器件在-55 ℃~ 125 ℃范围内性能稳定。高频特性在 25 ℃表现最好,低压特性在高温下最优。总剂量累积到 3 kGy(Si)时,器件功能仍正常,内核电流与 I/O 电流均明显增大。FD-SOI SRAM 自身优点多,工 作稳定性较好,具有极好的应用前景。

关键词: 全耗尽绝缘体上硅;静态随机存储器;可靠性
 中图分类号:TN406;TN432
 文献标志码:A
 文章编号:1004-3365(2021)01-0137-05
 DOI:10.13911/j.cnki.1004-3365.200166

Reliability Study of 22 nm FD-SOI Static Random Access Memory

HE Ze^{1, 2}, CAI Chang^{1, 2}, ZHAO Kai³, ZHAO Peixiong^{1, 2}, LI Dongqing^{1, 2}, LIU Tianqi¹, LIU Jie¹

 Institute of Modern Physics, Chinese Academy of Sciences, Lanzhou 730000, P. R. China; 2. University of Chinese Academy of Sciences, Beijing 100049, P. R. China 3. Shanghai Fudan Microelectronics Group Co., Ltd., Shanghai 200433, P. R. China)

Abstract: For the 22 nm FD-SOI static-random-access-memory (SRAM), the effects of the process corner, voltage, temperature, and total dose on the performance of memories were studied. Under various conditions, the electrical parameters of the devices were extracted by the automatic-test-equipment. The test results showed that the process corners had less impact on the devices. When the voltage increased, the standby current increased, and the maximum operating frequency fluctuated. The device was stable within the range of -55 °C ~ 125 °C. The high frequency performance was best at 25 °C, and the low voltage performance was best at high temperature. When the total dose accumulated to 3 kGy(Si), the device function was still normal, and the core current and I/O current increased significantly. FD-SOI SRAM had many advantages, good working stability, and had excellent application prospect.

Key words: fully-depleted SOI; SRAM; reliability

作者简介:贺 泽(1995—),男(汉族),内蒙古乌兰察布人,博士研究生,研究方向为微纳米电子器件的单粒子效应。

蔡 畅 (1993—),男(汉族),河南开封人,博士研究生,研究方向为集成电路辐射效应。通信作者。

刘 杰 (1965—),女(汉族),甘肃静宁人,博士,研究员,研究方向为粒子与材料相互作用及单粒子效应。通信 作者。

收稿日期:2020-04-19;定稿日期:2020-07-07

基金项目:国家自然科学基金资助项目(11690041)

0 引 言

纳米超薄 FD-SOI CMOS 工艺具有超薄体超薄 埋氧(UTBB)结构,是类似于平面体硅工艺的另一 类平面工艺技术。FD-SOI 技术需要在衬底上面制 作超薄的埋氧层(BOX),采用超薄的硅膜制作晶体 管的沟道。因为是超薄的沟道,无需进行掺杂工序, 可使耗尽层充满整个沟道区^[1-9]。从结构上看,FD-SOI 晶体管相比体硅晶体管多出的 BOX 层不仅可 以降低源极与漏极间的寄生电容,还能有效抑制电 子从源极流向漏极,大幅降低漏电流^[4-9]。UTBB FD-SOI 结构能改善短沟道效应和器件亚阈值特 性,降低静态功耗,具有稳定阈值电压和天然免疫闩 锁性能^[4]。FD-SOI 器件具有低软错误率、低功耗、 高速度、高可靠性等优点。当器件的特征尺寸减小 到纳米级时,FD-SOI 技术是最优选择之一^[5-7]。

然而,基于 FD-SOI CMOS 工艺的 IC 的可靠性 评估数据较少^[8-9]。不同工艺角、工作电压对 FD-SOI CMOS IC 的性能影响较大。实际应用中,宽温 度环境对频率、功耗会有较大影响^[8]。SOI 器件具 有极强的单粒子抵抗能力,但引入的 BOX 层减弱了 抗总剂量能力^[1-5]。因此,对 FD-SOI 器件的抗总剂 量评估是一项重要的工作。

1 器件结构及测试参数

测试样品为采用 22 nm FD-SOI CMOS 工艺制 作的 SRAM。该 SRAM 的总存储容量为 1 Mbit。 器件的布局如图 1(a)所示。该 UTBB FD-SOI SRAM 分为四个模块,每个模块独立实现读写功 能,可被单独测试。存储单元做了互锁结构加固设 计,使其在轨可靠性获得提高。测试引脚在封装时 被全部引出,如图 1(b)所示。测试时,选择有效的 输入、输出端,实时地监测输入、输出端的电流或电 平变化。至少选择 2 个引脚进行每个模块的监测。 可靠性测试主要包含工艺角、电压、测试温度、总剂 量效应等参数。每组测试的样品不少于 6 块。

工艺角主要有 SS、FF 和 TT 三种。本次实验 基于 ATE 设备,测试了不同工艺角下的引脚漏电、 输出电平、各类电流等参数。同时,测试了器件的存 取时间、最低工作电压和最高工作频率。表征器件 性能的参数包括内核电流、I/O 电流、读写功能、存 取时间、最高工作频率等。内核电压与 I/O 电压的 标称值分别为 0.8 V、1.8 V,正常工作电压范围分 别为 0.72~0.88 V、1.62~1.98 V,即标称值的 ±10%以内。实验时,对器件施加-55 ℃~125 ℃ 的温度变化,监测所有的输出特性和工作特性,分析 不同温度条件下各项电参数的变化及其原因。在总 剂量效应测试板上,对样品完成总剂量辐照实验。 在 0.5~3 kGy(Si)总剂量范围内,设计 6 组等梯度 的辐照剂量点,测试内核电流、I/O 电流随⁶⁰Co 辐射 剂量的变化量。



2 可靠性测试结果

2.1 工艺角

室温下不同工艺角的输出电平曲线如图 2 所示。pdq0、pdq7 为选定的 2 个测试引脚,voh 和 vol 分别代表输出高电平电压(右侧 Y 轴)和输出低电 平电压(左侧 Y 轴)。可以看出,不同的工艺角对输 出电平的影响较小。





室温下不同工艺角的内核电流、I/O 电流分别 如图 3、4 所示。测试得到了四种工作状态电流,即 静态(sb)电流、使能(en)电流、写操作(opw)电流、 读操作(opr)电流。

对于内核电流,与 TT 工艺角相比,FF 工艺角 在四种工作状态下的电流分别增加了 75%、102%、 57%、58%; SS 工艺角的电流分别降低了 25%、 29%、14%、30%。对于 I/O 电流,在三种工作状态 (sb,en,opw)下,与 TT 工艺角相比,FF 工艺角的 电流分别增加了 157%、137%、122%;SS 工艺角的 电流分别降低了 57%、50%、44%。



图 4 室温下不同工艺角的 I/O 电流曲线

这表明,FF工艺角的内核电流、I/O电流明显 大于TT工艺角,SS工艺角的电流小于TT工艺 角。原因是在芯片制造过程中存在工艺偏差。与 TT工艺角晶体管相比,FF工艺角晶体管具有较低 阈值电压 V_{th},SS工艺角晶体管的V_{th}较高。在外加 电压相同时,V_{th}低的晶体管的电流较大,V_{th}高的晶 体管的电流较小。

2.2 电压

室温下,内核电流随内核电压的变化如图 5(a) 所示,I/O 电流随 I/O 电压的变化如图 5(b)所示。

为准确评估器件的可靠性,将测试范围扩展到 标称电压值的±20%。可以看出,随着内核电压 V_{ddc}、I/O电压 V_{ddi}的增加,静态电流随之增加。 V_{ddc}从 0.64 V增加到 0.96 V时,平均电流值增加 了 230%。V_{ddi}从 1.44 V增加到 2.16 V时,平均电 流值增加了 330%。测试不同批次的样品发现,电 流随电压的变化趋势相同。电流随电压增加的原因 是,晶体管的漏电流值会随电压的增加而上升。

电压对读写功能、最大输出频率的影响如表 1 所示。可以看出,V_{ddc}从 0.64 V 增加到 0.96 V 时, 最大频率呈波动性变化,在 0.72 V 时为最大值,即 59.2 MHz。I/O 电压对最大输出频率造成的影响 也呈非单调变化,最大频率值为 73.5 MHz,对应的 I/O 电压为 1.98 V。在电压调控过程中,正常工作 电压范围内,读写功能均正常。V_{ddc}为 0.64 V 时, 读写功能出现失效,但在正常工作电压范围以外的 其他测试点,读写功能均正常。这表明,器件在电压 变化时具有良好的可靠性。



图 5 室温下静态电流随电压的变化曲线

表1 电压对读写功能、最大输出频率的影响

电压/V	读功能	写功能	最大工作频率/MHz
$V_{\rm ddc} \!=\! 0.64$	失效	失效	50.0
$V_{\rm ddc} = 0.72$	正常	正常	59.2
$V_{\rm ddc} = 0.80$	正常	正常	56.2
$V_{\rm ddc} \!=\! 0.88$	正常	正常	58.1
$V_{\rm ddc} = 0.96$	正常	正常	50.0
$V_{\rm ddio} \!=\! 1.44$	正常	正常	69.9
$V_{\rm ddio} = 1.62$	正常	正常	70.4
$V_{\rm ddio} = 1.80$	正常	正常	56.2
$V_{\rm ddio} = 1.98$	正常	正常	73.5
$V_{\rm ddio} = 2.16$	正常	正常	58.1

2.3 温度

测试温度范围为-55 ℃~125 ℃。在测试温 度范围内,读写功能均正常。在 SS、TT、FF 三种工 艺角下,实验样品各有 6 颗。测试温度对静态特性 的影响曲线如图 6 所示。可以看出,静态电流随测 试温度的升高呈指数级增长。高温下,SS、TT、FF 工艺角的静态电流分别较常温增加了 40 倍、43 倍、 34 倍。原因与 MOSFET 的温度特性有关,一方面, V_{th}随温度的升高而降低,另一方面,短沟道的影响 仍然存在,形成了对温度敏感的漏电流。



图 6 测试温度对静态电流的影响曲线

低温下,SS、TT、FF工艺角的静态电流较常温 均下降超过了99.5%。低温下,V_{th}会随温度降低而 增大,漏电流减小、功耗降低,但会使工作速度降低。 因此,温度对先进工艺器件的静态电流影响较大,不 容忽略。

不同温度对读写工作电流的影响曲线如图 7 所示。可以看出,在-55 ℃、25 ℃和 125 ℃三个温度下,工作电流(包含读出、写入)均满足设计要求,读写功能均正常。在 125 ℃时,内核工作电流(图中的 iddopr08、iddopw08)增大,这是由静态电流增加引起的,这对应于图 6 中的结果。在 I/O 部分,读电流(iddopr18)均较大,这是由 I/O 部分的输出电流引起的;写电流(iddopw18)均较小,这是因为数据写入时 I/O 部分处于输入状态。

不同温度下存取时间的变化曲线如图 8 所示。 每种工艺角的实验样品各有 6 颗,样品序号为图 8 的横坐标。可以看出,在低温下,不同样品的存取时 间一致性较差;室温、高温下,不同样品的存取时间 一致性较好。室温下,FF 工艺角的存取时间最小, 原因是,该工艺角具有较大的工作电流,在读、写数 据时能以较短的时间完成 SRAM 单元中节点电荷 的充放电。不同温度下的器件最低工作电压如图 9 所示。



可以看出,温度较高时,最低工作电压较小,低 温下,最低工作电压接近正常工作电压。最低工作 电压与 V_{th}直接相关。V_{tb}随温度的下降而增加,导 致最低工作电压也随温度的下降而增加。此外,工 艺角造成最低工作电压的变化较小。

不同温度下最高工作频率的变化曲线如图 10 所示。



可以看出,常温下,最高工作频率最大,低温、高 温下,最高工作频率较小。最高工作频率由两方面 决定。一方面,开关速度随亚阈值摆幅的增大而减 慢,故开关速度随温度的上升而减小。另一方面,读 写速度随工作电流的增大而加快,则读写速度随温 度的上升而加快。因此,开关速度与读写速度随温 度的变化趋势相反。无论在高温还是低温的条件 下,最高工作频率总会因为其中的一个速度减慢而 被拉低;只有温度适中时,两种速度之和才能达到最 快,最高工作频率达到最优。此外,不同工艺角对最 高工作频率的影响较小。

综合分析温度对最低工作电压和最高工作频率 的影响,得出结论:-55 ℃时,最低工作电压、最高 工作频率均为最差;25 ℃时,最低工作电压为中等, 最高工作频率为最优;125 ℃时,最低工作电压为最 优,最高工作频率为中等。

2.4 总剂量效应

总剂量辐照实验采用上海应用物理研究所的 ⁶⁰Co-γ放射源。固定数据在辐照前写入器件内,在 辐照过程中,剂量率控制在 0.5 Gy(Si)/s,且器件处 于静态偏置模式。辐照后,通过 ATE 设备测试各 引脚上的电流。在 0~3 kGy(Si)之间设计多个辐 照剂量测试点,测量结果如表 2 所示。

可以看出,实验测得 I/O 电流与内核电流均随 总剂量的上升而升高。原因是,辐射在埋氧层和氧 化隔离层中诱生了界面态和累积电荷,引起 V_{th}的降 低,产生氧化层漏电流。经 3 kGy(Si)总剂量辐照 后,I/O 引脚电流提升为原来的 4 倍,内核电流提升 为原来的 6 倍,使功耗大幅增加。虽然器件的工作 状态较稳定、读写功能正常,若长期在辐照环境下, 则需考虑性能的变化和功耗的增加。

表 2	总剂	量辐	照后	的	测试	结	果

辐照剂量/	0	0.5	1	1.5	2	2.5	3
kGy(Si)							
I/O 电流/	1.0	1.1	1.5	2.1	2.6	3.2	4.0
mA							
内核电流/	0.1	0.1	0.2	0.2	0.3	0.5	0.6
mA							

3 结 论

本文开展了对 22 nm UTBB FD-SOI 器件的工

艺角、电压、温度、总剂量效应等实验。实验结果表明,该类器件具有较高的温度可靠性,可在-55℃~ 125℃范围内稳定工作。25℃时,高频特性最优; 125℃时,低压特性最优。低的内核电压(>0.64 V) 下,工作性能稳定,数据读写正常。0~3 kGy (Si) 总剂量辐照后,I/O 电流、内核电流均明显增大,功 耗增加,但工作性能稳定,未出现读写失效。FD-SOI器件可应用于低压、高频等领域,本文的实验结 果与可靠性评估可为研究者提供有益的数据支撑。

参 考 文 献:

- PLANES N, WEBER O, BARRAL V, et al. 28 nm
 FDSOI technology platform for high-speed low-voltage digital applications [C] // IEEE Symp VLSI Technol.
 Honolulu, HI, USA. 2012: 133-134.
- [2] GASIOT G, SOUSSAN D, GLORIEUX M, et al. SER/SEL performances of SRAMs in UTBB FDSOI28 and comparisons with PDSOI and BULK counterparts [C] // IEEE IRPS. Waikoloa, HI, USA. 2014: SE. 6. 1-SE. 6. 5.
- [3] SAKURAI Y, MATSUZAWA A, DOZEKI T. Fully depleted SOI CMOS circuits and technology for ultralow-power applications [M]. Berlin: Springer, 2006: 63.
- [4] YONEMANRU M, OHZORA K. Design of digital circuits for ultralow-voltage operation [J]. IEEJ Tech Rep, 2001, 62(1): 11-16.
- [5] Learn more about FD-SOI [EB/OL]. https://www.st. com/content/st_com/en/about/innovation-technology/FD-SOI/learn-more-about-fd-soi.html, 2020.
- [6] SCHWANK J R, SHANEYFELT M R, FLEETWOOD D M, et al. Radiation effects in MOS oxides [J]. IEEE Trans Nucl Sci, 2008, 55 (4): 1833-1853.
- [7] KULKARNI S R, SCHRIMPF R D, GALLOWAY K F, et al. Total ionizing dose effects on Ge pMOSFETs with high-k gate stack: on/off current ratio [J]. IEEE Trans Nucl Sci, 2009, 56(4): 1926-1930.
- [8] 赵凯,高见头,杨波,等.用 SOI 技术提高 CMOS SRAM 的抗单粒子翻转能力 [J].信息与电子工程, 2010,8(1):91-95.
- [9] 黄如. SOI CMOS 技术及其应用 [M]. 北京:科学出版社, 2005.
金丝球焊复合键合工艺可靠性研究

燕子鹏,赵光辉,谢廷明,周成彬 (中国电子科技集团公司 第二十四研究所,重庆 400060)

摘 要: 对芯片铝焊盘上不同重叠面积的金丝球焊复合键合的可靠性进行研究,并与非复合键 合进行对比。结果表明,随着复合键合重叠面积的减少,键合拉力和界面生成的合金化合物面积 均无明显变化,而剪切强度呈下降趋势。高温储存结果表明,复合键合拉力值满足国军标要求。 复合键合有掉铝和弹坑缺陷隐患。经分析,原因是复合键合时施加的超声能量破坏了硅及金属化 的结合态,在硅及金属化的结合界面上形成微裂纹。复合键合在高可靠电路中应进行键合参数优 化并验证充分后使用。

关键词: 混合集成电路;金丝键合;复合键合;合金化合物
 中图分类号:TN452;TN406
 文献标志码:A
 文章编号:1004-3365(2021)01-0142-04
 DOI:10.13911/j.cnki.1004-3365.200071

Study on the Reliability of Au Wire Ball Compound Bond

YAN Zipeng, ZHAO Guanghui, XIE Tingming, ZHOU Chengbin

(The 24th Research Institute of China Electronics Technology Group Corporation, Chongqing 400060, P. R. China)

Abstract: The reliability of Au wire ball compound bond to aluminum pads with different overlapped areas, as well as non-compound ball bond, was comparatively investigated. The results demonstrated that the wire pull force and the intermetallic compounds coverage formed at the interface showed no obvious variation, while the shear strength reduced, along with the decrease of the compound bond overlapped area. The high temperature storage results showed that the wire pull force of compound bond met the GJB2438 reliability requirement. However, there was an increased tendency of lifting metallization and crater in the compound bond, in that the ultrasonic energy destroyed the connection between the silicon substrate and the metallization above it, and then forming microcrack at the interface. As a result, the compound bond parameters should be optimized and sufficiently verified before use, especially in the application of high reliable circuits.

Key words: hybrid integrated circuit (HIC); Au wire bonding; compound bond; intermetallic compound (IMC)

0 引 言

金丝球焊键合是厚膜混合集成电路组装工艺的 关键工序,具有可任意方向拱丝、弹坑发生少、成分 与厚膜金导带匹配等优势^[1-2],广泛用于混合集成电 路中芯片与基板的互连。然而,混合集成电路组装 流程复杂,组装过程中的基板沾污导致键合不粘,以 及开机评价和调测等均可能会造成键合返工^[3]。复 合键合是一个键合点在另一个键合点上面形成的单 一金属键合,如图1所示。在某些情况下,复合键合 可用于键合返工,减少不必要的芯片返工。 GJB2438《混合集成电路通用规范》要求复合键合点 数最多不得超过总焊线数的10%,且所有复合键合 应进行非破坏性拉力试验,目检要求执行 GJB548 方法 2017.1,即第二次键合的接触面积不小于下层

收稿日期:2020-02-21;定稿日期:2020-05-08

基金项目:模拟集成电路国家重点实验室基金资助项目(614280204030317)

作者简介:燕子鹏(1985—),男(汉族),山东广饶人,硕士,研究方向为厚薄膜混合集成电路工艺技术。

键合面积的 75%。由此可见,采用复合键合时应进 行严格的目检,并进行非破坏性键合拉力验证,从而 避免由此带来的可靠性隐患。



图 1 复合键合图

R. C. Blish 等人研究了金丝球焊在铝芯片上形成的金铝键合在高温下的动力学行为^[4], M. S. Ramelow 等人研究了影响金铝扩散形成 Kirkendall 空洞的因素^[5],苏杜煌等人研究了混合集成电路金 铝键合退化机理与控制方法^[6]。上述研究都是针对非复合键合的情况,而复合键合时会对已经形成的下层键合点再次施加超声作用,这对下层键合点和芯片铝层的界面结合强度起到促进还是阻碍作用,以及上层键合点与下层键合点重叠面积不同时对界面结合强度的影响,未见文献报道。

本实验采用 25 μm 热超声金丝球焊方法在芯 片铝焊盘上进行复合键合,研究不同复合键合重叠 面积对键合拉力、剪切力以及高温储存后可靠性的 影响,并与未采用复合键合的金丝球焊进行对比。

1 实 验

本实验样品采用导电胶将芯片装配在厚膜基板上,芯片铝层厚度为 1.2 μ m,采用自动金丝键合机制作样品,键合丝选用纯度为 99.99%、直径为 25 μ m的金丝,拱丝跨度为 1.5~2.5 mm。

样品制作流程为:1)从芯片焊盘中心键合至基板上,如图2(a)所示;2)将金丝拔断,如图2(b)所示;3)从1)中芯片焊盘键合点偏移一定距离的位置,复合键合至基板,如图2(c)所示。



(a)第一次键合(b)键合丝拔除(c)复合键合图 2 样品键合流程(示例为 100%重叠)

偏移距离使得重叠面积占圆面积的比例分别为 100%、87.5%、75%、50%。因此,将复合键合的两 个金球假设为两个相同直径的圆交叉,如图 3 所示。 则偏移距离的计算如下。



图 3 两个相同半径的圆交叉示意图

设圆的半径为r,两个相交圆的重叠面积为:

$$S_{\text{OL}} = 2(S_{\text{FO}_1\text{AB}} - S_{\Delta O_1\text{AB}}) = (\theta - \sin \theta)r^2 \qquad (1)$$

$$O_1 O_2 = 2r \cos \frac{\theta}{2} \tag{2}$$

由式(1)、(2)可得,当两个相交圆的重叠面积占 圆面积的比例分别为 100%、87.5%、75%、50%时, 圆心距离 $O_1 O_2$ 分别为 0 μ m、7.4 μ m、14.8 μ m、 30.3 μ m。

按照重叠面积不同分别进行键合实验,复合键 合外观如图4所示。可以看出,当重叠面积达50% 时,上层键合点由于下方无足够支撑将塑性变形,并 向下接触到芯片焊盘,不满足目检规范要求,而重叠 面积为100%、87.5%和75%的复合键合点,外观满 足规范要求。

采用推拉力测试仪对每组样品键合丝进行破坏 性键合拉力测试,再对金球进行剪切力测试,每组样 品为 90 根丝。采用 NaOH 溶液腐蚀样品,并在 500 倍显微镜下观察合金化合物形貌。

2 结果与讨论

 2.1 不同重叠面积的复合键合拉力值比较 将不同重叠面积的复合键合拉力值进行对比, 并与非复合键合的拉力值进行对比,如图 5 所示。 随着复合键合重叠面积的减少,拉力均值无明显变 化,且与非复合键合的拉力均值相比,无显著差异, 最小拉力值为 8.1 cN,明显大于规范值 3 cN。过程 能力指数 Cpk 随重叠面积减少而减小,总体呈下降 趋势,最小值为 75%重叠面积时的 1.8,但仍大于规 范值 1.33。拉力值无显著差异的原因是,在键合烧 球时,金球上方的一小段金丝受热、冷却,再结晶,晶 粒变粗大。该区域(即热影响区)强度最低,因此是 金丝强度最为薄弱的区域,进行拉力测试时也最容 易断^[1]。但在本实验中,即使是 50%重叠面积的复 合键合,热影响区也没有在上层键合点键合时下方 支撑不足而产生损伤,如图 4 所示。



图 4 不同重叠面积的复合键合图,重叠面积分别为(a) 100%,(b)87.5%,(c)75%,(d)50%



图 5 拉力均值和 Cpk 随复合键合重叠面积的变化,横坐标中0代表非复合键合

在拉力测试中,重叠面积为 100%、87.5% 和 75%的复合键合分别出现 2 根掉铝、1 根弹坑和 1 根掉铝,可能原因是复合键合时施加的超声能量破 坏了硅及金属化的结合,在硅及金属化的连接界面 上形成微裂纹^[2]。

破坏性键合拉力测试不能真实反映界面原子扩散的程度,原因是即使是10%或更多的金铝接触界面形成的金属间化合物(InterMetallic Compound, IMC),其强度也大于金球上方热影响区的强度。金球剪切力测试可以真实地反映界面的连接强度^[7],接下来采用该测试方法评价不同复合键合重叠面积的可靠性。

2.2 不同重叠面积的复合键合剪切力和 IMC 比较

对不同复合键合重叠面积的样品进行金球剪切 力测试,如图 6 所示。随着重叠面积的增加,复合键 合剪切强度总体呈下降趋势,最小值为 9.0×10⁻³ cN·μm⁻²,与非复合键合相比,有明显的降低。键 合生成的 IMC 如图 7 所示。不同重叠面积的复合 键合生成的 IMC 与非复合键合相似,约为 2/3,说 明复合键合并没有明显增加 IMC 的生成。复合键 合的剪切强度降低可能是由于复合键合时,施加的 超声能量非但没有形成新的金属原子扩散,其产生 的应力反而对已有的 IMC 形成了一定程度的破坏。



图 6 剪切力和剪切强度随复合键合重叠面积的变化,横坐 标中 0 代表非复合键合

2.3 不同重叠面积的复合键合长期可靠性评估

采用高温储存方法评估金铝键合长期可靠性。 图 8 所示为不同复合键合重叠面积的样品进行 300 ℃储存后的拉力值变化情况。可以看出,随着 复合键合重叠面积的增大,高温储存的键合拉力均 值总体呈缓慢下降趋势,300 ℃/24 h后的拉力均值 明显低于 300 ℃/1 h 的拉力均值,且拉力值分布更 为离散,最小拉力值出现在重叠面积为50%的复合键合中,为4.8 cN,但仍大于2.0 cN的规范值要求。



图 7 金球底部 IMC 形貌图(重叠面积分别为(a) 100%, (b) 87.5%,(c) 75%,(d) 50%,(e) 非复合键合)



图 8 高温储存后键合拉力随复合键合重叠面积的变化,横 坐标中0代表非复合键合

3 结 论

本文对不同重叠面积的金丝球焊复合键合可靠 性进行研究,并与非复合键合进行对比。结果表明, 随着复合键合重叠面积从 100%降至 50%,键合拉 力值和界面生成的合金化合物面积无明显变化,而 剪切强度呈下降趋势。推断是,复合键合时,施加的 超声能量非但没有形成新的金属原子扩散,其产生 的应力反而对已有的 IMC 形成了一定程度的破坏。 高温储存结果表明,复合键合拉力值满足国军标要 求。复合键合有掉铝和弹坑缺陷隐患,在高可靠电 路中应进行参数优化,如减少超声功率等,并验证充 分后使用。

参考文献:

- [1] HARMAN G. Wire bonding in microelectronics [M]. New York: McGraw-Hill, 2010: 33-60.
- [2] 沙帕拉・K・普拉萨德.复杂的引线键合互连工艺[M].北京:中国宇航出版社,2015.
- [3] STEPHEN W H. 表面安装技术手册 [M]. 北京: 兵器工业出版社, 1992: 392-396.
- [4] BLISH R C, LI S, KINOSHITA H, et al. Goldaluminum intermetallic formation kinetics [J]. IEEE Trans Dev Mater Reliab, 2007, 7(1): 51-63.
- [5] SCHNEIDER-RAMELOW M, SCHMITZ S, SCHUCH B, et al. Kirkendall voiding in Au ball bond interconnects on Al chip metallization in the temperature range from 100-200°C after optimized intermetallic coverage [C] // EMPC. Rimini, Italy. 2009: 491-496.
- [6] 苏杜煌,何小琦.混合集成电路金铝键合退化与控制 研究动态[J].电子元件与材料,2008,27(12):5-7.
- [7] KNOTTER D M, RINK I A, CLAASSEN W A, et al. Bond pad surface quality for reliable wire bonding
 [J]. IEEE Trans Dev Mater Reliab, 2007, 7(1): 51-63.

基于物联网平台的智慧园区设计与应用

韩存地¹,刘安强¹,张碧川¹,刘 航²,李 幸²,边 帅²,陈 婕³
(1. 陕西陕煤曹家滩矿业有限公司,陕西 榆林 719000; 2. 重庆梅安森科技股份有限公司,重庆 400050;
3. 重庆邮电大学 创新创业教育学院,重庆 400065)

摘 要:利用物联网、人工智能、大数据、云计算和三维可视化等先进互联网技术和产品,提出了 以园区智慧化管理系统为核心的"管控一体化"综合智慧园区系统设计技术。针对曹家滩智慧园 区建设功能研究了设计原则要求,提出了智慧园区的总体框架和具体实施方案,建设了园区统一 的信息资源支持体系、信息安全保障体系、基础设施支持体系和智能化管控保障体系等。结果表 明,该方案能对园区内人员进行精准智能化管理,实现对园区的联动预警,解决了子系统数据格式 与类型差异所致信息孤岛问题、子系统间网络协议不兼容所致通信问题以及子系统相互叠加所致 功能冗余问题。

关键词: 智慧园区;管控一体化;联动预警;建设应用
 中图分类号:TD214;TN929.5
 DOI:10.13911/j.cnki.1004-3365.200533

文章编号:1004-3365(2021)01-0146-05

Design and Application of a Smart Park Based on Internet of Things Platforms

HAN Cundi¹, LIU Anqiang¹, ZHANG Bichuan¹, LIU Hang², LI Xin², BIAN Shuai², CHEN Jie³

(1. Shaanxi Shanmei Coal Caojiatan Mining Co., Ltd., Yulin, Shaanxi 719000, P. R China; 2. Chongqing MAS Science and Technology Co., Ltd., Chongqing 400050, P. R China; 3. School of Innovation and Entrepreneurship Education, Chongqing University of Posts and Telecommunications, Chongqing 400065, P. R China)

Abstract: Using the internet of things, artificial intelligence, big data, cloud computing, 3D visualization and other advanced internet technologies and products, the "integrated management and control" integrated smart park system design technology with the smart park management system as the core were proposed. According to the construction function of Caojiatan smart park, the design principle requirements were studied, the overall framework and specific implementation plan of the smart park were proposed, and the unified information resource support system, information security guarantee system, infrastructure support system and intelligent control guarantee system were built. The results showed that the scheme could carry out accurate and intelligent management for the staff in the park, realize the linkage early warning to the park, and solve the problem of information island caused by the difference of data format and type of subsystems, communication problem caused by the incompatibility of network protocols between subsystems, and functional redundancy caused by the overlapping of subsystems.

Key words: smart park; management and control integration; linkage early warning; construction application

收稿日期:2020-11-18;定稿日期:2020-12-28

基金项目:重庆市技术创新与应用发展专项重点项目(cstc2019jscx-fxydX0039);曹家滩矿井智能化项目建设平台项目(CKH/ 2-2017)

作者简介:韩存地(1986一),男(汉族),学士,工程师,从事矿山建设及智慧园区设计技术工作。

0 引 言

随着互联网信息化技术水平的不断完善,各种 信息化技术与传统产业不断融合,逐步出现了智慧 地球、智慧城市、智慧园区、智慧农场等新颖的发展 模式^[1]。将物联网、大数据、人工智能、云计算等高 技术融入智慧园区智能化系统成为研究热点^[2]。

近年来,传统数字化工业园区管理的弊端逐渐 显现,管理效率低,出现了子系统数据格式与类型差 异所致信息孤岛问题、子系统间网络协议不兼容所 致通信问题、子系统相互叠加所致冗余问题等^[3]。 建立高效、透明的智慧园区应用体系是必然趋势。

各种物联网先进技术已开始应用于智慧城市、 智慧园区,为智慧园区自动化、智能化提供了技术支 撑。智慧地球、智慧城市、智慧园区等理念是 1990 年代由 IBM 公司提出^[4]。智慧城市包含若干智慧 园区,智慧园区是智慧城市的重要组成部分。为了 建成高效、可视化的智能园区,应用先进的物联网技 术(IoT)、人工智能技术等,建立起整套以园区智能 化管理系统为核心的管控一体化智慧园区系统,具 有现实的重要应用价值。

1 智慧园区的建设原则与要求

1.1 智慧园区建设原则

目前,智慧园区缺乏统一的建设要求、建设原则 和建设标准。传统建设原则聚焦于简单的提升单个 设备性能,如更高精度的基础物理设施(各类传感 器、摄像头),或更高效率的基础社会设施(智能停车 场)等。这种分散孤立的建设过程难以达到高度集 成化、智能化的效果,智慧园区的协调力和智能化得 不到有效提高。

在结合前述研究的基础上,充分考虑我国国情 及现行政策后^[5],提出了智慧园区的整体建设原则, 即统筹规划、兼顾整体、逐步实施、程序规范、示范引 路、循序渐进。智慧园区的建设过程中,做到安全高 效、功能适用、经济合理,使整体系统具备可扩展性、 一定的开放性和灵活性。智慧园区内,各种基础设 施应与各个子系统同时建设,防止应用子系统相互 集成、堆叠产生的数据类型差异造成的信息孤岛问 题。不断增加融合新的软硬件子系统,使管理系统 不断完善^[6]。应用先进物联网技术,实现无感、便 捷、高效的智慧应用,以及用餐、购物、通行、体检等 高效的用户体验。通过阿里云、物联网、云计算、人 工智能等技术打造"云工作台+聚合共享应用"的智 慧园区管理办公平台。为了实现智慧管理,需要建 设管理驾驶舱、视频人工智能分析、智能场景等,从 而构建园区的智慧管理大脑。

1.2 智慧园区建设要求

1.2.1 统一的信息资源支持体系

信息资源支持体系的构建需要对业务数据的获 取设置统一标准,以减轻多源异构数据堆叠造成的 信息孤岛问题。

1.2.2 统一的信息安全保障体系

信息安全保障体系的构建需要同时考虑安全需 求和现实需要,统筹规划,结合现有互联网技术规范 与信息安全要求,逐步健全、完善各阶段管理策略和 安全建设内容^[7]。

1.2.3 统一的基础设施支持体系

基础设施支持体系的构建是为各子系统提供机 房服务、计算服务、存储服务、网络服务,提供主机、 网络、存储等硬件资源支持。

1.2.4 统一的智能化管控保障体系

智能化管控保障体系的构建是应用云计算、人 工智能、大数据、物联网等技术,对各业务场景有效 管控,实现管控智能化,实现多因素、多层次、多智能 体的有效协同,形成有效的安全智能预警模式,在提 高效率的同时保证园区安全。

2 智慧园区总体结构设计

智慧园区建设的总体结构包括传感器建设、平台建设、子系统开发应用等。智慧园区管理平台按照"1+1+N"模式建设,即一个物联网平台、一个指挥中心和 N 个专题应用。智慧园区总体结构包括接入层、平台层、业务层和交互层等四部分。智慧园区的总体结构如图 1 所示。

接入层由子系统接口模块、IoT设备模块和用 户统一管理模块组成。平台层基于阿里云 IoT平 台搭建,提供 IoT平台统一数据接口、设备告警数 据、设备权限配置、设备下行指令、设备安全接入、 上行监控数据和第三方系统对接。业务层由业务 系统、园区管理系统和运营系统组成。交互层由 领导驾驶舱、Web终端、移动端(钉钉、微信)、监控 大屏等组成。



图 1 基于物联网的智慧园区总体结构

接入层负责各子系统和 IoT 设备的接入以及用 户的统一管理,接收来自各子系统的结构化数据,对 结构化数据进一步处理、分析、融合,再将融合后的 结构化数据发送到平台层。平台层对数据进行深度 挖掘、分析,经不断迭代的智能学习算法后,得出决 策。各子系统产生的数据类型各不相同,结构化数 据包括子系统中的基础数据和来自传感器的数据。 半结构化数据包括子系统中各种配置文件、子系统 中日志文件、HTML 脚本等,非结构化数据包括监 控器的视频、音频、系统日志文件等。

平台层是为上层应用提供 IoT 平台统一的数据 接口,实现统一的基础设施体系。采用嵌入式的无 线互联设备,通过远程连接各子系统,使系统接入阿 里云 IoT 云服务。阿里云 IoT 平台由 IoT 数据处 理和数据传输构成,分别通过 STM32F100BV 单片 机、WM-N-BM-09A 单片机实现。

业务层对平台层传来的数据进一步处理,处理 后发送到核心业务层进一步分析。核心业务层将处 理后的数据完整地转发到交互层,实现了 MVC 的 三层架构,大幅减小了各模块之间的耦合度,降低了 交互次数和数据量,减轻了系统的运行负担[8]。

交互层是将采集到的数据、智能化决策和分析 结果在各交互终端进行信息反馈,实现系统可视化。 凭借良好的移植性和兼容性,系统可以在 Web、智 能手机、监控大屏等多终端运行,实时反馈信息,实 现全天候、多方位的智慧园区工作状态监控。

3 智慧园区建设的关键技术

3.1 人工智能技术

本文实现的智慧园区平台采用随机森林作为决策分类算法^[9],其基本单元是决策树。评定决策树 准确性的重要指标是信息增益。设目标特征有 *n* 个 不同的值,则定义训练样本集 *S* 相对于 *n* 个状态的 信息熵 *E* 为:

$$E(S) = -\sum_{i=1}^{n} p(X_i) \ln(p(X_i))$$

$$\tag{1}$$

假设当前样本集中第 k 个样本为 $p_k = (k=1, 2, ..., |y|), 则信息熵 D 为:$

$$Ent(D) = -\sum_{k=1}^{|y|} p_k \log_2 p_k$$
⁽²⁾

Ent(*D*)的值越小,表明*D*的置信度越高。信息 增益函数为:

$$Gain(S,A) = E(S) - \sum_{v \in V(A)} \frac{|S_v|^*}{S} E(S_v) \quad (3)$$

式中,S为训练样本集,A为全体样本集。

信息增益越大,则该特征的选择性越好。随机 森林算法具有准确度高、输入变量维度多、学习过程 快速等特点,已被应用于各类智能决策。

3.2 物联网技术

物联网是互联网的进一步延伸,它将信息通 信网络扩展到了更为广泛的物理世界^[10-12]。各 行业终端设备的多样化和网络普及范围的扩大, 促使物联网的应用越来越广泛^[13]。通过智慧园 区内的各种传感器设备(监控器、压力感应装置 等),按照约定协议,通过无线传输的方式实现物 与物之间的互联互通。物联网感知的关键技术 包括传感器技术、射频识别技术、蓝牙技术、 ZigBee技术和二维码技术等。

3.3 大数据分析与挖掘技术

大数据平台的核心包括数据分布式存储和分布 式计算两部分。为使园区智慧决策系统适应复杂的 变化环境,平台采用 BP 神经网络算法,实现预期系 统功能,完成网络的输出和迭代进化。神经网络的 输出为:

$$y_i = f(Net_{in} - \theta_i) \tag{4}$$

式中, θ_i为神经元的阈值; Net_{in}为第 i 个神经元的净 输入, 其表达式为:

$$Net_{in} = \sum_{i=1}^{n} \omega_i \cdot x_i \tag{5}$$

式中,*x*_i为神经元的输入,是事故预警模型的关键自变量;ω_i为连接权值调节各输入量的占比。

网络的进化通过 BP 算法辅助完成,依靠微积 分中的链式求导法,将误差反向传播,以修正各连接 神经元的权值^[14]。最终,实现可以实时更新并不断 进化的大数据挖掘及分析系统。

3.4 架构技术

将架构技术应用于智慧园区建设时,可结合用 户需求开发不同的应用。软件架构技术存在于大量 的软件结构及程序开发中,利用科学的数据结构规 划可发挥其架构功能。本文采用 SOA 技术将多种 微型服务结合起来,采用集中式缓存提高了系统的 数据一致性,成功建设了高可用、高性能、易扩展、可 伸缩的智慧园区系统。

4 智慧园区的应用

智慧园区集中整合了人脸道闸、智能会议、无感 考勤、智慧办公等系统,形成了智慧管理平台,实现 了园区场景的智能化、运营可视化、管理精细化。

4.1 智能化应用

智能化应用包括智慧服务、办公、管理等。智慧 服务采用 AIoT 技术,实现了无感、便捷、高效的智 慧应用,如用餐、购物、通行、体检等高效的用户 体验。

智慧办公采用阿里云物联网、云计算、人工智能 等技术,形成了"云工作台+聚合共享应用"的管理 办公平台。

智慧管理应用包括管理驾驶舱、视频人工智能 分析(明火、闯入、违停、安全帽、自救器、人员聚集)、 智能场景应用,构建园区智慧管理大脑。

4.2 应用场景

智慧园区应用中,涉及多类场景,即园区员工、 访客、管理者等场景。系统整合了智能会议、无感考 勤、移动办公等,建成了智慧员工管理平台,实现了 园区场景智能化。

访客管理实现了自动化与智能化,整合了访客 申请、园内导航和智慧展厅等。管理者可以通过各 类子系统对园区进行智慧管理,实现了场景智能化。 采用阿里钉钉构建云工作台,聚合、融合、共享了服 务应用,实现了园区应用的一体化,提供了移动办 公、高效沟通协同的多端平台。

4.3 运营管理可视化

运营管理采用三维建模,包括园区模型定制服 务、建筑模型定制服务、室内结构模型定制服务、设 备点位数授权及服务。

4.4 安防保障可视化

安全门禁系统可视化包括道闸分布、道闸工况、 访客和员工进出信息、非法闯入等事件报警等。停 车场可视化包括停车场分布、空余车位数量、车辆查 询、违规停车报警等。消防可视化包括设备空间分 布、设备基本信息、设备告警信息及定位、消防设备 联动、安防摄像头联动等。访客可视化包括访客统 计、滞留人员统计、访问人员信息查询等。电梯可视 化包括电梯空间分布展示、动态运行展示、故障报 警、联动轿厢监控视频查看、故障现场情况确认等。

4.5 服务可视化

服务可视化功能模块包括:1)餐厅可视化模

块,展示餐厅空间分布,联动餐厅视频,集成餐厅客 流情况,实时地展示餐厅就餐人数、就餐位占比、餐 厅拥堵预警、历史数据信息等;2)购物可视化模块, 展示超市/无人柜分布、超市营业状态、货柜数据等; 3)健康小屋可视化模块,展示健康小屋的三维空间 及位置分布、设备介绍、占用状态、使用率、设备警 示等。

4.6 办公可视化

办公可视化的效果如图 2 所示,具体的功能模 块包括:1) 会议室可视化模块,展示会议室的占用 情况、设备实时信息、设备开关状态、设备开关的远 程控制等,实现人来灯开、人走灯灭;2) 厕所可视化 模块,展示厕所在园区内的分布、位置占用、氨气数 据、故障提示、使用率统计等。



图 2 智慧办公可视化

5 结束语

本文分析了智慧园区的建设原则与要求,提出 了总体结构及具体实施方案,设计集成了服务平台 的建设内容、关键技术和实现方式。该方案能对园 区内人员活动情况进行精准智能化管理,实现了联 动预警,解决了子系统数据的信息孤岛问题、网络协 议通信问题和功能冗余问题,为智慧园区的信息化 建设和管理提供了有益实践。

今后将利用物联网智慧园区的总体布局、子系 统无缝接入、产品智能优化等,进一步提升本文核心 技术在应用中的可靠性,降低运维成本;进一步对设 计技术和应用模式进行优化,以便用于社区、村镇和 城市的智慧化建设及运营,为实现智慧生活提供技 术支撑。

参考文献:

- [1] 毕雪娇. 数字城市发展到智慧城市的理论及实践研究 [J]. 工程建设与设计, 2017(20): 7-8.
- [2] 邹砺锴. 智慧城市建设下智慧园区规划设计探索 [J]. 智能城市, 2020, 6(8): 15-16.
- [3] 王建利. 智慧园区信息化建设 [J]. 计算机与网络, 2020, 46(13): 42-43.
- [4] 马荣华,黄杏元,蒲英霞.数字地球时代"3S"集成的 发展[J].地理科学进展,2001,20(1):89-96.
- [5] 潘志刚. 智慧园区发展思路研究 [J]. 智能城市, 2020, 6(18): 12-14.
- [6] 任永强.智能矿井综合自动化系统研究 [J]. 能源与 环保, 2019, 41(5): 115-120.
- [7] 公安部信息安全等级保护评估中心. 信息安全等级保 护政策培训教材 [M]. 北京: 电子工业出版社, 2010.
- [8] 孙其博,刘杰,黎羴,等.物联网:概念、架构与关键 技术研究综述 [J].北京邮电大学学报,2010,33(3):
 1-9.
- [9] ATHEY S, TIBSHIRANI J, WAGER S. Generalized random forests [J]. Annals Statist, 2019, 47(2): 1148-1178.
- [10] 鄢丹,周继雄,谷岩. UML 与 PB 在三层医院信息系 统中的应用 [J]. 武汉理工大学学报(交通科学与工程 版),2003,27(1):120-123.
- [11] 张亮,刘百祥,张如意,等.区块链技术综述 [J]. 计 算机工程,2019,45(05):1-12.
- [12] 王汝言,刘字哲,张普宁,等. 面向物联网的边云协同 实体搜索方法 [J]. 计算机工程,2020,46(8):43-49.
- [13] 朱国晖, 刘秀霞, 张茵. 面向多链路故障的生存性虚 拟网络映射算法[J]. 计算机工程, 2020, 46(10): 182-187.
- [14] LI J C, ZHAO D L, GE B F, et al. A link prediction method for heterogeneous networks based on BP neural network [J]. Phys A-Statist Mechan & ITS Applic, 2018, 495: 1-17.



欢迎订阅 2021 年《微电子学》杂志

《微电子学》是由四川固体电路研究所主办,并向国内外公开发行的科学技术刊物。 《微电子学》创刊于1971年,国内统一连续出版物号:CN 50-1090/TN;国际标准连续出版物 号:ISSN 1004-3365;国际刊名代码(CODEN):WEIDFK;双月刊,A4 开本,128 页。

《微电务学》是英国 INSPEC(SA)、美国《化学文摘》(CA)、《剑桥科学文摘》(CSA)和俄罗斯《文摘杂志》收录期刊,是《中国学术期刊综合评价数据库》和《中国科学引文数据库》来源期刊,以及《中国科技论文统计与分析》的引用期刊;也是中国知识基础设施(CNKI)工程重大项目"中国期刊网"的全文收录期刊和国内相关学科检索文献的检索用刊。

《微电子学》是中国权威期刊检索工具书《中文核心期刊要目总览》评定的无线电电子学、 电信技术类"中文核心期刊",也是"中国期刊方阵"入选期刊,在微电子科学与技术、半导体集成 电路和半导体工艺技术等领域具有极大的影响,深受广大科技人员和大专院校师生的欢迎。

《微电子学》报道内容涉及微电子科学与技术的各个领域,包括微电子器件与电路的基础理论、设计技术、制造工艺、检测与组装技术;集成电路应用技术;基础材料与半导体设备等方面的研究成果、学术论文和技术报告;微电子领域的发展动态和最新进展;主要栏目有:电路与系统设计、模型与算法、半导体器件与工艺、测试与封装、产品与可靠性、基础理论研究、动态综述等。

《微电子学》集学术性、技术性、实用性和情报性于一体,信息量大,内容丰富,是科研生 产和教学的重要参考书刊,适合电子行业的科技人员、机关管理干部和大专院校相关专业的师 生阅读。

《微电子学》为双月刊,每期定价 20.00 元,全年定价 120.00 元(含邮费)。 《微电子学》自办发行,订阅者请向编辑部索取订单。

微电子学

Weidianzixue

(双月刊)(1971年创刊) 第 51卷第1期(总第 291期) 2021年2月 20日出版

Microelectronics

(Bimonthly) (Started in 1971) Vol. 51, No. 1 (Serial Issue No. 291) Published on Feb. 20, 2021

主 管: 中国电子科技集团公司	Responsible Institution: China Electronics Technology Group Corp.
主 办: 四川固体电路研究所	Sponsored by: Sichuan Institute of Solid-State Circuits
编辑出版:《微电子学》编辑部	Edited & Published by: Editorial Department of Microelectronics
(400060 重庆南坪花园路 14 号 24 所)	(400060, Sichuan Institute of Solid-State Circuits, Nanping, Chongqing)
电 话:86-23-62834360	Tel: 86-23-62834360
电子邮箱:wdzx@sisc.com.cn	E-mail: wdzx@sisc.com.cn
wdzx128@sina.com	wdzx128@sina.com
网络地址:http://www.microelec.cn	Website: http://www.microelec.cn
编委会主任:徐世六	Director of Editorial Board: XU Shiliu
主 编:武俊齐	Editor-in-Chief: WU Junqi
印 刷:重庆市国丰印务有限责任公司	Printed by: Chongqing Guofeng Printing Company Ltd.
发 行:《微电子学》编辑部	Distributed by: Editorial Department of Microelectronics

发行范围:国内外公开发行

国际标准连续出版物号:ISSN 1004-3365 国内统一连续出版物号:CN 50-1090/TN